第5章

CHAPTER 5

在电子信息领域,IP(Intellectual Property)是指具有知识产权的功能模块。

Quartus Prime 内嵌了许多功能 IP,面向 Intel 公司的可编程逻辑器件进行了优化,设 计者可以应用这些 IP 设定参数以满足自己的设计需求,不但能够提高设计效率,而且能够 增强系统的可靠性。

IP 的应用

资源决定方法。本章首先介绍 Quartus Prime 中内嵌 IP 的分类以及定制方法,然后结 合 DDS 信号源和等精度频率计的设计讲述 IP 的应用。



基本功能 IP 5.1

5 1 微课视频



和定制,分为基本功能(Basic Functions)、数字信号处理 (DSP)、接口协议(Interface Protocols)、存储器接口和控制 器(Memory Interfaces and Controllers)、处理器和外围设 备(Processors and Peripherals)和大学计划项目 (University Program)6 种类型,如图 5-1 所示。其中每种 类型又包含多个子类型,如表 5-1 所示,而子类型中包含数 量不等的功能 IP。



图 5-1 IP 目录

IP 类型	子 类 型	功 能 说 明	
	Arithmatic	算术运算类,包含 LPM_COUNTER、LPM_	
	Antimetic	MULT 和 LPM_DIVIDE 等 26 个 IP	
	Bridges and Adapters	桥和适配器,包含 Memory Mapped	
	Clock, PLLs and Possts	时钟、锁相环和复位类,包含 PLL Intel	
	Clock; FLLS and Resets	FPGA IP 等 3 个 IP	
基本功能	Configuration and Programming	配置与编程类,包含 Serial Flash Loader Intel	
		FPGA IP 等 15 个 IP	
	I/O	接口类,包含 ALTDLL 等 9 个 IP	
	Miscellaneous	其他类,包含 LPM_MUX 等 6 个 IP	
	On Chip Memory	片上存储器,包含 FIFO 等 7 个 IP	
	Simulation; Debug and Verification	仿真、调度和验证类,包含 38 个 IP	

表 5-1 IP 的分类

续	表
-77	1X

IP 类型	子 类 型	功 能 说 明
	Error Detection and Correction	误码检测与纠正,包含 Viterbi 等 5 个 IP
	Filters	滤波器类,包含 CIC 和 FIR]]
数字信号处理	Floating Point	浮点类,包含组合和时序两个 IP
	Signal Generation	信号产生类,包含 NCO
	Transforms	信号变换类,包含 FFT
	Audio and Video	音频与视频类,包含4个IP
拉口井动	Ethernet	以太网类,包含1G多速率以太网等两个 IP
按口协议	PCI Express	PCI-E 接口 IP
	Serial	串行接口类,包含4个IP
存储器接口和 控制器	Memory Interfaces with ALTMEMPHY	存储器接口类,包含 DDR 和 DDR2
处理器和外围	Co-processors	协处理器类,包含 Nios II 用户定制指令 IP
设备	Peripherals	外围设备类,包含 I^2C 等 3 个 IP
	Audio & Video	音频与视频类,包含 1602 等 3 个 IP
大学计划项目	Clock	时钟类,包含4个 IP
	Communications	通信类,包含 RS232 UART 等两个 IP
	Generic IO	通用 I/O 类,包含 PS2、USB 控制器等 4 个 IP
	Memory	存储器类,包含 SRAM 和 SSRAM

Quartus Prime 内嵌的基本功能 IP 如表 5-2 所示,大致可分为两种类型:①原 Altera 公司提供的 IP,以 ALT 开头标注的,如 ALTPLL、ALTFP_MULT 和 ALTFP_DIV 等; ②参数化模块库(Library of Parameterized Modules)中的 IP,以 LPM 开头标注的,如 LPM_COUNTER、LPM_MULT 和 LPM_DEVIDE 等。

IP 类型	子 类 型	IP 名 称	功能说明
		ALTFP_ABS	浮点绝对值函数
		ALTFP_ADD_SUB	浮点加/减函数
		ALTFP_COMPARE	浮点比较器
		ALTFP_CONVERT	浮点转换器
	Arithmatia	ALTFP_DIV	浮点除法器
	Anniheuc	ALTFP_EXP	浮点指数函数
		ALTFP_LOG	浮点自然对数函数
甘木市化		ALTFP_MULT	浮点乘法器
基个切能		ALTFP_SINCOS	浮点正弦/余弦函数
		ALTFP_SQRT	浮点平方根模块
	Clock; PLLs and Resets	ALTPLL	锁相环模块
		LPM_CLSHIFT	参数化组合逻辑转换
	Miscellaneous	LPM_ADD_SUB	参数化加/减模块
		LPM_COMPARE	参数化比较器
		LPM_COUNTER	参数化计数器
		LPM_DEVIDE	参数化除法器

表 5-2 基本功能 IP

续表

IP 类型	子 类 型	IP 名 称	功 能 说 明
		LPM_MULT	参数化乘法器
	Missellensous	LPM_DECODE	参数化译码器
	Miscellaneous	LPM_MUX	参数化数据选择器
		LPM_SHIFTREG	参数化移位寄存器
甘木市能	On Chip Memory	LPM_CONSTANT	参数化常数存储器
基本功能		ROM: 1-PORT	单口 ROM
		ROM: 2-PORT	双口 ROM
		RAM: 1-PORT	单口 RAM
		RAM: 2-PORT	双口 RAM
		Shift Register(RAM-based)	移位寄存器

需要说明的是,Quartus Prime内嵌的 IP 中,一类是免费的,如浮点运算、普通运算、三 角函数、基本存储器类 IP、配置类 IP、PLL、所有的桥接组件、FPGA内嵌的 Cortex ARM 硬 核和 Nios II 软核(不含源码)等;另一类是收费的,如以太网软 IP、PCI-E 软 IP、RapidIO 和 视频图像处理 IP 以及 DDR/DDR2/DDR3 软 IP、256 位 AES 硬件加密 IP 等,使用这些 IP 应确保有相应的授权许可(License)。具体信息可查阅 IP 相关文档。



微课视频

5.2 IP 的定制方法

应用 Quartus Prime 中的 IP Catalog 可以很方便地引导用户定制 IP。定制完成后,IP Catalog 默认生成 HDL 目标文件(.v或.vhd),同时还能够生成图形符号文件(.bsf)、HDL 例化模板文件(_inst.v或_inst.vhd)和 Verilog 黑盒文件(_bb.v)等多种文件类型供用户选择,如表 5-3 所示。

文件类型	说 明
<output file="">. v</output>	宏功能模块的 Verilog HDL 例化文件
<output file="">. vhd</output>	宏功能模块的 VHDL 例化文件
<output file="">. ppf</output>	Pin Planner 端口文件
< output file >. inc	宏功能模块封装文件中 AHDL Include 文件
< output file >. cmp	VHDL 组件声明文件(Component Declaration File)
<output file="">. bsf</output>	原理图设计中使用的图形符号文件
<output file="">_inst. v</output>	宏功能模块的 Verilog HDL 例化模板
<output file="">_inst. vhd</output>	宏功能模块的 VHDL 例化模板
< output file >_bb. v	Verilog HDL 黑盒文件,用于综合时指定端口的方向

表 5-3 IP Catalog 生成文件类型

锁相环(Phase-Locked Loop,PLL)是一种闭环电子电路,能够应用外部参考信号控制 环路内部振荡器的频率和相位,合成出不同频率的信号,在数字系统中用来实现时钟的倍频、分频、占空比调整和移相等功能。

本节以定制锁相环 IP,由 DE2-115 开发板提供的 50MHz 晶振信号产生 4 选 1 数据选

择器测试所需要的 4 路输入信号以及逻辑分析仪 Signal Tap Logic Analyzer 所需要的时钟 为目标,说明 IP 的定制方法。

设 4 选 1 数据选择器的 4 路输入信号 d0、d1、d2 和 d3 的频率分别为 4MHz、3MHz、2MHz 和 1MHz,逻辑分析仪的时钟频率为 100MHz。

定制锁相环 IP 的具体步骤如下。

(1) 在 Quartus Prime 开发环境中,执行 Tools→IP Catalog 菜单命令进入 IP 目录。选择 Basic Functions→Clocks; PLLS and Resets→PLL→ALTPLL,如图 5-2 所示,双击启动 IP 应用向导开始定制锁相环。

(2) 在弹出的 Save IP Variation 对话框中输入定制锁相环的名称,选择输出 HDL 的语 言类型,并确认输出文件存放的工程目录。本例为测试 4 选 1 数据选择器定制锁相环,因此 设置 IP 存放的目录为 4 选 1 数据选择器工程目录(C:/EDA_lab),定制的锁相环 IP 文件名 为 PLL for_MUX4to1_tst,输出 HDL 的语言类型为 Verilog,如图 5-3 所示。

IP Catalog		四日×	
Device Family	Cyclone IV E	*	
R PLL		×	
 Installe Library 	ed IP /		Save IP Variation
Bas	Clocks; PLLs and Res ALTCLKCTRI PLL	sets. L Intel FPGA IP	IP variation file name: C:/EDA_lab/PLL_for_MUX4to1_tst IP variation file type Cancel
Search	ALTPLL ALTPLL for Partner IP	RECONFIG	© VHDL © Verilog

图 5-2 锁相环定制向导(1)

(3) 单击图 5-3 中的 OK 按钮进入锁相环参数设置界面,用于指定锁相环输入时钟、锁 相环类型和工作模式、附加端口、锁相环的带宽以及输出信号频率等参数。

DE2-115 开发板的时钟电路如图 5-4 所示,由板上 50MHz 有源晶振为 FPGA 提供 3 路时钟信号,同时由两个 SMA 接口为 FPGA 提供外接时钟输入和时钟输出。



图 5-4 DE2-115 开发板时钟电路

设置锁相环 ATLPLL 的输入时钟频率为 50MHz,实现器件为 Cyclone IV E 系列 FPGA,速度等级为 7,如图 5-5 所示。



图 5-5 锁相环定制向导(3)

(4) 单击 Next 按钮进入锁相环附加端口配置界面,根据需要选择是否为锁相环添加异步复位端(areset)和输出锁定标志(locked)。测试数据选择器只需产生信号而不需要锁定,因此取消勾选相应的复选框,如图 5-6 所示。

(5) 单击 Next 按钮进入锁相环带宽配置界面,选择是否需要指定锁相环的带宽,如图 5-7 所示。保持选择默认选项(Auto)不变。

(6) 单击 Next 按钮进入锁相环附加时钟配置界面,如图 5-8 所示,选择是否为锁相环 添加第 2 个输入时钟源并添加输入源选择端。保持选择默认选项(不添加)不变。

(7) 连续单击 Next 按钮进入输出 c0 参数设置界面。选择使用输出信号 c0,并设置频 率为 4MHz,相位偏移为 0°,如图 5-9 所示。

锁相环输出信号的频率也可以通过设置乘法因子和除法因子指定。输出信号频率与输 入时钟源频率以及乘法因子和除法因子的关系为

输出信号频率 = <mark>乘法因子</mark> × 输入时钟源频率

需要注意的是,不同系列 FPGA 器件中内置锁相环的性能不同。在定制锁相环时,输 出信号频率不能超出锁相环的性能范围。Cyclone Ⅱ~Ⅳ系列 FPGA 内置锁相环的特性参



图 5-6 锁相环定制向导(4)

MegaWizard Plug-In Manager (page 3 of 12	5 X
ALTPLL	About
Parameter PLL Settings Reconfiguration Clocks	ED# BSurrowy
General/Modes / Inputs/Lodi: Bandwidt	VSS > Clock switchover >
PLL_for_MUX4to1_tst	Able to implement the requested PLL
incik0 Quartien Mode: Normal Olik Parie Pr (50 DC (%) es 355 2.00 50.00 Cyclone IV E	Spread Spectrum The spread spectrum Resture allows for a modulation of the PLL dock frequency. The range of the clock frequency deviation is determined by the 'down spread' while 'modulation frequency' controls their period.
	Use spread spectrum feature and Set down spread to 0.500 Epercent Set modulation frequency to 50.000 1972 T
	Bandwidth A lower bandwidth will result in better input jitter rejection and less drift during switchover at the expense of a slower PLL lock time. More Details >>
	How would you like to specify the bandwidth setting? Auto Preset Low Custom Set bandwidth to Loo MHz
	Cancel <back finish<="" td=""></back>

图 5-7 锁相环定制向导(5)



图 5-8 锁相环定制向导(6)

MegaWizard Plug-In Manager (page 6 of 12	1	5
ALTPLL		About Documenta
Reconfiguration	1 60 Å Summer	
PLL_for_MUX4to1_tst PLL_for_MUX4to1_tst Inck0 Operation Mode. Normal Call Rate Ph (dg DC (%) Col 225 0.00 50.00 Cystone IV E	Cock Over/External Output Clock Able to implement the requested PLL Clock Tap Settings Enter output dock frequency: Tock multiplication factor Clock multiplication factor Clock dution factor Clock dution factor	Requested Settings Actual Settings 4.0000000 MHz 4.000000 1 1 4.000000 1 1 2 2 25 0.00 50.00 1 50.00 Description Val. *
	Note: The displayed internal settings of the PLL is recommended for use by advanced users only	Modules for M counter 12 + 12 + 12 + 12 + 12 + 12 + 12 + 12
		c0 대 선 대 Cancel <back next=""> Fins</back>

图 5-9 锁相环定制向导(7)

数如表 5-4 所示。可以看出,Cyclone Ⅳ系列 FPGA 内置锁相环输出信号的频率范围为 2kHz~1000MHz。

FPGA 系列	下限频率	上限频率
Cyclone []	10 MHz	400MHz
Cyclone III	2kHz	1300 MHz
Cyclone IV	2kHz	1000MHz

表 5-4 Cyclone 系列锁相环特性参数

(8) 单击 Next 按钮进入输出 c1 参数设置界面。选择使用输出 c1,并设置乘法因子为 3,除法因子为 50,相位偏移为 0°,如图 5-10 所示,即设置输出 c1 的频率为 3MHz。

MegaWizard Plug-In Manager [page 7 of]	2]		5 x
altpll		100	About Documentation
Parameter PLL Settings Reconfiguration Clock	EDA Summan	-	
PLL_for_MUX4to1_tst nck0 model moueroy 50.000 MHz Operation Moder Nermal Cit. Parto Ph (doi: 0.000 MHz Cit. Parto Ph (do	Cocket Characterized	Requested Settings 3.0000000 M4z 3.0000000 M4z 50.00 M4z 50.00 M4z 50.00 M4z Description Primary dock VCO frequent Modulus for M counters Modulus for M counters M c	Actual Settings 3.000000 3 50 2 0.00 50.00 50.00 Val. + 52 cy (MHz) 6. 12 + + + + -
		c0 c1	200
		Cancel < 8	lack Next > Finish

图 5-10 锁相环定制向导(8)

同理,选择使用输出 c2 和 c3,并设置 c2 和 c3 的频率分别为 2MHz 和 1MHz。

(9) 单击 Next 按钮进入输出 c4 参数设置界面。选择使用输出 c4,并指定 c4 频率为 100 MHz,如图 5-11 所示。

(10) 连续单击 Next 按钮进入锁相环定制文件生成界面,如图 5-12 所示,通过勾选相 应文件选择需要生成的文件类型,其中灰色表示默认生成的文件。若需要在原理图设计中 调用定制的锁相环,则需要勾选图形符号文件 pll_for_MUX4to1_tst.bsf;若需要通过例化 方式调用锁相环,则需要 pll_for_MUX4to1_tst_inst.v 文件;若需要通过第三方软件进行 综合,则需要 pll_for_MUX4to1_tst_bb.v 文件,将锁相环模块作为黑盒进行例化。

ALTPLL Presented Pre	-	About	Documentation
Parameter PLL_for_MUX4to1_tst Jock0 PLL_for_MUX4to1_tst Jock0 rest0 frequency	-		
PLL for MUX4to1 tst inclu0 reliable for mux4to1 tst prince of the second seco			
Operation Mode Normal e1 Cirk Pate Ph 10g DC (*a) e3 e1 3/26 0.00 50.00 e3 e2 17/2 0.00 50.00 e3 e3 1/20 0.00 50.00 e3 e4 2/1 0.00 50.00 e3 Clyclime IV E Clock duty cycle (%)	Requested Settings	Actua Hz (Copy) Actual 2 2 1 0.00 50.0 2 1 0.00 50.0 1 1 1 1 1 1 1 1 1	l Settings .000000 0
De Note: The displayed internal settings of the PLL is recommended for use by advanced users only	escription rimary dock VCO frequiodulus for M counter in Per Clock	uency (MHz)	Val. * 3 6 * 1

图 5-11 定制锁相环向导(9)

< MegaWit	tard Plug-In Manager	page 12 of	121		? X
3	ALTPLL				About
Parameter Settings	Reconfiguration	3 Cotput Codis	(4) EDA	5 Summary	
incik0	PLL_för_MUX4ta1_tst		Turn on the green check checkbox is The MegaV C: VEDA Isl	e files you wish to ge kmark indicates an o s maintained in subse Vizard Plug-In Manag	verate. A gray checkmark indicates a file that is automatically generated, and a bional file. Click Finish to generate the selected files. The state of each quent MegaWizard Plug-In Manager sessions. er creates the selected files in the following directory:
	Deviation (Model) Normal 10, Particle PP, Jag (20: 754) 20 225 1, 60 350.00 13 550 00 350.00 21 122 0.00 350.00 21 122 0.00 350.00 21 122 0.00 350.00 21 127 0.00 350.00 21 127 0.00 550.00 21 271 0.	ET 22 ET 25	File PLL R PLL R PLL R PLL R VPL R	m_MUX4tol_tst.v m_MUX4tol_tst.ppf m_MUX4tol_tst.mp m_MUX4tol_tst.mp m_MUX4tol_tst.mst m_MUX4tol_tst_inst m_MUX4tol_tst_inst	Description Variation file PhiPlanner ports PPF file APDL Include file VHDL component declaration file Quartus Prime symbol file Varling HDL black-box file
					Cancel < Back Usert Finish

图 5-12 锁相环定制向导(10)

生成文件选择完成后,单击 Finish 按钮完成锁相环的定制过程。

(11) 在 Quartus Prime 主界面中,执行 Project→Add/Remove Files in Project 菜单命 令,在弹出的对话框中可以看到锁相环模块 PLL_for_MUX4to1_tst. qip 已经添加到工程

中,如图 5-13 所示。因此,在设计工程中可以通过图形符号或 Verilog 例化方式调用定制好的锁相环。

itegory.				Device/Boar
General	Files			
Files Libraries	Select the design files you wa project directory to the project	ant to include in the project	ect. Click Add All to add all design	files in the
IP Settings IP Catalog Search Locations	File name:			Add
Design Templates	4		×	Add All
Voltage	File Name	Туре	Library Design Entry/Synthesis	Remove
Temperature Compilation Process Settings	PLL_for_MUX4to1_tst.qi	p IP Variation File (.gip)	<none></none>	Up
Incremental Compilation				Dawn
Design Entry/Synthesis Simulation Board-Level				Properties
Compiler Settings VHDL Input Verilog HDL Input Opfoult Reconstant				
Timing Analyzer Assembler				
Design Assistant Signal Tap Logic Analyzer Logic Analyzer Interface				
Power Analyzer Settings SSN Analyzer				
	1	- 211	F	

图 5-13 已添加的 IP 文件

5.3 DDS 信号源的设计

信号源是常用的电子仪器,能够输出正弦、脉冲、调制和扫频等多种类型信号,作为电子 系统的激励源或噪声源,用于测量系统的振幅特性、频率特性、传输特性和其他电参数,或者 用于测量元器件的特性和参数。

直接数字频率合成器(Direct Digital Synthesizer, DDS)应用数字技术实现信号源,具有控制灵活、分辨率高和稳定性好等优点。

DDS 信号源的基本结构如图 5-14 所示,由相位累加器、波形存储器、D/A 转换器和低 通滤波器 4 部分组成,其中相位累加器和波形存储器应用数字方法实现。

DDS 信号源的工作原理是相位累加器在时钟脉冲的作用下进行相位循环累加,输出相 位序列。波形存储器以相位累加器输出的相位序列作为地址,从存储器中查询相应的波形 数据后依次输出。D/A 转换器和低通滤波器则用于将波形存储器输出的数字信号还原为 模拟信号。



5.5a 微课初频



5.3b 微课视频



5.3c 微课视频



图 5-14 DDS 信号源的基本结构



正弦相位累加的原理可以通过图 5-15 来解释。在 一个正弦周期(0~2π)上均匀采样 2"个点(对应最小的 相位增量为 2π/2"),并将采样点的正弦模拟幅度值经 过量化与编码转换为数字量后存入 ROM 中。然后,在 时钟脉冲的作用下:

(1)依次输出每个采样点(对应相位增量 N=1)的 幅值时,那么经过 2"个时钟才能输出一个完整的正弦 波,因此输出正弦信号的周期为时钟周期的 2"倍,即输

图 5-15 正弦 DDS 的实现原理

出正弦信号的频率为时钟频率的 1/2";

(2)每隔一个点输出一个采样点(对应相位增量 N=2)的幅值时,则经过 2"/2 个时钟就能输出一个完整的正弦波,输出正弦信号的周期为时钟周期的 2"⁻¹ 倍,即输出正弦信号的频率为时钟频率的 2/2";

(3)每隔两个点输出一个采样点(对应相位增量 N=3)的幅值时,则经过 2"/3 个时钟 就能输出一个完整的正弦波,因此输出正弦信号的周期为时钟周期的 2"/3 倍,即输出正弦 信号的频率为时钟频率的 3/2"。

以此类推,可推出 DDS 输出正弦信号的频率 four 与时钟脉冲频率 felk 之间的关系为

$$f_{\rm OUT} = \frac{f_{\rm clk}}{2^n} \times N$$

其中,N为相位增量,通常称为频率控制字。

本节以设计能够输出 100Hz~25.5kHz,步进为 100Hz 的 DDS 正弦信号源为目标,讲述 ROM IP 在数字系统设计中的应用。

分析 ①频率范围为100Hz~25.5kHz,步进为100Hz的正弦信号共有255种频率值,因此需要用8位频率控制字(因为2⁷<255<2⁸)进行控制;②为了保证输出正弦信号无失真,根据奈奎斯特采样定理,每个正弦周期至少应输出2个及以上的采样点,才能恢复出正弦波,而且输出的采样点数越多,越有利于后续低通滤波器的设计。但是,采样点数越多,所需要的存储容量越大,消耗的FPGA存储资源越多,因此需要折中考虑。当输出25.5kHz 正弦波时,若设计每个周期输出16个采样点,则DDS信号源的时钟频率至少应取25.5kHz×16=408kHz。

根据上述分析,取 DDS 时钟脉冲 f_{clk} 为 409. 6kHz, n = 12 和 8 位频率控制字时,能够 输出的正弦波信号的频率恰好为 100Hz~25. 5kHz,步进为 100Hz。

为了节约 FPGA 片上有限的存储资源,对图 5-16 所示的正弦信号进行采样时,只存储 第1象限(0~π/2)的正弦采样值,然后利用正弦波结构的对称性,映射出第 2~4 象限 $(\pi/2 \sim 2\pi)$ 的正弦函数值。

本例中的相位累加器设计、正弦 ROM 的定制以及输出数据的校正都是按照这种思路 处理的。



图 5-16 正弦波波形

设计过程 正弦 DDS 信号源设计方案如图 5-17 所示。在时钟脉冲的作用下,12 位相 位累加器以频率控制字为步长进行相位循环累加,输出 10 位相位值,然后将相位累加器输 出的 10 位相位值序列作为正弦 ROM 的地址,查询预先存放在 ROM 中正弦波的第 1 象限 1024 个采样数据输出数字化正弦幅值序列,ROM 输出的数据校正后经过 8 位 D/A 转换器 转换为时间连续的信号,再经过低通滤波器输出正弦模拟信号。



图 5-17 正弦 DDS 信号源设计方案

基于上述设计方案,应用 FPGA 实现 DDS 信号源时,需要应用 Verilog HDL 描述相位 累加器和定制正弦 ROM。在设计之前,先建立新工程(设工程名为 DDS_sin4096x8b),以 便设计和定制过程中产生的相关文件能够添加到工程中。

5.3.1 相位累加器的设计

相位累加器在时钟脉冲的作用下,将加法器输出的相位值与频率控制字循环累加,以保 持相位的连续变化,从而保证输出波形的连续性。

取 *n*=12 时,应采用 12 位二进制相位累加器。只存储 1/4 周期正弦采样数据时,相位 累加器只需要输出 10 位相位序列值和正弦数据是否需要反相的标志。因此,实现相位累加 的 Verilog 代码参考如下。

```
module phase_adder12b(clk,rst_n,phase_step,phase_out,datinv);
input clk,rst_n; // DDS 时钟及复位信号
```

```
// 频率控制字
 input [7:0] phase step ;
                                                         // 相位输出
 output reg [9:0] phase out;
                                                         // 数据反相标志
 output reg datinv;
 // 内部变量定义
 reg [11:0] cnt;
                                                         // 相位累加寄存器
 // 时序逻辑过程,相位累加
 always @ ( posedge clk or negedge rst_n )
   if (!rst_n)
     cnt <= 12'b0;
   else
     cnt <= cnt + phase_step;</pre>
 // 组合逻辑过程,定义输出
 always @( cnt )
    case ( cnt[11:10] )
       2'b00: begin phase_out = cnt[9:0]; datinv = 0; end // 第1象限
       2'b01: begin phase out = ~cnt[9:0]; datinv = 0; end // 第 2 象限
       2'b10: begin phase out = cnt[9:0]; datinv = 1; end // 第 3 象限
       2'b11: begin phase out = ~cnt[9:0]; datinv = 1; end // 第4象限
      default: begin phase out = cnt[9:0]; datinv = 0; end
    endcase
endmodule
```

以 phase_adder12b. v 文件建立工程并进行编译和综合后,执行 Files→Create∠Update→ Create Symbol Files for Current File 菜单命令,为模块 phase_adder12b. v 生成图形符号文 件 phase_adder12b. bsf,以便在顶层设计中调用。

5.3.2 正弦 ROM 的定制

正弦 ROM 用于实现"相位-幅度"的转换,根据正弦波的相位值输出相应的幅度值。 1024×8 位正弦 ROM 可以定制单口 ROM IP 实现。

在定制 ROM 之前,首先需要创建存储器初始化文件,以便在定制 ROM 过程中能够加载正弦采样数据。

1. 创建存储器初始化文件

Quartus Prime 支持两种格式的存储器初始化文件: MIF(Memory Initialization File) 文件格式和 HEX(Hexadecimal)文件格式。

1) MIF 文件

MIF 为原 Altera 公司定义的纯文本格式的存储器初始化文件,可以用任何文本编辑器 (如记事本)进行编辑。

1024×8位的 MIF 文件格式如下。

说明部分略	
WIDTH = 8 ;	// 定义存储数据的位宽,以十进制数表示
DEPTH = 1024 ;	// 定义存储单元的总数,以十进制数表示
ADDRESS_RADIX = BIN/DEC/HEX/UNS;	// 定义地址基数
DATA_RADIX = BIN/DEC//HEX/UNS;	// 定义数据基数
	/ * BIN 表示二进制数,

CONTENT BEGIN 单元0:数值0; 单元1:数值1; 单元2:数值2; … 单元1023:数值1023; END; DEC 表示十进制数, HEX 表示十六进制数, UNS 表示无符号十进制数 */ // 描述存储单元及数值 // 单元号:存储数值

MIF 文件格式可以在 Quartus Prime 中生成。 在 Quartus Prime 环境下新建存储器初始化文件, 在弹出的如图 5-18 所示的对话框中的 Number of words 和 Word size 文本框中分别设置存储器的单 元数和存储数据的位宽,先建立一个空白的. mif 文件,然后将初始化数据填入后保存即可。

Number of words:		1024
Word size:		8
OK	ancel	Help

存储器初始化文件还可以直接应用C程序生

图 5-18 设置存储器单元数和位数

成。将一个正弦周期均匀采样 4096 个点,计算并存储第 1 象限的 1024 个采样点数据。每 个采样点的数据用 8 位无符号二进制数表示。生成 1024×8 位正弦 ROM 初始化数据文件 (设文件名为 sin1024x8b. mif)的 C 程序参考如下。

<pre># include < math.h></pre>	// 包含算术运算库
<pre># include < stdio. h ></pre>	// 包含标准输入/输出库
# define PI 3.1415926	// 定义 PI 为 3.1415926
// 存储器初始化文件名和路径定义	
<pre># define PATH "c:/EDA_lab/sin1024x8b.mif"</pre>	
int main (void)	
{	
float x;	// 定义浮点变量,用于保存正弦计算值
unsigned char sin8b;	// 定义8位无符号整型变量,用于保存正弦变换值
<pre>FILE * fp_mif;</pre>	// 定义文件指针
unsigned int i;	// 定义循环变量
// 打开存储器初始化文件	
<pre>fp_mif = fopen(PATH, "w + ");</pre>	
// 添加文件信息头	
<pre>fprintf(fp_mif,"WIDTH = 8;\n");</pre>	
<pre>fprintf(fp_mif,"DEPTH = 1024;\n");</pre>	
<pre>fprintf(fp_mif,"ADDRESS_RADIX = UNS;\n");</pre>	
<pre>fprintf(fp_mif,"DATA_RADIX = UNS;\n");</pre>	
<pre>fprintf(fp_mif,"CONTENT BEGIN\n");</pre>	
// 计算并保存地址和正弦数据	
for (i = 0; i < 1024; i++)	// 输出 1024 个点
{	
x = sin(2 * PI * i/4096);	// 采样 4096 个点
sin8b = (int)((x + 1) * 255/2);	// 转换为 8 位无符号数

```
fprintf(fp_mif,"%4d:%3d;\n",i,sin8b);
}
// 写入结束标志
fprintf(fp_mif,"END;\n");
// 关闭文件返回
fclose(fp_mif);
return 0;
}
```

存储器初始化文件也可以应用 MATLAB 软件生成。生成 1024×8 位正弦采样数据初 始化文件 sin1024x8b. mif 的 m 代码参考如下。

//保存地址和数据

```
fp = fopen('C:\EDA_lab\sin1024x8b.mif','w + ');
fprintf(fp, 'WIDTH = 8;\r\n');
fprintf(fp, 'DEPTH = 1024;\r\n');
fprintf(fp, 'ADDRESS_RADIX = HEX;\r\n');
fprintf(fp, 'DATA_RADIX = HEX;\r\n');
fprintf(fp, 'CONTENT BEGIN\r\n');
for i = 0:1023
    fprintf(fp,'% 4x: % 4x;\n,i,round((0.5 + 0.5 * sin(2 * pi * i/4096)) * 255);
fprintf(fp, 'END;\n');
fclose(fp);
```

在 Quartus Prime 开发环境下分别打开 C 程序和 MATLAB 生成的存储器初始化文件 sin1024x8b. mif。初始化文件的数据片段如图 5-19 所示。

2) HEX 文件

HEX 是 Intel 公司定义的通用数据文件格式,既可以在 Quartus Prime 中直接生成,也可以将. mif 文件转换为. hex 文件。

直接生成.hex 文件的方法:在 Quartus Prime 环境下新建一个空白 HEX 文件(设文件 名为 sin1024x8b.hex),然后将 C 程序/MATLAB 生成的正弦采样数据填入 sin1024x8b. hex 中保存即可。

实现. mif 文件到. hex 文件转换的方法: 在 Quartus Prime 中先打开. mif 文件,再另存为. hex 文件。

需要注意的是,基于向量波形方法仿真含有 ROM 的数字系统时,既可以应用. mif 文件加载存储器初始化数据,也可以应用. hex 文件加载存储器初始化数据。但是,基于 testbench 仿真含有 ROM 的数字系统时,只能应用. hex 文件加载存储器初始化数据。因此,用 C 程序生成存储器初始化后,如果需要应用 testbench 进行仿真,还需要在 Quartus Prime 环境下将. mif 存储器初始化文件转换为. hex 文件格式。

2. 定制 ROM

存储器初始化文件生成之后,按照以下步骤定制正弦波 ROM。

(1) 打开 Quartus Prime,执行 Tools→IP Catalog 菜单命令进入 IP 目录,如图 5-20 所示。

(2) 双击 IP Catalog 中 Basic Functions 栏下 On Chip Memory 中的 ROM: 1-PORT, 开始定制单口 ROM。

2			sin1	024	8b.m	if				- Caller	_	_	sin	1024	x8b.	mif	_		X
Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII	Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASC
0	127	127	127	128	128	128	128	128		000	7F	7F	7F	80	80	80	80	80	
8	129	129	129	129	129	130	130	130	-	008	81	81	81	81	81	82	82	82	
16	130	130	131	131	131	131	131	131	-	010	82	82	83	83	83	83	83	83	
24	132	132	132	132	132	133	133	133	1	018	84	84	84	84	84	85	85	85	-
32	133	133	134	134	134	134	134	135		020	85	85	86	86	86	86	86	87	-
40	135	135	135	135	136	136	136	136	_	028	87	87	87	87	88	88	88	88	
48	136	137	137	137	137	137	138	138	_	030	88	89	89	89	89	89	εA	8A	
56	138	138	138	139	139	139	139	139	-	038	sA	sА	sA	sB	88	8B	88	88	-
64	139	140	140	140	140	140	141	141	-	040	SB	8C	80	8C	8C	8C	8D	8D	-
72	141	141	141	142	142	142	142	142	_	048	sD	sD	sD	8E	8E	8E	8E	8E	
80	143	143	143	143	143	144	144	144	_	050	8F	8F	8F	8F	8F	90	90	90	-
88	144	144	145	145	145	145	145	146	-	058	90	90	91	91	91	91	91	92	
96	146	146	146	146	146	147	147	147	-	060	92	92	92	92	92	93	93	93	
104	147	147	148	148	148	148	148	149	_	068	93	93	94	94	94	94	94	95	-
112	149	149	149	149	150	150	150	150	-	070	95	95	95	95	96	96	96	96	_
120	150	151	151	151	151	151	151	152	_	078	96	97	97	97	97	97	97	98	
128	152	152	152	152	153	153	153	153		080	98	98	98	98	99	99	99	99	-
136	153	154	154	154	154	154	155	155		088	99	9A	9A	9A	9A	9A	98	9B	

(a) 十进制格式 (b) 十六进制格式

图 5-19 存储器初始化数据文件

🔍 ram
Installed IP
4 Library
 Basic Functions
 On Chip Memory
T ROM: 1-PORT
ROM: 2-PORT
 University Program
 Genenc IO
Accelerometer SPI Mode
Search for Partner IP

图 5-20 正弦 ROM 定制向导(1)

(3) 在弹出的 Save IP Variation 对话框中,输入保存定制 ROM 的名称,选择输出 HDL 的语言类型,并确认输出文件将保存在 DDS 工程目录中。

本例中设定输出文件存放的目录为C:/EDA_lab,输出文件名为 sin_rom_quarter,输出

HDL的语言类型为 Verilog, 如图 5-21 所示。

Save IP Variation	
IP variation file name:	OK.
C:/EDA_lab/sin_rom_quarter	
IP variation file type	Cancel
O VHDL	
Verilog	

图 5-21 正弦 ROM 定制向导(2)

(4) 单击图 5-21 中的 OK 按钮进入设置 ROM 存储单元数和位宽界面。

设置 ROM 的单元数为 1024(在下拉列表中选择或直接输入), 位宽为 8 位, 时钟模式为 单时钟, Auto 实现方式, 如图 5-22 所示。

🔨 MegaWizard Plug-In Manager [page 1	of 5]	? ×
a ROM: 1-PORT		About Documentation
Parameter EEDA Summary		
General > Regs/Clken/Adrs > Mem :	init >	
The second secon	Ourrently selected device family:	Cydone IV E +
address[9.0]		Match project/default
A burg	How wide should the 'q' output bus be?	8 🗸 bits
107	How many 8-bit words of memory?	1024 • words
clock Block type: AUTO	Note: You could enter arbitrary values for width and de What should the memory block type be?	epth
	Auto MLAB	© мяк
	E M144K. () LCs	Options
	Set the maximum block depth to Auto 👻	words
	What docking method would you like to use?	
	(@) Single dock	
	Dual dock: use separate 'input' and 'output' docks	r i
Resource Usage		
1 M9K	Cancel < Ba	dk Next > Finish

图 5-22 正弦波 ROM 定制向导(3)

(5) 单击 Next 按钮进入添加功能端口界面。取消勾选'q' output port 选项以取消 ROM 的输出寄存功能,如图 5-23 所示。

(6) 单击 Next 按钮进入添加存储器初始化文件对话框。首先选择"Yes, use this file for memory content data"单选项,然后单击 Browse 按钮查找并选中已经生成好的初始化 文件 sin1024x8b. mif(或 sin1024x8b. hex),如图 5-24 所示,确认加入。

A MegaWizard Plug-In Manager [page 2 c	of 5]	? ×
ROM: 1-PORT		bout Documentation
Parameter EDA 3 Summary Settings	and the second se	
General Regs/Ciken/Adrs Mem I	nit >	
Address(9.0) clock Block type: AUTO	Which ports should be registered?	More Options) bits More Options
1 M9K	Cancel	Next > Einish

图 5-23 正弦 ROM 定制向导(4)

MegaWizard Plug-In Manager [page	e 3 of 5]
ROM: 1-PORT	
Paraméter ZEDA 35	A second s
General 📏 Regs/Cliken/Adrs 📐 🕅	
sin_rom_quarter	Do you want to specify the initial content of the memory?
	No, leave it blank
8 bits	Ditialize memory content data to XXX on power-up in smulation
9	Yes, use this file for the memory content data
Block type: AUTO	(You can use a Hexadecimal (Intel-format) File [.hex] or a Memory Initialization File [.mif])
	Browse
	File name: ./sin1024x8b.mif
	The initial content file should conform to which port's PORT_A.
	Allow In-System Memory Content Editor to capture and update content independently of the system dock
	The 'Instance ID' of this ROM is: SINE
Resource Usage	
1 Mar	Cancel < Back Next > Eins

图 5-24 正弦 ROM 定制向导(5)

(7) 单击 Next 按钮两次进入输出文件生成界面,如图 5-25 所示。勾选 sin_rom_quarter. bsf 选择输出图形符号文件,以便在顶层设计中通过原理图方式调用。单击 Finish 按钮完成定制过程。

MegaWizard Plug-In Manager [page 5	i of 5]	? ×
ROM: 1-PORT		About Documentation
1 Parsmeter 2 204 Summary Settings	-	
sin_tom_quarter	Turn on the files you wish to g automatically generated, and to generate the selected files. Mega/Wizard Plug-In Manager	enerate. A gray checkmark indicates a file that is a green checkmark indicates an optional file. Click Finish The state of each checkbox is maintained in subsequent sessions.
# bits	The MegaWizard Plug-In Mana C:\PDS_sin4096x8b\	ger creates the selected files in the following directory;
clock	File	Description
Block type: AUTO	I sin_rom_quarter.∨	Variation file
-	sin_rom_quarter.inc	AHDL Indude file
	sin_rom_quarter.cmp	VHDL component declaration file
	sin_rom_quarter.bsf	Quartus Prime symbol file
	sin_rom_quarter_inst.v	Instantiation template file
	I sin_rom_quarter_bb.v	Verilog HDL black-box file
Resource Usage		
1 M9K		Cancel < Back Menter Finish
		Const.

图 5-25 正弦 ROM 定制向导(6)

(8) 执行 Project→Add/Remove Files in Project 菜单命令,可以看到已经加入工程中的 sin_rom_quarter. qip IP 文件,如图 5-26 所示。

tegory.				Device/Boan
General	Files	A DESCRIPTION OF THE OWNER OF THE		
Files Libraries	Select the design files you project directory to the pro	want to include in the project. Click oject.	Add All to add all design	files in the
IP Catalog Search Locations	File name:			Add
Design Templates Operating Settings and Conditions	R		×	Add All
Voltage	File Name	Туре	Libi Design Entry/Sy	Remove
Temperature Compilation Process Settings	sin_rom_quarter.gip	IP Variation File (.qip)	<none></none>	Mp.
Incremental Compilation	sin1024x8b.mif	Memory Initialization File	<none></none>	Down
Design Entry/Synthesis Simulation Board-Level	PLL_for_DDS.qip	IP Variation File (.qip)	<none></none>	Properties
	(a)	Ш	1	

图 5-26 正弦 ROM 定制向导(7)

5.3.3 输出数据的校正

由于正弦 ROM 中只存储了第1象限的正弦采样数据值,因此,需要对 ROM 输出的正 弦数据进行校正才能映射出完整的正弦周期数据序列。

对正弦数据进行校正的 Verilog 代码参考如下。

将上述代码经编辑综合后封装成图形符号文件(sin_dat_adj.bsf),以便在 DDS 信号源 顶层电路设计中调用。

另外,如果在 sin_dat_adj 模块的对外端口中添加如下输出口和相应的端口赋值语句,则可以输出与正弦信号同频的方波信号。

```
output wire squ_out, // 输出端口
assign squ_out = datflag; // 端口赋值语句
```

5.3.4 顶层电路设计

DDS 正弦信号源的顶层电路应用原理图进行设计。

打开 Quartus Prime,新建设计文件并选择 Design Files 栏下的 Block Diagram/ Schematic Files,打开原理图编辑窗口。在编辑窗口的空白处双击,单击 Name 栏右侧的浏 览按钮 ,依次调入相位累加器 phase_adder12b. bsf、正弦波存储器 sin_rom_quarter. bsf 和输出数据校正模块 sin_dat_adj. bsf 的图形符号,按图 5-17 的设计方案连接成如图 5-27 所示的顶层设计电路,并将顶层原理图文件保存为 DDS_sin4096x12b. bsf(顶层设计文件必 须与工程同名)。



图 5-27 DDS 正弦信号源顶层设计电路

1. 仿真分析

建立向量波形文件,添加信号源时钟 DDS_clk、复位信号 RST_n、频率控制字 Fstep 和 正弦输出序列 sin_out 为需要观测的信号。执行 Edit→Set End Time 菜单命令,将仿真结 束时间设置为 81.92µs(因为 81.92µs/2/10ns=4096,对应一个正弦基波周期)。设置 Fstep 为8进行仿真,得到如图 5-28 所示的仿真结果。



图 5-28 正弦 DDS 信号源仿真波形

从仿真波形可以看出,输出正弦序列幅值与采样值一致。若将输出的正弦序列幅值经过 D/A 转换和低通滤波,就可以还原为正弦模拟信号。

2. Signal Tap Logic Analyzer 测试

定制锁相环 ALTPLL 输出 409.6kHz 方波(c0 和 c1),分别作为 DDS 信号源的时钟和 逻辑分析仪的采样时钟。建立如图 5-29 所示的 DDS 信号源测试电路。



图 5-29 DDS 信号源测试电路

设置锁相环的输入时钟为 50MHz。将频率控制字 Fstep[7:0]锁定到 DE2-115 开发板的 SW7~SW0 上,将复位信号锁定到 DE2-115 开发板的 KEY0 上,将正弦序列输出 sin_out[7:0]锁定到 GPIO[11]~[25]单号引脚上。具体的锁定信息如图 5-30 所示。

All Pins						ē ×
Named. *	• 🛞 Edit 🗙 🚽	< <new node=""></new>	>	Filter	Pins. all	
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	n I/O Standard
Estep[7]	Input	PIN_AB26	5	85_N1	PIN_AB26	2.5 V
- Fstep[6]	Input	PIN_AD26	5	85_N2	PIN_AD26	2.5 V
- Fstep[5]	Input	PIN_AC26	5	B5 N2	PIN_AC26	2.5 V
- Fstep[4]	Input	PIN_AB27	5	B5_N1	PIN_AB27	2.5 V
Fstep[3]	Input	PIN AD27	5	85 N2	PIN_AD27	2.5 V
- Fstep[2]	Input	PIN AC27	5	85_N2	PIN AC27	2.5 V
- Fstep[1]	Input	PIN AC28	5	85 N2	PIN AC28	2.5 V
- Fstep[0]	Input	PIN AB28	5	B5_N1	PIN AB28	2.5 V
DSC 50M	Input	PIN_Y2	2	B2_NO	PIN Y2	2.5 V
RST n	Input	PIN_M23	6	86 N2	PIN_AH15	2.5 V (default)
sin_out[7]	Output	PIN_AF16	4	84_N2	PIN_AF16	2.5 V
sin out[6]	Output	PIN AF15	4	84 N2	PIN_AF15	2.5 V
sin_out[5]	Output	PIN_AE21	4	84_N1	PIN_AE21	2.5 V
sin_out[4]	Output	PIN_AC22	4	B4 NO	PIN_AC22	2.5 V
sin_out[3]	Output	PIN_AF21	4	B4_N1	PIN_AF21	2.5 V
sin_out[2]	Output	PIN_AD22	4	B4_NO	PIN AD22	2.5 V
sin_out[1]	Output	PIN AD25	4	84_N0	PIN_AD25	2.5 V
sin out[0]	Output	PIN AE25	4	84_N1	PIN AE25	2.5 V
< <new node="">></new>						
4	n					+

图 5-30 DDS 信号源测试电路引脚锁定信息

新建逻辑分析仪文件(打开 Signal Tap Logic Analyzer File),添加 DDS 时钟(PLL_for_DDS 的 c0)、频率控制字 Fstep[7:0]、相位累加器输出 phase_out[9:0]和正弦序列输出 sin_out [7:0]为需要观测的信号,如图 5-31 所示。

trigge	er: 202	0/12/24 13:27:12 #1	Lock mode	Allow all char	iges
1		Node	Data Enable	Trigger Enable	Trigger Conditions
Туре	Alias	Name	26	26	1 Basic AND
-		⊞ Fstep[7_0]	1	2	XXh
-		⊕ _ase_adder12b:inst[phase_out[9_0]		2	XXXh
-		⊕ sin_out[7_0]	10	2	XXXXXXXXXb

图 5-31 添加需要观测信号

设置逻辑分析仪的采样时钟为 409.6kHz(PLL_for_DDS 中的 c1),采样深度为 128kb, 重新编译工程并下载到 FPGA 中,设置频率控制字 Fstep 为 8 并启动逻辑分析仪进行分析, 设置相位累加器输出 phase_out 和正弦序列输出 sin_out 为 unsigned line chart 显示方式, 得到如图 5-32 所示的测试波形。可以看出,DDS 功能正确。

IOF T	ris @	2020/12/24 16:31:35 (0:0:0.8 elapsed)	1				classic ruestimes	8e			
Type	Alias	Name	-16384	-15360	-14336	43018	-12280	-11264	-10240	-9216	-8192
-	-	E Fstep[7.0]					QUD				
	1	E _ase adder12b inst[phase out[9.0]	-	A		-	-	-	-		
		⊡ sin_out[7_0]	2	$\wedge \wedge$	$\wedge \wedge$	\mathcal{M}	\bigwedge	\mathcal{M}	\mathcal{M}	$\wedge \wedge$	A

图 5-32 DDS 信号源逻辑分析波形

需要说明的是, Quartus Prime 提供了功能强大的数控振荡器(Numerically Controlled Oscillator, NCO)IP, 用户只需要对 NCO IP 进行简单的配置, 就可以方便地生成单路或双通 道高精度离散正弦波和余弦波, 在信号处理、数字通信和电力电子等领域有着重要的应用。 有兴趣的读者可查阅 Intel 公司的相关文档学习 NCO 的使用方法。

5.3.5 D/A 转换及滤波电路

D/A转换电路用于将 FPGA 输出的正弦幅值序列转换为时间上连续、幅值上离散的信号,再通过低通滤波器还原为正弦模拟信号。

由于正弦采样数据为8位无符号二进制数,因此需要用8位D/A转换器进行转换。

DAC0832 为集成 8 位 D/A 转换器,电流建立时间为 1μs。因此,在不考虑外接运放特性的情况下,DAC0832 理论上的最高输入速率为 10⁶ 次/s。正弦 DDS 信号源的时钟频率 为 409.6kHz,即每秒输出 409600 个数据,所以 DAC0832 能够满足设计要求。

DAC0832 内部结构如图 5-33 所示,由 8 位输入寄存器、8 位 DAC 寄存器和 8 位梯形电 阻网络 D/A 转换器 3 部分组成。其中,8 位输入寄存器由 ILE、CS'和 WR₁信号控制,8 位 DAC 寄存器由 WR₂和 XFER'信号控制。

DAC0832 可设置为双缓冲、单缓冲或直通 3 种工作模式。当 ILE、CS'和 WR₁信号均 有效时,锁存允许信号 LE₁[']无效,因此外部待转换的二进制数 DI₇ ~ DI₀ 通过输入寄存器到 达 DAC 寄存器的输入端。当 WR₂[']和 XFER[']信号均有效时,锁存允许信号 LE₂[']无效,输入 寄存器的数据通过 DAC 寄存器到达 D/A 转换器的输入端,开始进行 D/A 转换。

DAC0832 为电流输出型 DAC,还需要应用 I-V 转换电路将输出电流转换为电压。



图 5-33 DAC0832 内部结构

应用 DAC0832 设计的 DDS 信号源 D/A 转换和滤波电路如图 5-34 所示,先将 FPGA 输出的 8 位正弦幅值序列 sin_out[7:0]经过 DAC0832(设置为直通工作模式)转换为电流 信号 I_{OUT} ,再应用运放将输出电流 I_{OUT} 转换为电压,最后通过 RC 低通滤波电路,即可得 到正弦模拟信号 $v_{0.0}$



图 5-34 D/A 转换与滤波电路

由于输出正弦信号的最高频率为 25.5kHz,因此设置低通滤波器的上限频率为 25.5/0.707≈36kHz 即可满足设计要求。经计算,取 $C=0.01\mu$ F, $R\approx440\Omega$ 。

需要说明的是,当集成 D/A 转换器的速率不能满足设计要求,或者成本太高时,可以应 用如图 5-35 所示的双级权电阻网络 D/A 转换原理电路搭建 D/A 转换器,选择合适的运放 满足设计需求。图 5-35 中 8R 电阻可用 4 个 2R 电阻串联实现,4R 电阻可用两个 2R 电阻 串联实现,而 R 电阻可用 2 个 2R 电阻并联实现,R/2 电阻可用 4 个 2R 电阻并联实现,以 方便权电阻网络设计。

另外,在对驱动能力要求不高的应用场合,还可以省去图 5-35 中的运放和反馈电阻,优 点是不但能够节约电路成本,并且 D/A 转换的速度不再受运放的性能限制,但缺点是 D/A 转换器的驱动能力不强。

DDS 信号源以其输出频率可控、精度高和稳定性好等优点在电子系统设计中广泛应用。例如,在2019年电子设计竞赛D题(简易电路特性测试仪)中,需要应用DDS 信号源为

放大电路提供交流输入信号,如图 5-36 所示,以测量放大电路的输入电阻、输出电阻、电压 增益以及通频带等特性参数。电路特性测试仪的具体任务要求可从全国电子设计竞赛官网 (nuedc.xjtu.edu.cn)下载。设计思路和实现方法留给读者思考和实践。



图 5-35 双级权电路网络 D/A 转换器



图 5-36 简易电路特性测试仪

5.3.6 功能扩展及应用

如果将 DDS 信号源中应用的单口 ROM 扩展为图 5-37 所示的双口 ROM,同时改写相 位累加器代码以驱动双口 ROM 输出双路正弦数据,再添加相位初值控制字以设置两个通 道的相位差,则可实现双频、相差可调的双通道 DDS 信号源,可用于信号的调制与解调等应 用场合。



双路正弦 DDS 信号源的相位累加器描述代码参考如下。

```
module bichannel phase adder12b (
  input ch1 clk, ch2 clk,
                                       // 双路时钟信号
                                       // 复位信号
  input rst n,
                                      // 8 位频率控制字
  input [7:0] freq word1, freq word2,
  input [11:0] phase_value1, phase value2, // 12 位相位初值控制字
  output reg [9:0] rom addr1, rom addr2, // 10 位 ROM 地址输出
  output reg datinv1, datinv2
                                      // 数据是否反相标志
  );
  // 内部线网和变量定义
  reg [11:0] cnt1, cnt2;
  wire [11:0] phase_out1, phase_out2;
  // 相位累加输出
  assign phase_out1 = cnt1 + phase_value1;
  assign phase_out2 = cnt2 + phase_value2;
  // 时序逻辑过程,通道1相位累加
  always @ ( posedge ch1 clk or negedge rst n )
    if (!rst n)
      cnt1 <= 12'b0;
    else
      cnt1 <= cnt1 + freq word1;</pre>
  // 时序逻辑过程,通道2相位累加
  always @ ( posedge ch2 clk or negedge rst n )
    if ( !rst_n )
      cnt2 <= 12'b0;
    else
      cnt2 <= cnt2 + freq word2;</pre>
  // 组合逻辑过程,通道1输出
  always @ ( phase out1 )
    case ( phase out1[11:10] )
        2'b00: begin rom addr1 = phase out1[9:0]; datinv1 = 0; end
        2'b01: begin rom_addr1 = ~phase_out1[9:0]; datinv1 = 0; end
        2'b10: begin rom_addr1 = phase_out1[9:0]; datinv1 = 1; end
        2'b11: begin rom_addr1 = ~phase_out1[9:0]; datinv1 = 1; end
      default: begin rom_addr1 = phase_out1[9:0]; datinv1 = 0; end
    endcase
  // 组合逻辑过程,通道2输出
  always @ ( phase out2 )
    case ( phase out2[11:10] )
      2'b00: begin rom addr2 = phase out2[9:0]; datinv2 = 0; end
      2'b01: begin rom addr2 = \sim phase out2[9:0]; datinv2 = 0; end
      2'b10: begin rom addr2 = phase out2[9:0]; datinv2 = 1; end
      2'b11: begin rom_addr2 = ~phase_out2[9:0]; datinv2 = 1; end
    default: begin rom_addr2 = phase_out2[9:0]; datinv2 = 0; end
  endcase
endmodule
```

综合上述代码,并封装为图形符号,然后将相位累加模块 bichannel_phase_adder12b、双口 ROM 和数据校正模块 sin_dat_adj 连接成如图 5-38 所示的双通道 DDS 顶层设计电路。



图 5-38 双通道 DDS 顶层设计电路

由于单个正弦周期共采样了4096个点,对应正弦相位为360°,因此两个相邻采样点之间对应的相位增量为360°/4096=0.087890625°,由此可以推算出正弦波的相差与相位初值差数之间的关系,如表5-5所示。所以,需要产生相差为90°的正交信号时,应设置双路信号的相位初值之差为1024。

血 午 相 夫	初值	差数	单华 和夫	初值	差数
女小怕左	十进制	十六进制	女 小 相左	十进制	十六进制
0°	0	000	180	2048	800
45°	512	200	225	2560	A00
90°	1024	400	270	3072	C00
135°	1536	600	315	3584	E00

表 5-5 相差与相位初值关系

在双通道 DDS 信号源的测试过程中,为了能够在线(on-line)设置正弦波的输出频率和 相差,需要定制参数化常数存储器 IP 为频率控制字 freq_word1 和 freq_word2、相位初值 phase_value1 和 phase_value2 提供输入值。

定制参数化常数存储器 IP 的具体步骤如下。

(1) 执行 IP Catalog 命令进入 IP 目录。双击 Basic Functions 栏下 Miscellaneous 中的 LPM_CONSTANT,如图 5-39 所示,启动参数化常数存 储器 IP 的定制过程。

(2) 在 Save IP Variation 对话框中设置 IP 变量文 件名为 Fword1,如图 5-40 所示,然后单击 OK 按钮进入 IP 参数设置界面。

(3) 在如图 5-41 所示的 IP 参数设置界面中,将 Fword1 的位宽设置为 8,常数值设置为 8,例化 ID 名设 置为 FWD1,并勾选 Allow In-System Memory Content Editor to capture and update content independently of the system clock 选项,以便在逻辑分析仪工作过程中能 够应用 In-System Memory Content Editor 在线捕获和 更新常数值。



图 5-39 常数寄存器定制向导(1)



图 5-40 常数寄存器定制向导(2)

MegaWizard Plug	In Manager (page 1 of 3)		[2] X
LPM_	CONSTANT		About Documentation
Parameter 2 50 Séttings	A Summéry		
Eword1	1	Currently selected device family:	Cyclone IV E
8			Match project/default
	How wide chould the nutruit ha?	.te	
	What is the constant value? 8	Dec *	
	Allow In-System Memory Content Editor to cap	ture and update content independently	of the system clock.
	The Instance ID is: FWD1		
	-		
		Cancel < Bar	a Next> Einish

图 5-41 常数寄存器定制向导(3)

(4) 连续单击 Next 按钮跳过仿真网表生成步骤,进入 IP 输出文件生成界面,如图 5-42 所示。勾选图形符号文件 Fword1. bsf,以便在顶层原理图电路中调用。

单击 Finish 按钮完成 Fword1 的定制过程。

按相同的步骤定制 Fword2、Pvalue1 和 Pvalue2,分别将例化 ID 名设置为 FWD2、 PVL1 和 PVL2。Fword2 的值设置为 8,而 Pvalue1 和 Pvalue2 的位宽设置为 12,常数值设置为 0。

将参数化常量 Fword1 和 Fword2、Pvalue 和 Pvalue2 分别与顶层设计电路中的频率控制字 freq_word1 和 freq_word2、相位初值 phase_value1 和 phase_value2 相连,如图 5-38 所示,即设置 DDS 输出双路初始相位均为 0°的 800Hz 正弦波。编译并综合顶层设计电路,并完成引脚锁定。

新建逻辑分析仪文件,设置采样时钟为 409.6kHz(应用 PLL_for_DDS 中的 c1),采样 深度设置为 16k。添加累位累加器输出地址 rom_addr1 和 rom_addr2,以及双口 ROM 输出 的正弦序列 sinout1 和 sinout2 为需要观测的信号。

重新编译工程后下载到 FPGA 中,启动逻辑分析仪进行分析,设置正弦序列 sinout1 和 sinout2 为 unsigned line chart 显示方式,得到如图 5-43 所示的逻辑分析波形。从图 5-43 中

的地址和数据以及通道波形可以看出,双通道正弦信号同相。

D LPM_0	CONSTANT	About Documentation
]Poremeter Settings	3 Summary	
Eword1	Turn on the files you wi checkmark indicates an subsequent MegaWizar The MegaWizard Plug-Li C:\Bichannel_DDS\	sh to generate. A gray checkmark indicates a file that is automatically generated, and a green optional file. Click Finish to generate the selected files. The state of each checkbox is maintained in d Plug-In Manager sessions. n Manager creates the selected files in the following directory:
	rd.	Part of a Read
	File	Description
	FwordLv	Variation file
	Fiverd1.v	Variation file AHDL Indude file
	Fiver Fiver d1.v	Variation file AHDL Include file VHDL component declaration file
	File Fiverd1.v Fiverd1.inc Fiverd1.cmp	Variation file AHDL Include file VHDL component declaration file Quartus Prime symbol file
	File Fiverd1.v Fiverd1.inc Fiverd1.cmp Fiverd1.bsf Fiverd1_inst.v	Variation file AHDL Include file VHDL component declaration file Quartus Prime symbol file Instantiation template file

图 5-42 常数寄存器定制向导(4)

log: 2	021/02	/03 17:45:40 #0		745
Type	Alias	Name	745 Value 746	1024 1536 2048 2560 3072 3584 4096 4608
9		€r12b.inst4[rom_addr1	(ODFh)	
87		⊞r12b:inst4[rom_addr2	(DDFn)	
95		⊞ sinout1[70]	84	
3		⊕ sinout2(7_0)	84	h

图 5-43 双通道 DDS 逻辑分析波形(1)

在 Quartus Prime 开发环境下,执行 Tools→In-System Memory Content Editor 菜单 命令启动在系统存储器数据编辑器,初始界面如图 5-44 所示。

单击图 5-44 中的 Setup 按钮建立 USB-Blaster 连接,然后执行 Processing→Read Data from In-System Memory 菜单命令(或者直接按 F5 快捷键)依次读入参数化常量 FWD1 和 FWD2、PVL1 和 PVL2 的存储数据,如图 5-45 所示。

选中 PLV2 的数值 000,修改为(十六进制)400,如图 5-46 所示。然后执行 Processing→ Write Data to In-System Memory 菜单命令(或者直接按 F7 快捷键)将修改后的常量值写 回到 PLV2 中。

参数修改完成后,返回逻辑分析仪重新进行分析,得到如图 5-47 所示的波形。从图 5-47 中的地址和数据的对应关系以及通道波形可以看出,双通道正弦信号正交。

需要说明的是,In-System Memory Content Editor 主要用于读取和更新 ROM/RAM 中的存储数据。在 DDS 信号源的设计过程中,在定制 ROM 时需要勾选 Allow In-System Memory Content Editor to capture and update content independently of the system clock 选项(见图 5-24),才能应用在系统(In-System)存储器数据编辑器读取和编辑 ROM 中的存

储数据,如图 5-48 所示,实现存储数据的在线更新。

nstance Manager: 11 11 1	JTAG configuration	on invalid	×	JTAG Chain	Configuration: In sectors	er odet 🛛 😥
Index Instance ID No instances	Status	Width	Dep	Hardware: Device: File:	Please Select None Detected	Setup Scan Chair

图 5-44 在系统存储器数据编辑器初始界面

Index Instance ID Status Width Depth Type Mode 0 FWD1 Notrunning 8 1 Constant Read/Write Device: (#1:10C1120(Y12)/EP3C120)(*) Sean Chain 2 PVL1 Notrunning 12 1 Constant Read/Write 3 PVL2 Notrunning 12 1 Constant Read/Write 4 If If Constant Read/Write If File: If Scan Chain 1 FWD2 Notrunning 12 1 Constant Read/Write File: If Scan Chain 4 If If Constant Read/Write If If Scan Chain If If Scan Chain If If If Scan Chain If If	Instance	Manager: 🔡		EL Rea	ady to acq	uire	x la	JTAG Chain	Configuration: JTAG ready	
Instance 0: FWD1 000000 08 Instance 1: FWD2 000000 08 Instance 2: FVL1 000000 000 Instance 3: FVL2	Index 0 1 2 3 4	Instance ID FWD1 FWD2 PVL1 PVL2	Status Not.running Not.running Not.running Not.running	Width 8 8 12 12 12	Depth 1 1 1	Type Constant Constant Constant Constant	Mode Read/Write Read/Write Read/Write Read/Write	Hardware: Device: File:	(USB-Blaster [USB-0] (@1: 100: 120(Y(2))/EP3C120/,. (Setup Scan Chain
	Instance 00000 Instance 00000 Instance 00000 Instance	0: FWD1 0 08 1: FWD2 0 08 2: PVL1 0 000 3: PVL2							4	

图 5-45 读取常量值

双通道 DDS 信号源能够产生不同相差、不同频率的双路信号。产生同频的正交信号时,可实现信号的正交调制与解调。2013 年电子设计竞赛 E 题(简易频率特性测试仪的系统结构)如图 5-49 所示,需要应用正交信号实现网络幅频特性和相频特性的测量。

另外,如果将 DDS 正弦信号源与 PWM 相结合,还可以实现脉冲宽度按正弦规律变化的正弦脉宽调制波(Sinusoidal PWM,SPWM)。在电力电子技术中,相对于空间矢量、随机

			_						
Instance	Manager:		E Rea	dy to acq	uire	le x	JTAG Chain	Configuration: JTAG ready	B
Index	Instance ID	Status	Width	Depth	Туре	Mode	Hardware:	USB-Blaster [USB-0] *	Setup
0	FWD1	Not running	8	1	Constant	Read/Write	Device:	@1: 10CL 120(Y/Z)/EP3C,120/ (-	Scan Chain
2	PVL1	Not running	12	1	Constant	Read/Write	File:		1
3	PVL2	Not running	12	1	Constant	Read/Write	1 Per (0000)		16
		_	m			1.1			
00000	0 08 1: FWD2							~	
00000	0 D8							2	
Instance	2: PVL1								
00000	0 000								
Instance	3: PVL2								
00000	0 400								

图 5-46 写回常量值



图 5-47 双通道 DDS 逻辑分析波形(2)

_				_	_			_		_						_	_			_		-	
Instanc	e Manag	er.	Ħ	1		E	1	Ready	, to a	icqu	ire		0	×		ATL	G Ch	ain C	onfi	gura	tion: JTAG n	eady	
Inde	Instance	e ID	Stat	us		Widt	h D	epth	Ty	pe	_	Mod	le	-	1	Hart	dware	- 0	SB-E	laste	r [USB-0]	•	Setup
0	SINE	1	Not	runn	ing	8	-10	024	RA	M/R	OM	Read	1/wr	ite		Devi	ce:	6	on: 1	OCLI	20(Y)Z)/EP30	1 *	Scan Chair
			_	_		_							_			File		1					6
Instance	O: SINE				-					_													-
00000	0 7F	7F	7F	80	80	80	80	80	81	81	81	61	81	82	82	82	82	82	83	83			
00001	4 83	83	83	83	84	84	84	84	84	85	85	85	85	85	86	86	86	86	86	87			
00002	8 87	87	87	87	88	88	88	66	88	89	89	89	89	89	BA	AS	8A	8A	8A	88			
00003	c 88	88	8B	88	BB	80	8C	80	8C	80	BD	8D	80	BD	BD	8E	SE	BE	8E	8E			
00005	0 BF	87	SE	8F	SF	90	90	90	90	90	91	91	91	91	91	92	92	92	92	92			
00006	4 92	93	93	93	93	93	94	94	94	94	94	95	95	95	95	95	96	96	96	96	*******		
00007	8 96	97	97	97	97	97	97	96	98	98	98	96	99	99	99	99	99	9A	9A	9A			
00008	c 9A	9A	9B	9B	9B	9B	9B	9C	9¢	90	90	9¢	90	9D	9D	9D	9D	9D	9E	9E			
0000a	0 9E	9E	9E	9F	9F	9E	9F	9F	9F	AO	AO	AO	AO	AO	A1	A1	Al	A1	A1	A2			
0000b	4 A2	A2	A2	A2	A3	A3	A3	A3	A3	A3	A4	A4	A4	A4	A4	A5	AS	A5	A5	AS			
0000c	8 A6	A6	A6	A6	A6	A6	A7	A7	A7	A7	A7	AB	AS	BΑ	AB	AB	A8	A9	A9	A9			
0000d	c A9	A9	AA	AA	AA	AA	AA	AB	AB	AB	AB	AB	AB	AC	AC	AC	AC	AC	AD	AD	*******		
0000f	0 AD	AD	AD	AD	AE	AE	AE	AE	AE	AF	AF	AF	AF	AF	AF	80	BO	BO	BO	BO			
00010	4 B1	B1	B1	B1	B1	B1	B2	B2	B2	B2	B2	B2	B 3	B3	B 3	B 3	B 3	B4	B4	B4			

图 5-48 DDS 信号源 ROM 中的存储数据

采样和自然采样等其他类型的 PWM, SPWM 的谐波分量最小,因此广泛应用于电机调速和 变频电源等应用场合。



图 5-49 频率特性分析仪系统结构

SPWM 波产生原理如图 5-50 所示,其中三角波称为载波,正弦波称为调制波。将三角 波幅度与正弦波幅度进行比较,当三角波幅度大于正弦波幅度时输出为低电平,三角波幅度 小于正弦幅度时输出为高电平,即可得到占空比随正弦信号变化的 SPWM。一般将三角波 与正弦波的频率之比称为载波比。



应用 FPGA 产生 SPWM 的数字系统结构如图 5-51 所示,其中锁相环输出两路时钟信号,一路作为三角波产生模块的时钟,另一路作为正弦波产生模块的时钟。CNT10b 模块为 10 位二进制计数器,DDS 正弦信号源和三角波信号源每周期存储 1024 点,每个采样点的幅 值用 10 位二进制数表示。





三角波产生模块 triang_wave_gen 的 Verilog 代码参考如下。

SPWM 波产生模块 spwm_gen 的 Verilog 代码参考如下。

```
module spwm_gen (clk,data1,data2,spwm_out);
input clk;
input [9:0] data1;
input [9:0] data2;
output reg spwm_out;
// 数值比较过程
always @ ( posedge clk )
    if ( data1 > data2 )
        spwm_out <= 0;
    else
        spwm_out <= 1;
endmodule</pre>
```

需要产生频率为 30Hz,载波比为 30 的 SWPM 时,正弦波时钟信号的频率应设置为 30Hz×1024=30.72kHz,三角波时钟信号的频率应为 30.72kHz×30=0.9144MHz。

新建逻辑分析仪文件,以每周期采样 4 个载波点计算,则应设置采样时钟为 30×30×4= 3600Hz(从 PLL_for_DDS 的 c2 口输出),采样深度设置为 128k。添加 SPWM 产生模块的时钟 clk、三角波和正弦波的输入信号 data1 和 data2,以及 SPWM 波的输出 spwm_out 为需要观测的信号。

重新编译工程后下载到 FPGA,启动逻辑分析仪进行分析,设置 data1 和 data2 为 unsigned line chart 显示方式,得到如图 5-52 所示的逻辑分析仪波形。可以看出,系统能够 输出 SPWM。



若用 SPWM 驱动 DE2-115 开发板上的发光二极管,则能够控制发光二极管的亮度周 期变化(习惯上称为呼吸灯)。若应用3组 SPWM 控制一组红、绿、蓝三基色发光二极管,则 可以通过相位差组调节灯光的色调和亮度。

5.4 等精度频率计的设计

5.4a 微课视频



5.4b 微课视频



5.4c 微课视频 第3章和第4章中讲述的数字频率计均基于直接测频法设计。

直接测频法通过统计在固定时间内被测信号的脉冲数,从而计算出被测信号的频率值。 由于闸门信号的作用时间与被测信号不一定同步,在计数过程中可能会存在一个脉冲的计 数误差,所以被测信号的频率越低,测频的相对误差越大。虽然可以通过加长闸门信号的作 用时间减小测量误差,但是存在着测量实时性和测量精度之间的矛盾。

等精度频率计通过控制闸门的作用时间与被测信号同步消除了直接测频法中的计数误差,因而从理论上讲,在被测信号频率范围内测频精度是恒定的。

本节以设计能够测量信号的频率范围为 1Hz~100MHz,频率测量的相对误差不大于 0.01%的等精度频率计为目标,进一步说明 IP 在数字系统设计中的应用。频率测量结果仍 用 8 位数码管显示。

要求等精度频率计的测频误差 δ_{max} 不大于 0.01%时,若取标准信号频率为 96MHz(周 期约为 10.42ns),则要求闸门的作用时间最短为

$$T_{\rm d} = T_{\rm s} / \delta_{\rm max} = \frac{1.042 \times 10^{-8}}{0.0001} \approx 1.042 \times 10^{-4} \, {\rm s}$$

即闸门的作用时间大于 104.2µs 即可满足测量精度要求。为方便主控电路设计,等精度频率计闸门的作用时间仍设计为 1s。

等精度测频的原理电路如第1章图1-4所示,总体设计方案如图5-53所示,其中主控电路、标准信号产生电路、频率测量与计算电路以及数值转换与显示译码电路都可以在FPGA中实现。



图 5-53 等精度频率计总体设计方案

标准信号产生电路通过定制锁相环模块 ALTPLL 实现,将 DE2-115 开发板提供的 50MHz 晶振锁定到 96MHz。另外,锁相环输出 10MHz 信号以方便分频器设计。锁相环定 制的具体方法和步骤参看 5.2 节。

5.4.1 主控电路设计

主控电路与直接测频法中的主控电路功能完全相同,用于产生计数器的复位信号 CLR'和闸门信号 CNTEN,以及显示译码电路所需要的锁存允许信号 LE。

主控电路可以直接应用 Verilog HDL 进行描述。取时钟频率为 8Hz,闸门信号的作用

时间为1s时,描述主控电路的Verilog代码参考如下。

```
module fp ctrl (input clk,
                                      // 时钟,8Hz
             output reg clr n,
                                      // 计数器清零信号
                                      // 闸门信号,作用时间为1s
             output reg cnt_en,
                                      // 锁存允许信号,高电平有效
             output reg le
             ):
 // 计数变量定义
 reg [3:0] q;
 // 十进制计数逻辑描述
 always @( posedge clk )
   if (q > = 4'd9)
     q < = 4'b0000;
   else
      q <= q + 1'b1;
 // 控制信号生成过程
 always @(g)
   case (q)
       4'b0000 : begin clr n = 0; cnt en = 0; le = 0; end
      4'b0001 : begin clr n = 1; cnt en = 1; le = 0; end
      4'b0010 : begin clr n = 1; cnt en = 1; le = 0; end
       4'b0011 : begin clr n = 1; cnt en = 1; le = 0; end
       4'b0100 : begin clr n = 1; cnt en = 1; le = 0; end
       4'b0101 : begin clr n = 1; cnt en = 1; le = 0; end
      4'b0110 : begin clr_n = 1; cnt_en = 1; le = 0; end
      4'b0111 : begin clr n = 1; cnt en = 1; le = 0; end
       4'b1000 : begin clr n = 1; cnt en = 1; le = 0; end
      4'b1001 : begin clr_n = 1; cnt_en = 0; le = 1; end
       default : begin clr n = 1; cnt en = 0; le = 0; end
   endcase
endmodule
```

新建工程,将 fp_ctrl 模块经过编译与综合后封装成图形符号以便在频率计顶层设计电路中调用。

5.4.2 频率测量与计算电路设计

频率测量与计算电路实现的原理电路如图 5-54 所示。当闸门信号 G 跳变为高电平后, 必须等到被测信号 F_x的有效沿到来时,通过 D 触发器将 SG 置 1 后才能对标准信号和被 测信号同时进行计数。当闸门信号 G 跳变为低电平后,同样需要等到被测信号 F_x的有效 沿到来时,通过 D 触发器将 SG 置 0 后才停止对标准信号和被测信号的计数。在主控电路 的作用下锁存计数值,然后应用乘法器和除法器计算被测信号的频率值。

应用原理图设计频率计顶层电路时,D 触发器可以直接调用 primitives 图形符号库中的 D 触发器实现。若应用结构化方式描述频率计顶层电路,则根据功能直接应用 Verilog 描述 D 触发器。



图 5-54 频率测量与计算电路

```
module DFF_mk(g,fx,sg);
    input g,fx;
    output reg sg;
    // 行为描述
    always @(posedge fx)
    sg <= g;
endmodule</pre>
```

当闸门时间取 1s,应用 96MHz 标准信号时,若要测量 100MHz 的信号,则标准计数器 和测频计数器至少需要采用 27 位二进制计数器(因为 2²⁶ < 10⁸ < 2²⁷)实现,同时还需要为 计数器添加异步复位端 CLR'和计数允许控制端 ENA,以便与主控电路连接。

为了与乘法器 IP 和除法器 IP 的参数相匹配,标准计数器和测频计数器均设计为 28 位 二进制计数器。

```
标准计数器的 Verilog 描述代码参考如下。
```

```
module FScnt(FSCLK,CLR_n,ENA,FSQ);
input FSCLK,CLR_n,ENA;
output reg [27:0] FSQ;
// 计数过程
always @(posedge FSCLK or negedge CLR_n)
if ( !CLR_n )
FSQ <= 28 'b0;
else if ( ENA )
FSQ <= FSQ + 1 'b1;
endmodule
```

测频计数器的 Verilog 描述代码参考如下。

```
module FXcnt(FXCLK,CLR_n,ENA,FXQ);
input FXCLK,CLR_n,ENA;
output reg [27:0] FXQ;
// 计数过程
always @(posedge FXCLK or negedge CLR_n)
if ( !CLR_n )
FXQ <= 28 'b0;
else if (ENA)
FXQ <= FXQ + 1 'b1;
endmodule</pre>
```

第5章 IP的应用 II 235

新建工程,分别将 FScnt 和 FXcnt 计数器模块经过 编译、综合与适配后封装成图形符号以便在频率计顶层 设计电路中调用。

频率计算电路中所需要的乘法器通过定制参数化 乘法器 IP-LPM_MULT 实现,其中乘法器的输入定制 为 28 位无符号二进制数,乘法结果定制为 56 位无符号 二进制数。

在 Quartus Prime 主界面中执行 Tools→IP Catalog 菜单命令打开 IP 目录,选择 Basic Functions 栏下 Arithmetic 中的 LPM_MULT,如图 5-55 所示。

双击 LPM_MULT,打开乘法器 IP 定制向导界面, 取乘法器模块名为 fmult,被乘数与乘数均定制为 28 位 无符号二进制数,如图 5-56 所示。



图 5-55 乘法器定制向导(1)

🔨 MegaWizard Plug-In Manage	[page 1 of 5]	? ×
LPM_MULT		About Documentation
Parameter EDA Settings General General General	enary	-
fmult	Currently selected device family:	Cydone IV E *
dataa[27.0]	Multiplier configuration Multiply 'dataa' input by 'datab' input Multiply 'dataa' input by itself (squaring operation) How wide should the 'dataa' input be? 28 How wide should the 'datab' input be? 28	 bits bits
Resource Usage	How should the width of the Yesult' output be determine Automatically calculate the width Restrict the width to 56. The bits.	ned?
8 dsp_9bit + 68 lut	Cancel < Ba	dk Next > Einish

图 5-56 乘法器定制向导(2)

单击 Next 按钮,进入乘数参数设置界面。设置乘数为常数 96000000(96MHz),如图 5-57 所示,其余参数保持不变。

连续单击 Next 按钮进入 IP 文件生成界面,如图 5-58 所示。勾选 fmult. bsf,表示需要 生成图形符号文件,以便在频率计顶层设计电路中调用。如果应用结构化方式描述顶层设 计电路,则应勾选 fmult_inst.v以生成乘法器例化模板文件。



图 5-57 乘法器定制向导(3)

MegaWizard Plug-In Mana	ger [page 5 of 5]	§ X
DIPM_MUL	г	About Documentation
1 Parameter 2604 3 Settings	Summary	
fmult dataa(270) 96000000 visuality multiplication	Turn on the files you v automatically generate to generate the select MegaWizard Plug-In M The MegaWizard Plug- C: 'mHz_freqor'	vish to generate. A gray checkmark indicates a file that is ed, and a green checkmark indicates an optional file. Click Finish ted files. The state of each checkbox is maintained in subsequent lanager sessions. -In Manager creates the selected files in the following directory:
1	File	Description
	😨 fmult.v	Variation file
	fmult.inc	AHDL Include file
	mult.cmp	VHDL component declaration file
	M fmult.bsf	Quartus Prime symbol file
	fmult_inst.v	Instantiation template file
	fmult_bb.v	Verilog HDL black-box file
Resource Usage		
8 dsp_9bit + 68 lut		Cancel < Back der Einistr

图 5-58 乘法器定制向导(4)

单击 Finish 按钮完成乘法器 IP 定制过程。

频率计算电路中所需要的除法器通过定制参数化除法器 IP-LPM_DIVIDE 实现。取除 法器模块名为 fdiv,被除数和除数分别定制为 56 位和 28 位无符号二进制数,则商数和余数 分别为 56 位和 28 位无符号二进制数。

除法器的定制方法和步骤与乘法器定制相同,因此不再赘述。

将除法器 fdiv 输出的 56 位商数和 28 位余数应用锁存器 latch84 锁存后输出 28 位商数 和 28 位余数。取锁存允许端口名为 EN,则描述锁存器的 Verilog 代码参考如下。

新建工程,将 latch84 模块编译与综合后封装成图形符号以便在顶层设计电路中调用。

5.4.3 数值转换与显示译码电路设计

由于频率测量与计算电路输出的频率值为二进制数,因此还需要应用转换电路将二进制频率值转换为 BCD 码,才能进行显示译码以驱动数码管显示频率值。

将二进制数转换为 BCD 码从理论上可以应用整除和取余运算来实现。但是,这种方法 需要多次应用除法,因而会消耗大量的 FPGA 内部资源。因此,需要寻求实现二进制数到 BCD 码转换的高效算法。

下面从原理上进行分析。

将二进制数转换为 BCD 码的基本原理是按照其位权展开式展开,然后将各部分相加即 可得到等值的十进制数,即

 $(d_{n-1}d_{n-2}\cdots d_1d_0)_2 = (d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0)_{10}$ 位权展开式可以进一步整理为

 $(d_{n-1}d_{n-2}\cdots d_1d_0)_2 = ((((d_{n-1} \times 2 + d_{n-2}) \times 2 + \cdots) \times 2 + d_1) \times 2 + d_0)_{10}$

该式说明,将n位二进制数按位权展开式展开求和时,式中的 2^{i} ($i=n-1,\dots,n-2,\dots,0$)可以应用连续乘2运算i次实现。由于 Verilog HDL 中的逻辑左移操作相当于乘2运算,因此 2^{i} 可以转化为左移i次实现。

由于 BCD 码是用二值数码表示的十进制数,有 0000~1001 共 10 个取值组合,分别表示十制数的 0~9,其运算规则为逢十进一,而 4 位二进制数共有 0000~1111 共 16 种取值, 其运算规则为逢十六进一。对于 BCD 码,当数码大于 9 时应由低位向高位产生进位;但是 对于 4 位二进制数,只有当数值大于 15 时才会产生进位。因此,在对数值进行移位前,需要进行修正,才能确保逻辑左移后得到正确的 BCD 码。

下面讨论具体的修正方法。

BCD 码逢十进一,而 10/2=5,所以左移前需要判断每 4 位数值是否大于或等于 5。如 果数值大于或等于 5,就需要在移位前给相应的数值加上 6/2=3,这样左移时会跳过 1010~1111 这 6 个取值组合而得到正确的 BCD 码。例如,移位前若数值为 0110(对应十进 制数 6),加 3 得到 1001,左移后数码值为 10010,看作 BCD 码时,为十进制数 12。将这种二 进制数转换为 BCD 码的方法称为移位加 3 算法(Shift and Add 3 Algorithm)。

综上所述,应用移位加3算法将二进制数转换为 BCD 码的具体方法是:对于 n 位二进制数,需要将数值左移 n 次。每次移位前需要先判断移入的每4 位数值是否大于或等于 5,大于或等于 5 时应给相应的数值位加3 修正,然后再进行移位。继续判断直到移完 n 次为止。

将 8 位二进制数 11111111 转换为 3 位 BCD 码的具体转换步骤如表 5-6 所示。

		转换缓存区	8 位二进制数		
转换操作	高 4 位	中4位	低 4 位	高字节	低字节
	8	8	8	1111	1111
第1次左移			1	1 1 1 1	1 1 1
第2次左移			1 1	1 1 1 1	1 1
第3次左移			1 1 1	1111	1
加3修正			1010	1111	1
第4次左移		1	0101	1111	
加3修正		1	1 0 0 0	1111	
第5次左移		1 1	0 0 0 1	1 1 1	
第6次左移		1 1 0	0011	1 1	
加3修正		1 0 0 1	0011	1 1	
第7次左移	1	0010	0 1 1 1	1	
加3修正	1	0010	1010	1	
第8次左移	1 0	0101	0101		
转换结果	2	5	5	BCI	D码

表 5-6 8 位二进制数转换为 BCD 码的具体步骤

在等精度频率计的设计中,应用移位加3算法,将28位二进制除法商和余数转换为8 位 BCD 码的 Verilog 代码参考如下。

<pre>module BIN28toBCD(BINdata, BCDout);</pre>	
<pre>input [27:0] BINdata;</pre>	// 28 位二进制数输入
<pre>output wire [31:0] BCDout;</pre>	// 8 位十进制码输出
// 内部变量定义	
reg [31:0] BCDtmp;	// 32 位移位缓存区
integer i;	// 循环变量

```
// 输出定义
 assign BCDout = BCDtmp;
 // 转换过程,移位加3算法
 always @(BINdata) begin
   BCDtmp = 32'b0;
                                      // 移位缓存区清零
   for( i = 0; i < 28; i = i + 1) begin
     // 移位前修正
     if (BCDtmp[31:28] > = 5) BCDtmp[31:28] = BCDtmp[31:28] + 3;
     if (BCDtmp[27:24] > = 5) BCDtmp[27:24] = BCDtmp[27:24] + 3;
     if (BCDtmp[23:20] >= 5) BCDtmp[23:20] = BCDtmp[23:20] + 3;
     if (BCDtmp[19:16] >= 5) BCDtmp[19:16] = BCDtmp[19:16] + 3;
     if (BCDtmp[15:12] > = 5) BCDtmp[15:12] = BCDtmp[15:12] + 3;
     if (BCDtmp[11:8] >= 5) BCDtmp[11:8] = BCDtmp[11:8] + 3;
     if (BCDtmp[7:4] > = 5) BCDtmp[7:4] = BCDtmp[7:4] + 3;
     if (BCDtmp[3:0] > = 5) BCDtmp[3:0] = BCDtmp[3:0] + 3;
     // 逻辑左移,应用拼接操作符实现
     BCDtmp[31:0] = { BCDtmp[30:0], BINdata[27 - i] };
     end
 end
endmodule
```

为了提高频率显示的准确度,定义频率大于或等于 10kHz 时以 8 位整数的形式显示; 频率小于 10kHz 且大于或等于 1kHz 时以"4 位整数+4 位小数"的形式显示;频率小于 1kHz 且大于或等于 100Hz 时以"3 位整数+5 位小数"的形式显示;而频率小于 100Hz 时 以"2 位整数+6 位小数"的形式显示。调用 BIN28toBCD.v 模块,实现数值转换与显示译 码的 Verilog 代码参考如下。

```
module HEX7 8 (
                                           // 除法商和余数输入
 input [27:0] iBIN28a, iBIN28b,
 output wire [6:0] oSEG7, oSEG6, oSEG5, oSEG4,
                                           // 数码管驱动信号
                 oSEG3, oSEG2, oSEG1, oSEG0,
 output reg [2:0] DPoints,
                                           // 小数点驱动信号
 output reg
                                           // 超量程指示信号
                OV LED
 );
 // 内部线网和变量定义
                                          // 商数 BCD 码,余数 BCD 码
 wire [31:0] BCD32a, BCD32b;
 reg [31:0] DispBCD;
                                           // 显示 BCD 码
 // 数值转换
                                          // 二进制商数转换为 BCD 码
 BIN28toBCD x1(iBIN28a, BCD32a);
 BIN28toBCD x2(iBIN28b, BCD32b);
                                           // 二进制余数转换为 BCD 码
 // 根据频率值自动切换显示格式
 always@( iBIN28a ) begin
   if ( iBIN28a > = 100_000_000 )
                                           // 如果频率大于或等于 100MHz
      OV LED = 1'b1;
                                           // 超量程指示信号亮
   else
      OV LED = 1'b0;
                                           // 超量程指示信号灭
   if ( iBIN28a > = 10000 ) begin
                                           // 如果频率大于或等于 10kHz
                                           // 取 8 位商数
      DispBCD = BCD32a[31:0];
```

```
DPoint = 3'b000;
                                              // 不显示小数点
      end
   else if ( iBIN28a >= 1000 ) begin
                                              // 如果频率大于或等于 1kHz
      DispBCD = \{BCD32a[15:0], BCD32b[31:16]\};
                                              // 取 4 位 商 数 和 4 位 余 数
                                              // 显示低位小数点
      DPoints = 3'b001;
      end
   else if ( iBIN28a >= 100 ) begin
                                              // 如果频率大于或等于 100Hz
      DispBCD = \{BCD32a[11:0], BCD32b[31:12]\};
                                              // 取 3 位 商 数 和 5 位 余 数
      DPoints = 3'b010;
                                              // 显示中位小数点
      end
   else begin
                                              // 否则, 频率小于 100Hz
      DispBCD = \{BCD32a[7:0], BCD32b[31:8]\};
                                              // 取 2 位商数和 6 位余数
                                              // 显示高位小数点
      DPoints = 3'b100;
      end
 end
 // 例化显示译码模块
 CD4511s U7(.le(1'b0), .bcd(DispBCD[31:28]), .seq7(oSEG7));
 CD4511s U6(.le(1'b0), .bcd(DispBCD[27:24]), .seq7(oSEG6));
 CD4511s U5(.le(1'b0),.bcd(DispBCD[23:20]),.seq7(oSEG5));
 CD4511s U4(.le(1'b0), .bcd(DispBCD[19:16]), .seq7(oSEG4));
 CD4511s U3(.le(1'b0), .bcd(DispBCD[15:12]), .seq7(oSEG3));
 CD4511s U2(.le(1'b0), .bcd(DispBCD[11:8]), .seq7(oSEG2));
 CD4511s U1(.le(1'b0), .bcd(DispBCD[7:4]), .seg7(oSEG1));
 CD4511s U0( .le(1'b0), .bcd(DispBCD[3:0]),
                                          .seg7(oSEG0));
endmodule
```

新建工程,将 HEX7_8.v 模块经过编译与综合后封装成原理图符号以便在频率计顶层 设计电路中调用。

5.4.4 顶层电路设计

等精度频率计的顶层设计电路如图 5-59 所示,其中锁相环输出 96MHz(c0)和 2kHz (c1)的信号,分别作为计数器标准频率信号 FSCLK 和 8Hz 分频基准信号。当待测信号 FX1Hz_100MHz 的频率超过 100MHz 时,超量程指示灯 OV_LED 亮,指示被测信号的频 率超量程。



图 5-59 等精度频率计顶层设计电路

需要说明的是,顶层设计电路中的分频器模块 fp2kHz_8Hz 用于将锁相环输出的 2kHz 方波分频为 8Hz,为主控电路(fp_ctrl 模块)提供时钟。描述分频器的 Verilog 代码参考 如下。

```
module fp2kHz_8Hz(clk,fp_out);
input clk;
output reg fp_out;
// 参数定义
localparam N = 250;
// 计数变量定义
reg [7:0] cnt;
// 分频过程
always @ (posedge clk)
if ( cnt < N/2 - 1)
cnt <= cnt + 1'b1;
else
begin cnt <= 8'b0; fp_out <= ~fp_out; end
endmodule
```

另外,还可以在顶层设计电路中嵌入 32 路分频信号源 fx32.v,将锁相环输出(c0)的 96MHz 信号分频为 96MHz,48MHz,...,0.0894Hz 和 0.0447Hz 共 32 种频率信号,作为等 精度频率计的输入信号 FX1Hz_100MHz,以测试频率计的性能。

分频信号源 fx32. v 参看 4.5 节中的描述代码。

5.4.5 功能扩展及应用

等精度频率计以其频率测量精度高而获得广泛的应用。如果在图 5-59 的频率计顶层 设计电路中再扩展部分功能电路,还可以实现脉冲占空比测量和序列相差检测。

1. 脉冲占空比测量

占空比(Duty)是指脉冲宽度(高电平持续时间)与脉冲周期的比值。

脉冲占空比测量基本原理如图 5-60 所示, 其中 F_x 为待测占空比信号,SG 为与 F_x 同步 的闸门信号。在闸门信号 SG 作用期间,通过 一个计数器持续对标准信号 F_s 进行计数,得 到计数值 N_s 。另外,在闸门信号 SG 作用期间



并且当 F_X 为高电平时,再通过一个计数器对标准信号 F_S 进行计数,得到计数值 N_{tw} ,计数 值 N_{tw} 与 N_S 之比即为信号 F_X 的占空比。

根据上述测量原理,基于等精度频率计实现脉冲占空比测量的设计方案是:在频率计 顶层设计电路中先添加一个 28 位计数器 FDent,再添加一个与门用于将闸门信号 SG 与被 测频率信号 F_x 相与,作为计数器 FDent 的计数使能信号,然后定制一个除法 IP 用于计算 两个计数器 FDent 和 FSent 的计数值 N_{tw} 与 N_s 的比值,最后修改 latch84 和 HEX4_7 模 块代码实现频率值与占空比的切换显示。

2. 序列相差检测

相差是指两个同频信号之间的相位差值,而序列相差是指两个相同的数字序列之间的 相位差值。序列相差检测既可以应用异或门实现,也可以应用触发器实现。

1) 应用异或门实现序列相差检测

在异或逻辑中,由于 0⊕0=0,1⊕1=0,所以将两个同频同相的数字序列 A 和 B 加到 异或门的输入端时,其输出 Y 恒为 0。但是,当两个数字序列同频而不同相时,异或门将会 输出周期性的脉冲,如图 5-61 所示。通过测量和计算输出信号 Y 的占空比,就可以得到两 个序列之间的相位差值。



图 5-61 应用异或门进行相差检测

需要注意的是,异或门每个序列周期会输出两个相差脉冲,在计算脉冲占空比时应特别 注意。

2) 应用触发器实现序列相差检测

应用边沿触发器检测序列相差的原理电路如图 5-62 所示,其中 $u_{\rm I}$ 和 $u_{\rm R}$ 为两路同频的 模拟信号。设 $u_{\rm I}$ =sin(100 πt), $u_{\rm R}$ =sin(100 $\pi t - \Phi$),即两路模拟信号的相差为 Φ 。通过双 比较器 LM393 构成的同相过零比较器将模拟信号转换为相应的数字序列 $D_{\rm I}$ 和 $D_{\rm R}$,再将 序列 $D_{\rm I}$ 作为边沿 D 触发器 FF₁ 的时钟,将序列 $D_{\rm R}$ 作为边沿 D 触发器 FF₂ 的时钟。



图 5-62 边沿触发器相差检测电路

上述相差检测电路的工作原理: 在序列 D_1 的上升沿到来时将触发器 FF_1 输出的相差 脉冲 PD 置为高电平后,触发器 FF_2 的复位信号无效,因此在序列 D_R 的上升沿到来时将触 发器 FF₂ 置 1 时, \overline{Q} 将 FF₁ 输出的相差脉冲 PD 复位为低电平, 同时 PD 将 FF₂ 复位, 所以 输出脉冲 PD 的宽度与相差 ϕ 相关。 ϕ 越大, 则 PD 的宽度越宽。通过测量和计算相差脉 冲宽度与序列周期的比值即可实现相差检测。

边沿触发器相差检测电路输出的相差脉冲 PD 与数字序列 D₁ 和 D_R 的波形对应关系 如图 5-63 所示,每个序列周期输出一个相差脉冲。



图 5-63 相差检测电路工作波形

脉冲占空比测量和序列相差检测的具体实现电路留给读者设计和实践。

本章小结

Quartus Prime 开发环境中内嵌的 IP 是重要的设计资源。应用 IP 构建应用系统不但 能够提高设计效率,而且能够规避因行为描述不当造成的设计风险。

本章首先介绍 Quartus Prime 中内嵌 IP 的分类以及常用基本功能 IP,然后以锁相环 IP ALTPLL 为例讲述 IP 的定制方法,最后结合应用实例讲述 ROM、乘法和除法 IP 的应用。

DDS 应用数字技术实现信号源,具有精度高、控制灵活等优点。DDS 信号源由相位累加器、波形 ROM、D/A 转换器和低通滤波器 4 部分组成,其中相位累加器和波形 ROM 应用数字方法实现。双通道 DDS 正弦信号源能够产生不同频率、不同相差的双路正弦信号,可用于信号的调制与解调等应用场合。

设计等精度频率计时,需要应用乘法和除法计算被测信号的频率。在 Quartus Prime 开发环境下,可以通过定制参数化乘法器 LPM_MULT 实现乘法运算,定制参数化除法器 LPM_DIVIDE 实现除法运算。另外,在等精度频率计的基础上进行功能扩展,还可以实现 脉冲占空比测量和数字序列的相差检测。

设计与实践

5-1 应用计数器 IP-LPM_COUNTER 定制 60 进制加法计数器,并进行仿真验证。

5-2 应用数据选择器 IP-LPM_MUX 定制 8 选 1 数据选择器,并进行仿真验证。

5-3 应用译码器 IP-LPM_DECODE 定制 4 线-16 线译码器,并进行仿真验证。

5-4 应用乘法器 IP-LPM_MULT 定制 8 位乘法器,能够实现两个 8 位有符号二进制 数乘法。应用 testbench 进行仿真验证。

5-5 应用除法器 IP-LPM_DEVIDE 定制除法器,能够实现两个有符号数除法。设被

除数为16位有符号二进制数,除数为8位有符号二进制数。应用 testbench 进行仿真验证。

5-6 基于 ROM 设计数码序列控制电路。具体要求如下:

(1) 在单个数码管上依次显示自然数序列(0~9)、奇数序列(1、3、5、7和9)、音乐符号序列(0~7)和偶数序列(0、2、4、6和8);

(2)加电时先显示自然数序列,然后按上述规律循环显示。

提示: 数码序列控制电路的参考设计方案如图 5-64 所示。



图 5-64 数码序列控制电路结构框图

5-7 设计 1024×10 位 DDS 正弦信号源。具体要求如下:

(1) 输出正弦信号的频率范围为 1k~64kHz,步进为 1kHz;

(2) 在 Quartus Prime 中完成 DDS 信号源数字部分设计,并进行仿真验证;

(3) 在 DE2-115 开发板的 GPIO 上外接 10 位 D/A 转换器 AD7520 并设计低通滤波电路,完成 DDS 信号源设计,并进行功能测试。

5-8 完成 5.3.6 节双通道 DDS 正弦信号源的设计,能够驱动双通道显示器清晰稳定 地显示双路信号的波形。

5-9 完成 5.4 节等精度频率计的设计。下载到开发板进行性能测试,填写表 5-7。

(1) 若要求频率测量的相对误差不大于 0.01%,分析等精度频率计的有效测频范围。

(2) 若频率测量范围达不到 1Hz~100MHz 的设计要求,如何扩展测频范围? 从等精度测频原理上进行分析,修改设计方案并进行测试验证。

信号源频率/kHz	测量值	相对误差/%	信号源频率/Hz	测量值	相对误差/%
96000			2929.6875		
24000			732.421875		
6000			183.10546875		
1500			45.7763671875		
375			11.444091796875		
93.75			2.86102294921875		
23.4275			0.7152557373046875		
5.859375			0.178813934326171875		

表 5-7 等精度频率计测量结果分析表

5-10 应用移位加 3 算法原理,基于直接测频法应用二进制计数器设计 1~9999Hz 频率计。应用 Verilog HDL 描述并下载到开发板进行功能和性能测试。

5-11^{*} 李沙育图形(Lissajous Figures)是应用不同频率比(f_y/f_x)、不同相差(Φ)的 两路正弦信号形成的图形,如表 5-8 所示。

第5章 IP的应用 II 245

$f_{\rm y}/f_{\rm x}$	$\Phi = 0^{\circ}$	$\Phi = 45^{\circ}$	$\Phi = 90^{\circ}$	$\Phi = 135^{\circ}$	$\Phi = 180^{\circ}$
1:1	/	0	\bigcirc	\bigcirc	
2 : 1	∞	\sim	\wedge	\otimes	\bigotimes
3:1	\sim	000	\wedge	000	N
3:2	\otimes	X	\otimes	\propto	***

表 5-8 李沙育图形

设计双通道 DDS 信号源,能够产生表 5-8 所示的频率可变、相位可调的正弦信号,以驱 动双通道示波器(应用 x/y 档)显示李沙育图形。要求能够在线更新图形的形状。

5-12^{*} [2016 年电子设计竞赛 E 题(任务 1~2)]设计脉冲信号参数测量系统。具体 要求如下:

(1) 脉冲信号的频率范围为 10Hz~2MHz,要求测量误差的绝对值不大于 0.1%;

(2) 脉冲信号占空比的范围为 10~90%,要求测量误差的绝对值不大于 2%。

5-13^{*} [2016 年电子设计竞赛 E 题(任务 5)] 脉冲信号参数的定义如图 5-65 所示, 其中上升时间 t_r 是指脉冲的输出电压从脉冲幅度 V_m 的 10%上升到 90%所需要的时间,而

过冲 σ 是指脉冲的峰值电压超过脉冲幅度 $V_{\rm m}$ 的程度,定义为 $\sigma = \frac{\Delta V_{\rm m}}{V_{\rm m}} \times 100\%$ 。



图 5-65 脉冲信号参数的定义

设计矩形脉冲信号发生器。具体要求如下:

(1) 输出脉冲的频率为1MHz,误差的绝对值不大于0.1%;

(2) 脉冲宽度 t_w 为 100ns,误差的绝对值不大于 1%;

(3)负载电阻为 50Ω 时,输出脉冲的幅度 $V_{\rm m}$ 为 $5\pm0.1V$;

(4) 上升时间 t_r 不大于 30ns, 过冲不大于 5%。

5-14^{*} [2003 年电子设计竞赛 C 题(任务 1)]设计如图 5-66 所示的移相信号发生器。 具体要求如下:

(1) 输出信号 A 和 B 的频率范围均为 20Hz~20kHz,步进为 20Hz,要求频率可预置;

(2) 输出信号 A 和 B 的相差范围为 0~359°,步进为 1°,要求相差可预置;

(3) 以数码管显示两路输出信号的频率值和相位差。

5-15^{*} [2003 年电子设计竞赛 C 题(任务 3)]设计如图 5-67 所示的相位测量仪。具

体要求如下:

- (1) 测量信号的频率范围为 20Hz~20kHz 时,相差测量的绝对误差不大于 2°;
- (2) 具有频率测量和显示功能;
- (3)显示相差读数,要求分辨率为0.1°。



图 5-66 移相信号发生器



