# Quartus II 软件开发指南

基于 EDA 技术进行电子系统设计,需要运用 EDA 工具。本章介绍 EDA 软件工具 Quartus Ⅱ的设计流程,然后基于 Quartus Ⅱ13.0 实现一个设计实例。

# 3.1 Quartus Ⅱ设计流程

Quartus II 是 Altera 公司在 21 世纪推出的 FPGA/CPLD 开发环境,是 Altera 前一代 FPGA/CPLD 集成开发环境 MAX+Plus II 的更新换代产品,其功能强大,界面友好,使用 便捷。Quartus II 软件集成了 Altera 公司的 FPGA/CPLD 开发流程中涉及的所有工具和 第三方软件接口。通过使用此开发工具,设计者可以创建、组织和管理自己的设计。

Quartus Ⅱ具有以下特点:

(1) 支持多时钟定时分析、LogicLockTM 基于块的设计、SOPC(可编程片上系统)、内嵌 SignalTap Ⅱ逻辑分析器和功率估计器等高级工具。

(2) 易于引脚分配和时序约束。

(3) 强大的 HDL 综合能力。

(4) 包含 Maxplus II 的 GUI,且容易使 Maxplus II 的工程平稳过渡到 Quartus II 开发环境。

(5) 对于 Fmax 的设计具有很好的效果。

(6) 支持的器件种类众多。

(7) 支持 Windows、Solaris、HP-UX 和 Linux 等多种操作系统。

(8)提供第三方工具,如综合、仿真等的链接。

Quartus II 软件支持的器件包括: ①FPGA,主要有高档 Stratix 系列、中档 Arria 系列、 低档 Cyclone 系列; ②CPLD,主要有 MAX II 系列、MAX3000A 系列、MAX7000 系列和 MAX9000 系列等。

Quartus II软件提供了完整的多平台设计环境,能够直接满足设计要求,为可编程器件提供了全面的设计环境。Quartus II软件为设计流程的每个阶段提供图形用户界面、EDA

工具界面以及命令行界面。在整个设计流程过程中,可只使用其中的一个界面,也可以在设 计流程不同阶段使用不同界面。使用 Quartus II 软件可以完成设计流程的所有阶段,它是 一个全面的易于使用的独立解决方案。

典型的 Quartus Ⅱ设计流程如图 3-1 所示。结合本流程,本节将逐步介绍设计输入编辑、综合、仿真、编程和配置。



图 3-1 Quartus II 的设计流程

1. 设计输入(Design Entry)

(1) 文本编辑器(Text Editor)用于以 AHDL、VHDL 和 Verilog HDL 语言以及 Tcl 脚本语言输入文本型设计。

(2) 模块编辑器(Block Editor)用于以原理图和框图的形式输入和编辑图形设计信息。

(3)符号编辑器(Symbol Editor)用于查看和编辑代表宏功能、宏功能模块、基本单元或 设计文件的预定义符号。

(4) 使用 MegaWizard Plug-in Manager 建立 Altera 宏功能模块、LPM 功能和 IP 功能, 用于 Quartus Ⅱ软件和 EDA 设计输入与综合工具中的设计。

设计输入即使用 Quartus II 软件的模块编辑器、文本编辑器、MegaWizard 插件管理器和 EDA 设计输入工具等,以表达用户的电路构思,同时使用分配编辑器(Assignment Editor)设定初始约束条件。

2. 综合(Synthesis)

综合是将 HDL 语言、原理图等设计输入翻译成由与门、或门、非门、RAM 和触发器等 基本逻辑单元组成的逻辑链接(网络表),并根据目标与要求(约束条件)优化所生成的逻辑 链接,输出 edf 网表文件或 vqm 映射文件等标准格式,供布局布线器实现。除了用 Quartus II 软件的"Analysis & Synthesis"命令进行综合外,也可使用第三方综合工具生成与 Quartus II 软件配合使用的 edf 或 vqm 文件。

(1) 可以使用分析和综合(Analysis & Synthesis)模块分析设计文件,建立工程数据库。

(2) 设计助手(Design Assistant)依据设计规则,检查设计的可靠性。

(3) 通过 RTL Viewer 可以查看设计的原理图。

(4) Technology Map Viewer 提供设计的底级或基元级专用技术原理表征。

(5) 增量综合(Incremental Synthesis) 是自上而下渐进式编译流程的组成部分,可以将 设计中的实体指定为设计分区,在此基础上逐渐进行 Analysis & Synthesis,而不会影响工 程的其他部分。

3. 布局布线(Place & Route)

布局布线输入文件是综合后的网络表文件,Quartus Ⅱ软件中布局布线是将工程的逻辑和时序要求与器件的可利用资源相匹配。它将每个逻辑功能分配给最佳逻辑单元位置,进行布线和时序分析,并选定相应的互连路径和引脚分配。

4. 仿真(Simulation)

仿真分为功能仿真和时序仿真。

功能仿真(Functional Simulation)用来验证电路功能是否符合设计要求;VHDL 仿真 器允许定义输入并应用到设计中,不必生成实际电路就可以观察输出。此仿真主要用于检 测系统功能设计的正确性,不涉及具体器件的硬件特性。

时序仿真(Timing Simulation)包含了延时信息,能较好地反映芯片的工作情况。可以使用 Quartus II 集成的仿真工具进行仿真,也可以使用第三方工具对设计进行仿真,如 ModelSim 仿真工具。

根据适配后的仿真模型,可以进行时序仿真。

5. 编程和配置(Programming & Configuration)

在全编译成功后,对 Altera 器件进行编程和配置,包括 Assemble(生成编程文件)、 Programmer (建立包含设计所用器件名称和选项的链式文件)和转换编程文件等。下载到 CPLD/FPGA(Programming)。如果时序仿真通过,那么可以将"适配"时产生的器件编程 文件下载到 CPLD 或 FPGA 中(FPGA 的编程通常称为"配置")。还可以使用 Quartus II Programmer 的独立版本对器件进行编程和配置。

6. 调试(Debugging)

SignalTap II 逻辑分析仪和 SignalProbe 功能可以分析内部器件节点和 I/O 引脚,同时在系统内以系统速度运行。SignalTap II 逻辑分析器可以捕获和显示 FPGA 内部的实时信号行为。SignalTap II 可以在不影响设计现有布局布线的情况下将内部电路中特定的信号迅速布线到输出引脚,从而无须对整个设计另做一次全编译。

用于调试的工具有 SignalTap Ⅱ逻辑分析仪、SignalProbe 功能、Chip Editor、RTL Viewer 及 Technology Map Viewer。

7. 功耗分析(Power Analysis)

功耗分析用以进行设计的功耗分析,可以设定初始化功耗分析过程中的触发速率和静

态几率,以及是否需要将功耗分析过程中使用的信号活动写入到输出文件,还可以指定基于 实体的触发速率。对于有些器件,Quartus II软件将分析设计拓扑和功能,填补任何丢失的 信号活动信息。

8. 时序分析(Timing Analysis)

时序分析在完整编译期间自动对设计进行时序分析。

9. 时序逼近(Timing Closure)

可以使用时序逼近平面布局图查看 Fitter 生成的逻辑布局,查看用户分配、LogicLock 区域分配以及设计的布线信息。可以使用这些信息在设计中识别关键路径,进行时序分配、 位置分配和 LogicLock 区域分配,达到时序逼近。

10. 工程更改管理(Engineering Change Management)

Quartus II软件允许在完整编译之后对设计进行小的更改,称作工程更改记录(ECO)。可直接对设计数据库进行 ECO 更改,而不是更改源代码或 Quartus II Settings 和 Configuration 文件(.qsf)。对设计数据库做 ECO 更改可避免实施一个小的更改而运行完整的编译。

# 3.2 基于 Quartus Ⅱ 的设计实例

Quartus Ⅱ设计步骤为:

(1) 建立工程文件夹。

(2) 建立工程: File/New Project Wizard。

目标器件选择 DE2 实验板上的 FPGA 芯片 Cyclone Ⅱ系列 EP2C35F672C6。

指定工作目录,指定工程实体名称,加入工程文件,选择器件,设定 EDA 工具。

(3) 建立 VHDL 文件: File/New/ VHDL File。

(4) 设置顶层实体: Project/Set as Top-Level Entity。

(5) 编译原理图: Processing/Start Compilation。

(6) 建立仿真激励文件: File/New/ University Program VWF。

Insert Node or Bus,输入变量赋值;设置时钟、输入变量;保存。

(7) 波形仿真: Simulation。

(8) 器件引脚定义: Assignments/Pin。

(9) 下载: Tools/Programmer。

分频电路是数字电路系统中的重要单元,本节以 10 分频电路为例,介绍 VHDL 设计实现的全过程。

EDA 软件开发环境为 Quartus Ⅱ 13.0; FPGA 芯片为 ALTERA 公司 Cyclone Ⅱ EP2C35F672C6; 实验装置 DE2 开发板。本节通过设计输入、综合、仿真、编程配置对分频器电路的进行硬件实现。下面介绍该电路的具体实现过程。

运行 Quartus Ⅱ 13.0 程序。双击桌面上 Quartus Ⅱ 图标运行软件,可能会出现其他信息提示,用户根据自己实际情况进行选择,而后进入如图 3-2 所示的界面。

# 34 EDA技术与VHDL实用教程

🕼 Quartus II 64	-Bit	10.000	1. Mr. B.	/ AaBt	Automatical International Inte	Autor of	without it	-	• ×
Ele Edit View	Project	Assignments	Processing Too	ls <u>W</u> indow <u>H</u> elp	P		Se	earch altera.co	om 🖉
	1 2 00	500			• 🕱 🖓 🖌	444		100	
Project Navigator			₽ <i>₽</i> ×						
Compilation Hi	erarchy								
					A	b (B)	₹∕		
Hierarchy	Files	ੂੰ Design U	nits 🔍 (	<u> </u>		<b>-</b>			R T
Tasks			₽ <i>₽</i> ×			<b>र</b> ा		IS	
Flow: Compilation		•	Customize	$< \cup$	<u> </u>				
⊿ ≽ ci	ompile Desig	Task n	Â				۲	View Qua Informa	rtus II tion
	Analysis 8	& Synthesis					۲	Documen	tation
۲ III.	Edit S	iettings	• *				۲	Notificatio	on Center
× AI O		<b>♦ ▼</b> < <se< td=""><td>arch&gt;&gt;</td><td></td><td>~</td><td></td><td></td><td></td><td></td></se<>	arch>>		~				
4 Type II	D Mess	sage							
ages									
Svetem /	Processing	1							
- Coracin C	and the second s								

图 3-2 Quartus II 软件默认界面

# 3.2.1 设计输入

1. 创建工程

在计算机上创建文件夹,要求用英文或数字命名,不能用中文命名。使用 New Project Wizard 命令创建一个新工程。

(1) 在 Quartus Ⅱ软件界面下,执行菜单命令 File→New Project Wizard,如图 3-3 所示。

(2) 弹出创建工程指南窗口,如图 3-4 所示,单击 Next 按钮。

(3) 弹出工程命名窗口,如图 3-5 所示。

在该对话框中,指定工作目录、工程名、顶层文件名。需注意的是,工程名必须与设计的 顶层实体名一致,且工程名和实体名应为字母开头的数字串,否则编辑会报错。这里创建一 个工程名为 exp1,顶层文件名也为 exp1,大小写不敏感。单击 Next 按钮。

(4) 弹出设计文件选择页面,如图 3-6 所示。

在该对话框中,可空白,也可将已设计好的文件加入项目中。这里可以加入 VHDL 源 程序,也可以加入第三方综合后的网表文件。通常,添加的源文件已经复制到工程的文件夹 中。本范例此处空白,单击 Next 按钮。

(5) 进入器件族类型选择页面,如图 3-7 所示。

在该对话框中,指定目标芯片,在 Device family 下拉列表框中选择器件系列,相应地在 Available device 列表中会列出该系列的器件型号。

Open       Ctrl+0         Close       Ctrl+F4         New Project Wizard       Ctrl+F4         Open Project       Ctrl+J         Convert MAX+FLUS II Project       Save Project         Save Project       Ctrl+S         Save As       Save Ctrl+S         Save Current Report Section As       File Properties         Create / Update       Export         Convert Programming Files       Print Pregiew         Print Pregiew       Print         Ctrl+P       Recent Files         Recent Files       Egit		[ew	Ctrl+N	
Close Ctrl+F4	<b>2</b> 0	pen	Ctrl+0	
New Project Wizard Open Project Ctrl+J Convert MAX+PLUS II Project Save Project Closg Project Save As Save Ctrl+S Save As Save Current Report Section As File Properties Create / Update Export Convert Programming Files Print Pregiew Print Print Pregiew Print Recent Files Recent Files Expit Alt+F4	C	lose	Ctrl+F4	
Create / Update Export Create / Update Export Print Programming Files Print Pregiew Project Create / Update Export Create / Update Export Create / Update Export Create / Update Export Convert Programming Files Create / Update Export Convert Programming Files Create / Update Export Convert Programming Files Create / Update Export Create / Update Export Convert Programming Files Create / Update Export Create / Update	Z N	lew Project <u>W</u> izard.		
Convert MAX+PLUS II Project Save Project Closg Project Save Ctrl+S Save As Save Current Report Section As File Properties Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Ctrl+P Recent Files Recent Files Egit Alt+F4	<b>6</b> 0	pen P <u>r</u> oject	Ctrl+J	
Save Project Closg Project Save Ctrl+S Save As Save Current Report Section As File Properties Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Pregiew Print Recent Files Recent Files Recent Projects Egit Alt+F4	C	Convert MAX+PLUS II	Project	
Closg Project  Save Ctrl+S Save As Save Current Report Section As  File Properties  Create / Update Export Convert Programming Files  Page Setup Print Pregiew Print Ctrl+P Recent Files Recent Files Expit Alt+F4	S	ave Projec <u>t</u>		
Save Ctrl+S Save As Save Current Report Section As File Properties Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Ctrl+P Recent Files Recent Files Expit Alt+F4	C	los <u>e</u> Project		
Save As Save Current Report Section As <u>File Properties</u> Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Pregiew Print Recent Files Recent Files Egit Alt+F4		ave	Ctrl+S	
Save Current Report Section As <u>File Properties</u> Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Pregiew Print Recent Files Recent Files Exit Alt+F4	S	ave As		
Eile Properties Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Ctrl+P Recent Files Recent Files Exit Alt+F4	S	ave Current Report	Section As	
Create / Update Export Convert Programming Files Page Setup Print Pregiew Print Recent Files Recent Files Exit Alt+F4	Ē	ile Properties		
Export Convert Programming Files Page Setup Print Preyiew Print Recent Files Recent Files Recent Projects Exit Alt+F4	с	Create ∠ Update		,
Convert Programming Files Page Setup Print Pregiew Print Ctrl+P Recent Files Recent Projects Exit Alt+F4	E	xport		
Page Setup Print Pregiew Print Ctrl+P Recent Files Recent Projects Exit Alt+F4	С	Convert Programming	Files	
Print Pregiew           Print         Ctrl+P           Recent Files           Recent Projects           Egit         Alt+F4	D P	'age Set <u>u</u> p		
Print         Ctrl+P           Recent Files         Recent Projects           Egit         Alt+F4	B P	rint Pre <u>v</u> iew		
Recent Files Recent Projects Exit Alt+F4	B P	rint	Ctrl+P	
Recent Projects Exit Alt+F4	R	Recent F <u>i</u> les		,
Exit Alt+F4	R	Recent Projects		,
	E	Xit	Alt+F4	

ew Project	Wizard: Introduction
The New following:	Project Wizard helps you create a new project and preliminary project settings, including the
:	Project name and directory Name of the top-level design entity Project files and libraries Target device family and device EDA tool settings
You can o the Settin to add fur	hange the settings for an existing project and specify additional project-wide settings with s command (Assignments menu). You can use the various pages of the Settings dialog box ctionality to the project.
🖵 Don't	show me this introduction again

图 3-3 创建新工程

图 3-4 创建工程指南窗口



图 3-5 创建工程指南窗口 1

e name:						Add
'ile name	Type	Lib	. Design e	ntr HDL	version	Add All
						Remove
						Properties
						Up
						Down
		m			,	
ecifu the nath	names of any no	n-default libra	ries	lleer Libraries	1	

图 3-6 创建工程指南窗口 2

Device family				-Show in 'Av	vailable de	vice' list-	
Family: Cyclone II			•	Package:	Anv		-
							=
Devices: All			<u>~</u>	Pin count:	Any	-	-
Target device				Speed grad	de: Any		•
C Auto device selec	ted by the Fitter			Show a	dvanced	levices	
C Casalia device o		de deste est	16.4	IV Show e	Suranceur	lible celu	
<ul> <li>Specific device se</li> </ul>	siected in Availai	Die devices	ust	I Hardet	ipy compa	uble only	
vailable devices:							
Name	Core v	LEs	User I/	Memor	Embed.	PLL	
EP2C35F484C7	1.2V	33216	322	483840	70	4	_
EP2C35F484C8	1.2V	33216	322	483840	70	4	
EP2C35F484I8	1.2V	33216	322	483840	70	4	
EP2C35F672C6	1.2V	33216	475	483840	70	4	
EP2C35F672C7	1.2V	33216	475	483840	70	4	_
EP2C35F672C8	1.2V	33216	475	483840	70	4	
EP2C35F67218	1.2V	33216	475	483840	70	4	
FP2C3511484C6	1.21/	33216	322	483840	70	4	_
			_	_			
Companion device							
EDGA:							~
FFIND							_

图 3-7 创建工程指南窗口 3

为了快速找到所需器件,可以在 Package、Pin count、Speed grade 下拉列表框中分别选择器件的封装、引脚数与速度等级。这里目标器件选择 DE2 实验板上的 FPGA 芯片 Cyclone II 系列 EP2C35F672C6。单击 Next 按钮。

(6) 弹出工具设置页面,如图 3-8 所示。在对话框中,可以指定第三方 EDA 综合、仿 真、时序分析工具。在 Design Entry/Synthesis 区中指定第三种综合工具,目前应用较为广

泛的为 Synplify Pro; 在 Simulation 区中指定第三方仿真工具,一般选用 ModelSim; 在 Timing Analysis 区中指定时序分析工具。

Design Entry	/Synthesis	
Tool name:	<none></none>	•
Format		Ŧ
Run this	tool automatically to synthesize the current design	
Simulation-		
Tool name:	<none></none>	*
Format:		Ŧ
F Run gat	e-level simulation automatically after compilation	
Timing Analy	sis	
Tool name:	<none></none>	•
Format:		Ŧ
Run this	tool automatically after compilation	

图 3-8 创建工程指南窗口 4

若选为"None",则表示使用 Quartus Ⅱ软件集成的工具。本工程使用 Quartus Ⅱ软件 自带的综合、仿真、时序分析工具,因此不需要选择。单击 Next 按钮。

(7) 弹出完成确认界面,如图 3-9 所示。

Project directory:		
F:/E盘文件/exp1/		
Project name:	exp1	
Top-level design entity:	exp1	
Number of files added:	0	
Number of user libraries added:	0	
Device assignments:		
Family name:	Cyclone II	
Device:	EP2C35F672C6	
EDA tools:		
Design entry/synthesis:	<none></none>	
Simulation:	<none></none>	
Timing analysis:	<none></none>	
Operating conditions:		
Core voltage:	1.2V	
Junction temperature range:	0-85 瘤	

图 3-9 创建工程指南窗口 5

在该对话框中可以看到工程设置的信息,依次为项目路径、项目名、顶层实体名、加入文件数目、指定的库数目、选择的器件及调用了哪些第三方 EDA 工具。最后单击 Finish 按钮 完成工程设计。

项目建立完成后,还可以根据设计中实际情况对项目进行重新设置,执行菜单命令 Assignment→Setting→Device,弹出如图 3-10 所示界面,重新设置对话框相关内容。

General	Device	_	_	-	_	-		
- Files Libraries	Select the family and devi	ce you want	to target for c	ompilation.				
Device     Operating Settings and Conditions	- Device familu				Show in 'As	vailable dev	ices' list	2
Compilation Process Settings	Eamily Duslove II				Package	Anu	1000 80	
EDA Tool Settings	Earnily. [Evelorie II				Fackage.	Tany	-	4
- Analysis & Synthesis Settings Filter Settings	Devices: All			Ŧ	Pin count:	672	_	-
Timing Analysis Settings				_	Speed grad	de: Any		•
Assembler	Target device				□ Show a	idvanced d	levices	
- Design Assistant	C Auto device selecte	d by the Fitte	H		T HardCo	py compat	ble only	j.
- SignalTap II Logic Analyzer	Specific device sele	ected in 'Avai	lable devices'	list				
Simulator Settings	C Other: n/a				Device	and Pin Op	tions	
- PowerPlay Power Analyzer Settings								
- SSN Analyzer	Available devices:	1.0	1	1	1		1.00	
	Name Epocosectore	1 2V	LES	User 1/	Memor	Embed	PLL	- 1
	EP2C35E672C7	1.2V	33216	475	483840	70	4	18
	EP2C35F672C8	1.2V	33216	475	483840	70	4	
	EP2C35F67218	1.2V	33216	475	483840	70	4	
	EP2C50F672C6	1.2V	50528	450	594432	172	4	
	EP2C50F672C7	1.2V	50528	450	594432	172	4	
	EP2C50F672C8	1.2V	50528	450	594432	172	4	
	<		11				>	
	Migration compatibility		- Companion	device				
	Migration Devices		HardCopy:					
	0 migration devices sele	ected	🔽 Limit D9	SP & RAM I	o HardCopy (	levice reso	urces	

图 3-10 项目重新设置对话框

2. 建立文本编辑文件

当工程建立后,可进行设计文件的输入。可以采用有多种形式的输入方法。以 VHDL 语言文本输入为例讲解文本输入的方法与具体步骤。

执行菜单命令 File→New,如图 3-11 所示,在设计文件中选择 VHDL File 文件,单击 OK 按钮后即可在弹出的窗口键入 VHDL 程序。

键入完整的程序并检查完毕后,执行菜单命令 File→Save(注意不要修改保存的文件 名),即完成了文件的创建到编写输入,可以执行下一步编译了。

程序代码如下:

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;
entity exp1 is
```



图 3-11 设计文件输入选择

```
generic (n:integer: = 10);
port (
         clkin: in std logic;
         clkout: out std_logic
    );
end exp1;
architecture a of expl is
signal count:integer range 0 to 10;
begin
process(clkin)
begin
if clkin'event and clkin = '1'
    then if (count = n - 1)
              then count < = 0;
           else count < = count + 1;</pre>
                        if count < (integer(n/2))</pre>
                             then clkout < = '0';</pre>
                             else clkout < = '1';</pre>
                        end if;
           end if;
end if;
end process;
end a;
```

此程序完成对输入时钟信号10分频功能。

### 3.2.2 综合

Quartus II软件全编译主要完成项目分析、综合、适配、布局布线,最后生成下载文件, 并生成用于仿真的文件。

1. 编译

编译器选项设置,包含分析、综合、时序选项设置等,本范例均采用系统缺省设置。

执行菜单命令 Processing→Start Compilation,进行全编译,出现图 3-12 所示界面,包含了分析、综合、适配、布局布线、时序分析、EDA 标准网表的生成。

Tasks		Ф.Ф	×
Flow:	Compilation	Customize	
	Task	() Time	•
	Early Timing Estimate		
1	Fitter (Place & Route)	00:00:11	
1	Assembler (Generate programming files)	00:00:04	
1	TimeQuest Timing Analysis	00:00:03	
	EDA Netlist Writer		
	Program Device (Open Programmer)		
			٣

图 3-12 编译窗口

编译开始,在编译窗口显示编译进度。

编译结束后,显示窗口如图 3-13 所示,有警告信息或错误信息提示。如果出现错误信息提示,返回到 VHDL 文件,查找错误代码,重新进行编译操作,直到无错误信息报告。



图 3-13 编译状态完成窗口

编译结束后,文件编译错误类型的提示在软件信息栏中有提示,双击错误提示,可找到 与错误相关的位置及相关的代码。

编译完成,进行引脚分配。

2. 引脚分配

工程中添加设计输入文件后,需要给设计分配引脚和时序约束。分配引脚是将设计文件的输入/输出信号指定到器件的某个引脚,设置此引脚的电平标准、电流强度等。器件下载之前要对输入、输出引脚指定具体器件引脚号,这个过程称为锁定引脚,或引脚约束。

引脚分配时序约束通常的做法是设计者编写约束文件并导入到综合、布局布线工具,在 FPGA/CPLD综合、布局布线步骤时指导逻辑映射、布局布线。也可以使用 Quartus Ⅱ 软 件中集成的工具 Assignment editor 和 Settings 框等进行引脚分配和时序约束。引脚设置, 执行菜单命令 Assignments→Pin planner,弹出界面如图 3-14 所示。

ile Edi	it Vie	w Processing To	ols Window				
<u>a</u>	Gri	oups		- x	Bottom View -	Wire Bond	
e'	N	amed:  *	<u> </u>		Cyclone II - EP2	C35F672C6	
3 2		Node Name	Dire	ction .	VA00000004V00	VASOSSOSSAVI	
3 (Q)		< <new node<="" th=""><th>:&gt;&gt;</th><th></th><th></th><th>00000000000000</th><th></th></new>	:>>			00000000000000	
a de la	×.				BORALEV BORAL		
	- 11				888888X8888899	80886X898888	
- 0.0				-		A000000000000	171-
					Coope Coope AAAAAA		
				:	BEADERAS	XXAX8866860	
2 699 1	2						
0 60 6	#2			- 677230->	BARYSX BARRAY	See XAXee a	277
	CA.				00000704000000	00000ABB00000-	
	ra			-1	a avevaaved a to the total	AVOA AVAAOOOd-	
5.							
2				11111			
> 6		( <u> </u>		×		00000000000000000000000000000000000000	
Assigns	a locatio	on on the device for the	e current node(s) and/or	, pin(s).			
Assigns	a locatio	on on the device for the	e current node(s) and/or	pin(s).			
Assigns	a location	< III on on the device for the	e current node(s) and/or dit: X V FIN_N2	pin(s).		Filter Pins: all	
Assigns Named	a location	m     m     m     m     m     m     m     m     m     m     m     m     m     m     m     m     m	e current node(s) and/or dit: X J J FIN_N2 Direction	pin(s).	I/O Bank	Filter: Pins: all	
Assigns	a locati	< III on on the device for the devic	e current node(s) and/or dit: X V FIN_N2 Direction Input	pin(s).	- I/O Bank	Filter Pins: all VREF Group B2_N1	3.3-1
Assigns Named	a locati	an on the device for the with the device for the device for the device for the with the device for the device for the with the device for the device for the device for the with the device for the device for the device for the with the device for the device for the device for the device for the with the device for the device	e current node(s) and/or dit: X J J FIN_N2 Direction Input Output	pin(s).	I/O Bank 2 5	Filter: Pins: all VREF Group B2_N1 B5_N0	3.3-1

图 3-14 定义引脚

(1) 选择引脚。

项目综合后,工程中的各输入/输出端口会出现在下方的窗口,在各引脚对应的 Location 空白处双击鼠标,弹出目标芯片的未使用引脚,按照要求选择其中的一个引脚,也 可以直接在该栏输入引脚号,这样就完成了一个信号的引脚锁定。重复上述过程,将输入信 号 clkin 锁定在 pin\_n2 引脚,输出信号 clkout 锁定在 pin\_j22 引脚。

本范例中引脚号的锁定取决于 DE2 实验板,参考 DE2 使用说明完成对各个信号的锁定。

(2) 所有引脚锁定完成后要重新进行一遍编译,执行菜单命令 Processing→Start Compilation。

编译成功后下载到芯片。如果器件引脚锁定有错,则重复上述操作,再编译。

3. 实现与报告分析

全编译通过后,会生成程序下载文件.SOF 和.POF,供硬件下载与验证使用,同时会生成输出全编译报告(Flow Summary)。在该报告中可以看到设计实体名、芯片型号、芯片中使用了多少资源等。

编译结束后,可继续进行实验的仿真以验证其逻辑上的可行性,也可将工程直接下载到 芯片。

### 3.2.3 仿真

完成设计项目的输入、综合以及布局布线等步骤后,需要使用 Quartus Ⅱ软件对设计的 功能和时序进行仿真,以验证设计的正确性。分为三个步骤:①绘制激励波形或编写 testbench,为待测设计添加激励;②对仿真器相关参数进行设置并执行仿真;③观察和分 析仿真结果。

1. 创建矢量波形文件

首先要建立一个矢量源文件,即激励文件。利用软件的波形发生器可建立和编辑用于 波形格式仿真的输入矢量,它支持矢量波形文件(.vwf)、矢量文件(.vec)和矢量表输出文件 (.tbl)。较常用的激励文件是矢量波形文件。

在当前工程下建立一个波形文件,执行菜单命令 File→New,选择 University Program VWF,单击 OK 按钮,如图 3-15 所示,则可以打开如图 3-16 所示的波形编辑窗口。



图 3-15 仿真波形文件输入设置

m1.vwf					
Master Tim	e Bar: 14.925	ns • Pointer:	14.6 ns Interval:	-325 ps Start	End
	Value at	0 ps	10.0 ns	20. 0	15
	14.93 ns			14.925 ns	

#### 图 3-16 波形编辑窗口

波形编辑窗口默认的仿真时间长度为 1μs。有时仿真时间长度不满足用户要求,用户 可以执行菜单命令 Edit→End Time,弹出如图 3-17 所示的对话框,在该对话框中输入用户 希望的仿真时间长度。

Extension value: 1	ast clock nattern		-
End time enterrine a	an simple		<u> </u>
Signal Name	Direction	Radix	Extension value
			• · · · · · · · · · · · · · · · · · · ·

图 3-17 设置仿真时间域对话框

本范例修改仿真时间长度为 2µs,单击 OK 按钮。

2. 在矢量波形文件中加入输入、输出节点

如图 3-16 所示窗口,在左边 Name 列的空白处右击,在弹出的快捷键菜单中选择 Insert→ Insert Node or Bus 选项,则弹出如图 3-18 所示的对话框,该过程也可以通过在左边 Name 列的空白处双击完成。

Name:			OK
Туре:	INPUT	•	Cancel
Value type:	9-Level	•	Node Finder
Radix:	ASCII	•	
Bus width:	1		
Start index:	0		

图 3-18 插入节点或总线对话框

在图 3-18 所示对话框中,单击 Node Finder 按钮,则弹出如图 3-19 所示的对话框。在 Filter 选项中,选择 all,单击 List 按钮,设计电路的输入/输出信号将在 Nodes Found 栏下 面显示出来,从该栏所列信号中选择需要仿真的信号加入 Selected Nodes 栏中,如果要加入 全部波形节点,则直接单击">>"按钮。

在 Node Finder 窗口单击 OK 按钮,且在 Insert Node or Bus 窗口继续单击 OK 按钮完成了信号的添加。

3. 编辑输入信号波形

单击选取的信号,将待仿真的信号依照控制逻辑对信号赋逻辑电平或二进制代码。 图 3-20 对仿真工具赋值常用符号进行了说明。

# 44 EDA技术与VHDL实用教程

lamed: *		Filter: Pin	Filter: Pins: all 🔹					
ook in: *			List	Cancel				
lodes Found:		Selected Node	es:					
Name	Туре	Name	Туре					
🖫 dkin Input		in dkin	Input	Input				
dkout	Output	out dkout	out Output					
		>>						
		<						
		<<						
		12						

图 3-19 Node Finder 对话框

在图 3-20 所示界面,在 Name 栏下,选中 clkin 输入时钟信号,此时被选中的信号改变 底色,选择仿真工具按钮栏时钟信号,单击 1/2, 弹出如图 3-21 所示的对话框,在该对话框指 定输入时钟周期、相位和占空比。



选择 clkin 时钟信号周期为 1ns,初始相位为 0,占空比为 50%。 设定时钟后,仿真输入波形文件如图 3-22 所示,保存该文件。文件后缀名为\*.vwf。



图 3-22 设置输入信号的波形编辑器

建议保存的文件名与文件实体名一致。

4. 设置仿真器

在进行仿真之前,要对仿真器进行一些设置,执行菜单 命令 Simulation,弹出如图 3-23 所示对话框,Quartus Ⅱ 软 件提供了两个层次的仿真:功能仿真与时序仿真。

Simr	Help 4
	Options
1	Run Functional Simulation
N.C.	Run Timing Simulation
Zia	Generate ModelSim Testbench and Script

本范例采用功能仿真,仿真输出波形报告如图 3-24 所示。

图 3-23 仿真窗口

观察仿真结果,验证程序或电路原理图逻辑正误,确认 无误就可下载到器件上了。从图 3-24 波形图中可以看到,计数器 10 分频的功能已经实现。

jle E	dit <u>V</u> iew	Simulation Hel	þ 🖗					Search altera	a.com
R [	Q 💥 🖞	β Å <u>z</u> χ <u>ī</u> ⟩	E III XC XI	X2 X8 20 20 20 20	a 🗐 🎀				
Master 1	Time Bar: 0	) ps	• •	Pointer: 146.42 ns	Interval	146.42 ns	Start:	End:	
	Name	Value at 0 ps	0.0 ns	160.0 ns	240.0 ns	320,0 ns	400.0 ns	480.0 ns	560,0 n: 1
is-	clkin	в 0	תתת	mmm	www	mmm	งงงงงงงงงงงง	ภภภภภภภ	mm
No.	clkout	В 0							

图 3-24 10 分频仿真报告

需要注意:每当输入的源程序文件修改后,都需要重新进行编译,对功能仿真而言,都 要重新生成新的仿真网络表文件,再进行仿真。

### 3.2.4 编程配置

使用 Quartus Ⅱ 成功编译工程且功能、时序均满足设计要求后,可对器件进行编程和配置。 Quartus Ⅱ 软件提供了四种编程模式:

(1) 被动串行模式 PS(Passive Serial Model);

(2) JTAG 模式;

(3) 主动串行下载模式 AS(Active Serial Programming Model);

(4) 套接字内编程模式(In-socket Programming Model)。

一般情况下,设计初期采用 JTAG 模式下载。采用该下载方式,是将程序直接下载到 FPGA 的 SRAM 中,掉电后程序丢失,但此方式下载速度快,便于调试。当设计完成后,多 采用 AS 模式,该方式将程序下载到 FPGA 的配置芯片,掉电后,程序不会丢失。

下面给出器件编程步骤:

(1)执行菜单命令 Tools→Programmer,进入器件编程和配置对话框,如图 3-25 所示。 此时在 Hardware Setup 按钮右边文本框中显示 No Hardware,说明目前还没有硬件,不能 进行下载。

(2) 连接 DE2 实验板 USB 下载线, 且给 DE2 加电, 单击 Hardware Setup 按钮, 弹出硬件安装对话框, 如图 3-26 所示。在 Currently selected hardware 下拉列表框中列出了已安装好的可以使用的编程电缆, 对 DE2 实验板选择 USB-Blaster, 双击此选项, 关闭此对话框, 完成硬件设置。

File Edit Pr	ocessing <u>T</u> ools <u>M</u> i	ndow							
📩 Hardware Se	etup No Hardware		Mod	: JTAG	•	Progre	\$\$:	0%	
Enable real-tir	me ISP to allow backgrou	und programming (for MAX II	devices)						
🔎 Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine	Security Bit
Stop	exp1.sof	EP2C35F672	002FE8B2	FFFFFFF					
Auto Detect									
🗙 Delete									
🚔 Add File									
👺 Change File.			- 101						>
or Help, press	s F1							NU	

图 3-25 器件编程和配置对话框

rdware Settings   JTAG Se	ttings		
elect a programming hardware hardware setup applies only to t	setup to use whe he current progra	en programming dev mmer window.	ices. This programming
Currently selected hardware:	USB-Blaster (L	JSB-0]	2
Hardware	Server	Port	Add Hardware
USB-Blaster	Local	USB-0	Remove Hardware

图 3-26 硬件安装对话框

如果在 Currently selected hardware 下拉列表框中没有显示 USB-Blaster,则需要安装 USB-Blaster 驱动程序,安装过程如下:

【我的电脑】(鼠标右键)→【属性】→【硬件】→【设备管理器】→【通用串行总线控制器】→ 【USB-Blaster】(鼠标右键)选择更新驱动程序→从列表或指定位置安装→选择在搜索中包 含这个位置,给出驱动程序所在文件夹 \*:\altera\13.0sp1\quartus\drivers \usb-blaster, 完成安装。

USB-Blaster 的驱动程序在 Quartus Ⅱ 安装目录下,即\altera\13.0sp1\quartus\ drivers\usb-blaster。

重新单击 Hardware Setup 按钮,在下拉列表框中可看到 USB-Blaster 选项。

在 Mode 下拉列表框中,选择下载方式,单击 Start 按钮,便可将生成的文件下载到指定的芯片中。

本范例中,选择 JTAG 下载模式, Program/Configure 选项进行选择, 单击 Start 按钮, 观察 Progress 进程, 当下载完成时, Progress 进程显示 100%。

利用示波器观察输出信号,可实现对输入时钟的10分频功能。

注意选择 JTAG 下载,添加下载文件名的后缀为. Sof 文件;

注意器件型号是否与目标器件一致,DE2 实验板的 FPGA 器件为 EP2C35F672;

注意 Program/Configure 选项一定要进行选择。

🖥 Quartus II	I - G:/E盘文件/	'expl/expl - expl	- [expl.cdi	£]				-	
Eile Edit Proc	cessing Tools Min	ndow							
📩 Hardware Setu	up USB-Blaster [US	iB-0]	Mod	e: JTAG	•	Progre	155:	0%	
Enable real-time	ISP to allow backgrou	ind programming (for MAX II	devices)						
Ma Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine	Security Bit
Nop Stop	exp1.sof	EP2C35F672	002FE8B2	FFFFFFFF	V				
Auto Detect	1								
X Delete	1								
Add File	1								
Change File									>
For Help, press	F1							אטע	

图 3-27 下载程序到目标芯片

# 3.3 SOPC 系统设计

SOPC(System-on-a-Programmable-Chip,可编程片上系统)即用可编程逻辑技术把整 个系统放到一块硅片上。SOPC 是一种特殊的嵌入式系统:首先它是片上系统(SOC),即 由单个芯片完成整个系统的主要逻辑功能;其次,它是可编程系统,具有灵活的设计方式, 可裁剪、可扩充、可升级,并具备软硬件在系统可编程的功能。

SOPC 最早是由 Altera 公司提出的,它是基于 FPGA 解决方案的 SOC 片上系统设计 技术。它将处理器、I/O 口、存储器以及需要的功能模块集成到一片 FPGA 内,构成一个可 编程的片上系统。SOPC 是现代计算机应用技术发展的一个重要成果,也是现代处理器应 用的一个重要的发展方向。

SOPC 设计,包括以 32 位 Nios II 软核处理器为核心的嵌入式系统的硬件配置、硬件 设计、硬件仿真、软件设计、软件调试等。SOPC 系统设计的基本工具除了上述 Quartus II (用于完成 Nios II 系统的综合、硬件优化、适配、编程下载和硬件系统测试),Altera 还提供 了两个 SOPC 系统设计工具,一个包含在 Quartus II 软件中,即 Qsys,另一个是 Eclipse。 Qsys 是 SOPC Builder 的新一代产品,设计 SOPC 硬件,为建立 SOPC 设计提供标准化的图 形环境,创建基于 Nios II 的系统,实现 Nios II 嵌入式处理器的配置、生成,并且添加存储 器、标准外设和用户自定义的外设等组件。Qsys 将这些组件组合起来,生成对这些组件进 行例化的单个系统模块,并自动生成必要的总线逻辑,将这些组件连接起来。而 Eclipse 用 于 Nios II 系统软件的设计,进行软件编译和调试。

## 3.3.1 Nios II 简介

Nios II 是 Altera 公司自己开发的嵌入式 CPU 软内核,几乎可以用在 Altera 所有的 FPGA 内部。Nios 处理器及其外设都是用 HDL 语言编写的,在 FPGA 内部利用通用的逻 辑资源实现,所以在 Altera 的 FPGA 内部实现嵌入式系统具有极大的灵活性。Nios 常常 被应用在一些集成度较高,对成本敏感,以及功耗要求低的场合。

在可编程逻辑器件中,用户使用 CPU,绝大部分并不是为了追求性能,而是为了 PLD 特有的灵活性和可定制性,同时也可以提高系统的集成度,这些正是 Nios 系统天生具备的, 也是 Nios 受欢迎的原因。

Nios Ⅱ处理器是一个通用的 32 位 RISC 处理器内核。它的主要特点如下:

- (1) 完全的 32 位指令集、数据通道和地址空间;
- (2) 可配置的指令和数据 Cache;

(3) 32 个通用寄存器;

(4) 32 个有优先级的外部中断源;

(5) 单指令的 32×32 乘除法,产生 32 位结果;

(6) 专用指令用来计算 64 位或 128 位乘积;

(7) 单指令 Barrel Shifter;

(8) 可以访问多种片上外设,可以连接片外存储器和外设接口;

(9) 具有硬件协助的调试模块,可以使处理器在 IDE 中做出各种调试工作,如开始、停止、单步和跟踪等;

(10) 在不同的 Nios II 系统中,指令集结构(ISA)完全兼容;

(11) 性能达到 150DMIPS 以上。

Nios II 处理器系统包括一个可配置的 CPU 软内核、FPGA 片内的存储器和外设、片外的存储器和外设接口等。Nios II 处理器内核类型包括 Nios II /f(Fast,快速型)、Nios II /e(Economy, 经济型)、Nios II /s(Standard,标准型)。一个典型的 Nios II 处理器系统如图 3-28 所示。



图 3-28 Nios Ⅱ处理器系统的典型架构

# 3.3.2 SOPC 系统的设计开发流程

SOPC系统的设计分为硬件设计和软件设计。用户首先利用 Qsys 的图形界面定制系统,产生输出文件,然后进入传统的硬件开发流程:在 Quatus II 中进行逻辑综合、布局布线。在软件开发流程中,用户可以利用 Eclipse 工具环境,建立工程、编译设计、调试等。基本流程如图 3-29 所示。



图 3-29 SOPC 系统的设计开发流程

SOPC 设计全流程示意图如图 3-30 所示。

Qsys GUI



图 3-30 SOPC 设计的流程