

场效应晶体管

本章介绍晶体管的一种重要类型,即金属-氧化物-半导体场效应晶体管(MOSFET)。MOSFET 引起了 20 世纪 70 和 80 年代的电子学革命,在这场革命中,微处理器造就了功能强大的台式计算机、笔记本电脑、高端手持计算器、iPod,还有很多其他电子系统。MOSFET 可以做得非常小,这样就可以利用它开发出高密度的超大规模集成电路(VLSI)和存储器。

MOSFET 有两种互补器件,即 N 沟道 MOSFET(NMOS)和 P 沟道 MOSFET(PMOS)。这两种器件同等重要,它们使得电子电路的设计具有高度的灵活性。对这些器件的 $i-v$ 特性进行介绍,并建立 MOSFET 电路的直流分析和设计方法。

场效应晶体管的另外一种类型是结型场效应晶体管。它通常又分为两种类型,即 PN 结型场效应晶体管(PN JFET)和用肖特基势垒结制作的金属-半导体场效应晶体管(MESFET)。虽然 JFET 比 MOSFET 出现得早,但是 MOSFET 的应用已经远远超过了 JFET。本章仍将分析几种 JFET 电路。

本章主要内容如下:

- (1) 学习和理解各种类型 MOSFET 的结构、工作原理和特性;
- (2) 了解并熟悉 MOSFET 电路的直流分析和设计方法;
- (3) 研究 MOSFET 电路的三种应用;
- (4) 研究 MOSFET 电路的电流源偏置,比如那些用在集成电路中的电路;
- (5) 分析多级或多晶体管电路的直流偏置;
- (6) 了解结型场效应晶体管的工作原理和特性,并分析 JFET 电路的直流响应;
- (7) 将 MOS 晶体管应用到电路设计中,改进第 1 章所讨论的简易二极管电子温度计。

3.1 MOS 场效应晶体管

目标: 理解各类 MOSFET 的工作原理和特性。

MOSFET 从 20 世纪 70 年代开始实际使用。与 BJT 相比,MOSFET 可以制作得非常小(即在一个 IC 芯片上占据很小的面积)。由于数字电路可能只使用 MOSFET 来设计,而基本上不使用电阻和二极管,包括微处理器和存储器在内的高密度 VLSI 电路得以制造出来。MOSFET 使得开发手持计算器、功能强大的个人计算机以及笔记本电脑成为可能。在

下一章将会看到, MOSFET 也可以用于模拟电路。

在 MOSFET 中, 电流由加在半导体上的电场控制, 这个电场和半导体表面及电流的方向垂直。这种调整半导体的导电性或者控制半导体内电流的现象称为场效应。MOS 晶体管的基本工作原理就是利用两个端子之间的电压来控制流过第三个端子的电流。

本章后续两节将讨论各类 MOSFET, 得出其 $i-v$ 特性, 然后考虑各种 MOSFET 电路组态的直流偏置。通过这些章节的学习, 读者应当能逐步熟悉 MOSFET 及其电路。

3.1.1 二端 MOS 结构

MOSFET 的核心是图 3.1 所示的金属-氧化物-半导体电容器。其中, 金属可以是铝或其他的金属。很多情况下, 金属可以用沉积在氧化物上的高导电性的多晶硅层取代。尽管如此, 通常在讲到 MOSFET 时仍使用金属这个词。图 3.1 中的参数 t_{ox} 为氧化物的厚度, ϵ_{ox} 为氧化物的介电常数。

MOS 结构的物理特性可以借助一个简单的平板电容器来解释^①。图 3.2(a) 所示为一个平板电容器, 上极板相对于下极板为负电压, 中间用绝缘材料隔开。如图所示, 在这种偏置下, 上、下极板分别存在负电荷和正电荷, 两个极板之间产生电场效应。

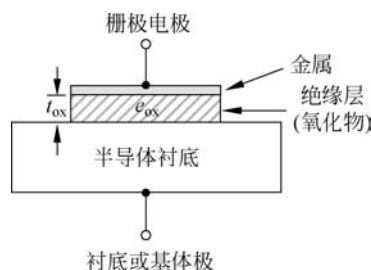


图 3.1 基本 MOS 电容器结构

图 3.2(b) 所示为以 P 型半导体作衬底的 MOS 电容器。上面的金属电极称为栅极, 它相对于半导体衬底为负电压。从平板电容器的例子可以看出, 在上面的金属板上存在负电荷, 并将产生图示方向的电场效应。如果电场穿透半导体, 则 P 型半导体中的空穴将受到一个指向氧化物-半导体交界面的作用力。在这种特定的电压状态下, MOS 电容器中电荷的平衡分布状态如图 3.2(c) 所示。与 MOS 电容器底板上的正电荷相对应, 在氧化物-半导体交界面形成一个带正电荷的空穴聚集层。

图 3.3(a) 所示为一个相同的 MOS 电容器, 但所加的电压极性相反。如图所示, 此时, 上端金属板中存在正电荷, 形成一个反方向的电场效应。此时, 如果电场穿透半导体, 则 P 型半导体中的空穴将受到一个使之远离氧化物-半导体交界面的作用力。当空穴受到排斥时, 由于受主杂质原子是固定不动的, 因此形成一个负的空间电荷区。与 MOS 电容器底板上的负电荷相对应, 耗尽区感应产生负电荷。图 3.3(b) 给出这种外加电压状态下 MOS 电容器中电荷的平衡分布状态。

当在栅极加更大的正向偏置电压时, 感应电场的场强增加。少数载流子电子被吸引到氧化物-半导体交界面, 如图 3.3(c) 所示。这个少数电荷区称为电子反型层。反型层中的负电荷量是栅极偏置电压的函数。

在以 N 型半导体作衬底的 MOS 电容器中, 也可以得到同样的基本电荷分布。图 3.4(a) 给出这种 MOS 电容器的结构, 其中上端的栅极电极加正电压。栅极上产生正电荷, 并形成图示方向的电场。在这种情况下, N 型半导体中感应出一个电子聚集层。

^① 忽略边缘场时, 平板电容器的电容量为 $C = \epsilon A / d$, 其中 A 为极板面积, d 为两个极板之间的距离, ϵ 为极板间材料的介电常数。

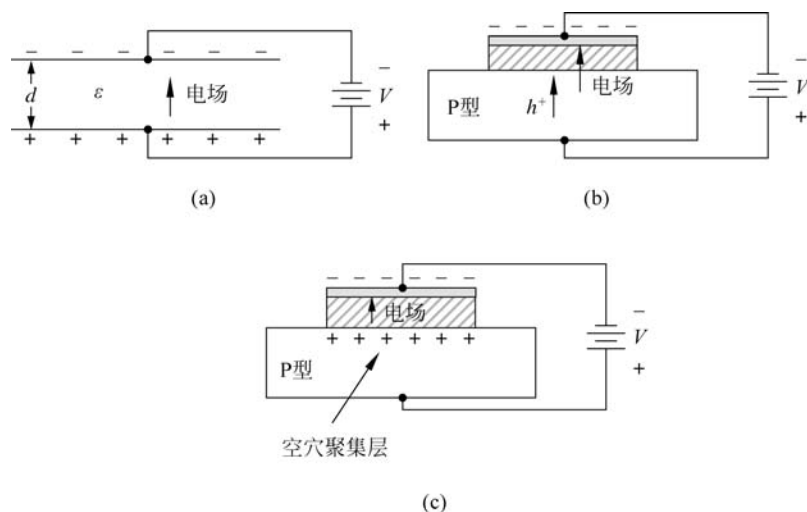


图 3.2 (a) 平板电容器及其中的电场和导电电荷；(b) 栅极负偏压的 MOS 电容器及其中的电场和电荷流；(c) 带空穴聚集层的 MOS 电容器

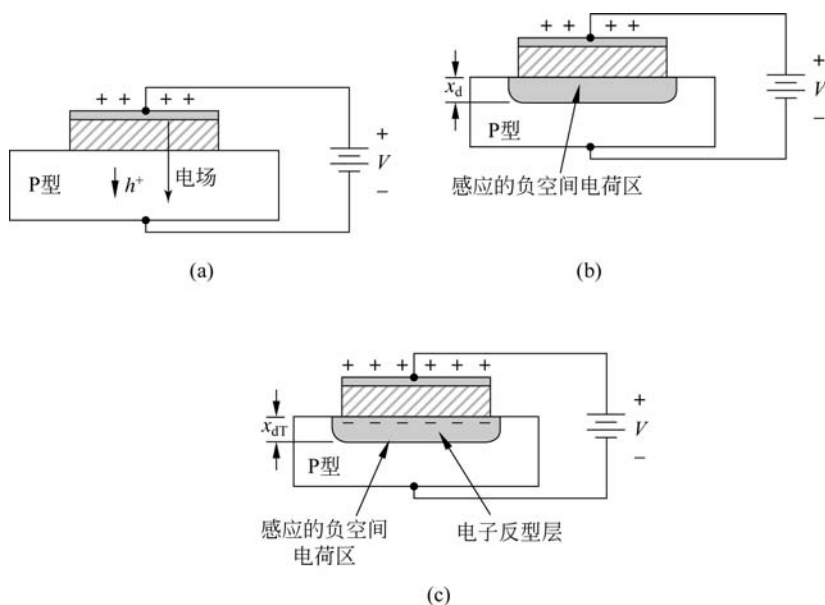


图 3.3 P 型衬底的 MOS 电容器 (a) 栅极正向偏置效应及其中的电场和电荷流；(b) 合适的栅极正向偏置下形成空间电荷区的 MOS 电容器；(c) 更大的栅极正向偏置下形成空间电荷区和电子反型层的 MOS 电容器

图 3.4(b) 所示为栅极电极加负电压的情况, 感应电场在 N 型衬底上形成一个正的空间电荷区。当加更大的负电压时, 如图 3.4(c) 所示, 在氧化物-半导体交界面产生一个正的空间电荷区。这个包含少数载流子空穴的区域称为空穴反型层。反型层中的正电荷量是栅极偏置电压的函数。

术语“增强型”表示必须在栅极加一个电压才能产生反型层。对于 P 型衬底的 MOS 电

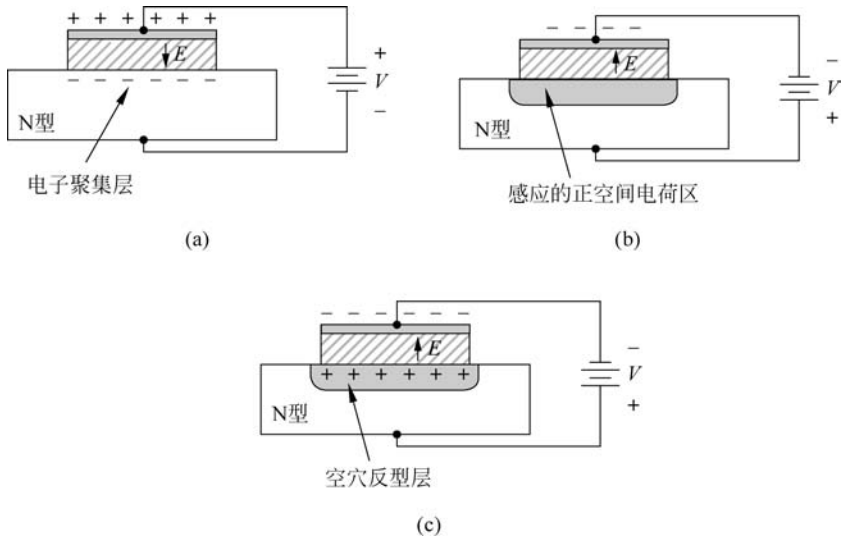


图 3.4 N 型衬底的 MOS 电容器(a)栅极正向偏置效应和电子聚集层的形成；(b)合适的栅极负偏压下形成空间电荷区的 MOS 电容器；(c)更大的栅极负偏压下形成空间电荷区和空穴反型层的 MOS 电容器

容器,必须加正的栅极电压来产生电子反型层;对于 N 型衬底的 MOS 电容器,必须加负的栅极电压来产生空穴反型层。

3.1.2 N 沟道增强型 MOSFET

下面将利用 MOS 电容器中反型层电荷的概念来构造一只 MOS 晶体管。

1. 晶体管结构

图 3.5(a)所示为一个 MOS 场效应晶体管的简易剖面图,其中栅极、氧化物以及 P 型衬底区域都和前述 MOS 电容器中的相同。除此以外,这里有两个 N 区,分别称为源极和漏极。MOSFET 中的电流是由反型层中电荷的流动引起的,紧贴氧化物-半导体交界面的反

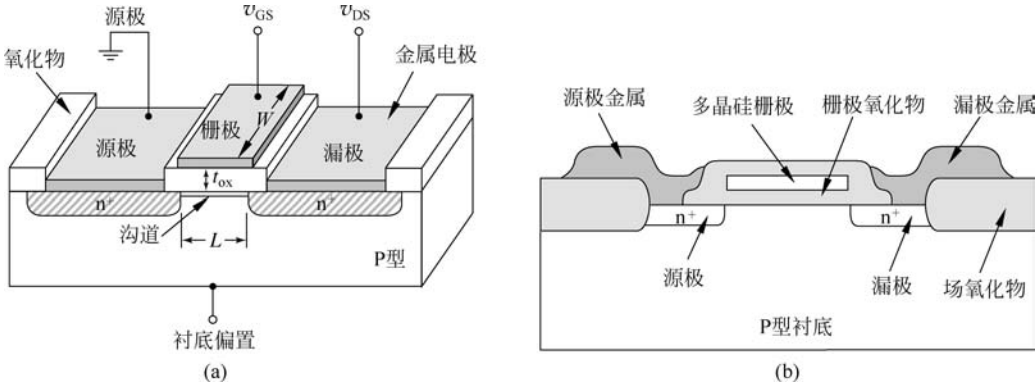


图 3.5 (a) N 沟道增强型 MOSFET 原理图；(b) N 沟道 MOSFET 中的场氧化物和多晶硅栅极

型层也称为沟道区。图中给出沟道长度 L 和沟道宽度 W 的定义。典型的集成电路 MOSFET 的沟道长度小于 $1\mu\text{m}(10^{-6}\text{m})$, 这意味着 MOSFET 是很小的器件。氧化物厚度 t_{ox} 的典型值在 $400\text{\AA}(10^{-10}\text{m})$ 左右, 或者更小。

图 3.5(a) 是对晶体管基本结构的简单描述, 图 3.5(b) 则给出制作在集成电路中的更为详细的 MOSFET 剖面图。一层厚的氧化物, 称为场氧化物, 分布在形成金属互联线的区域外部。栅极的材料通常采用高掺杂的多晶硅。虽然实际的 MOSFET 的结构相当复杂, 这个简单的示意图可以用来研究晶体管的基本特性。

2. 晶体管的基本工作原理

当栅极偏压为零时, 源极和漏极被 P 型半导体区域隔开, 如图 3.6(a) 所示。这相当于两个背靠背的二极管, 如图 3.6(b) 所示。这种情况下, 电流基本为零。如果在栅极加一个足够大的正向电压, 则在氧化物-半导体交界面产生一个电子反型层, 这个反型层把 N 型的源极和 N 型的漏极连接起来, 如图 3.6(c) 所示。之后, 漏-源之间就产生电流。由于必须在栅极加电压才能产生反型层电荷, 这种晶体管称为增强型 MOSFET。同样, 因为反型层中的载流子为电子, 所以这种器件也称为 N 沟道 MOSFET(NMOS)。

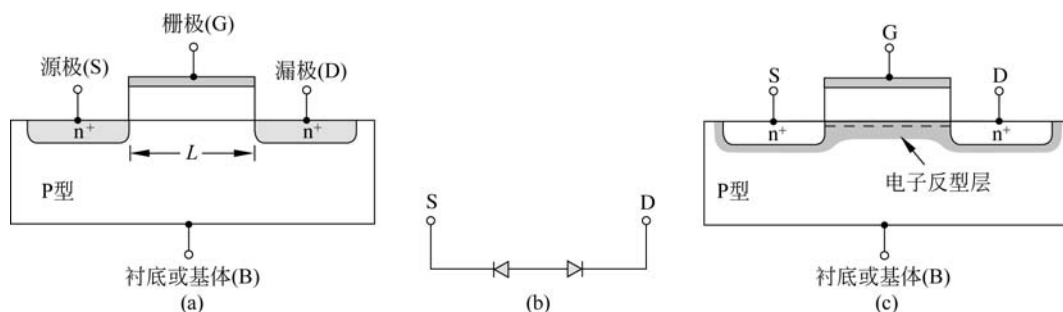


图 3.6 (a) 形成电子反型层之前的 N 沟道 MOSFET 剖面图; (b) MOS 晶体管截止时源极和漏极之间等效的背靠背二极管; (c) 形成电子反型层之后的剖面图

源极提供流过沟道的载流子, 漏极允许载流子从沟道流向漏极。对于 N 沟道 MOSFET, 当加漏-源电压时, 电子从源极流向漏极。这通常意味着电流从漏极流入、源极流出。电流的大小是反型层中电荷量的函数, 进而也是外加栅极电压的函数。由于栅极和沟道之间被氧化物或绝缘体隔开, 所以不存在栅极电流。同样, 由于沟道和衬底之间被空间电荷区隔开, 所以基本没有电流流过衬底。

3.1.3 理想的 MOSFET 电流-电压特性——NMOS 器件

N 沟道 MOSFET 的开启电压记为 $V_{\text{TN}}^{\text{①}}$, 它定义为产生与半导体衬底相同多子浓度的反型层所需的外加电压。简言之, 开启电压是开启晶体管的栅极电压。

对于 N 沟道增强型 MOSFET, 需要一个正的栅极电压来产生反型电荷, 所以开启电压为正。如果栅极电压小于开启电压, 器件中的电流基本为零; 如果栅极电压大于开启电压,

① 开启电压的符号通常为 V_{T} , 由于前面已经定义了热电压为 $V_{\text{T}} = kT/q$, 这里用 V_{TN} 表示 N 沟道器件的开启电压。

则当漏-源之间加电压时,产生从漏极到源极的电流。栅极和漏极的电压都相对于源极而言。

在图 3.7(a)中,将 N 沟道增强型 MOSFET 的源极和衬底接地。栅-源电压小于开启电压,漏-源之间的电压也较小。在这样的偏置状态下,没有电子反型层产生,漏极和衬底之间的 PN 结反向偏置,漏极电流为零(忽略 PN 结的漏电流)。

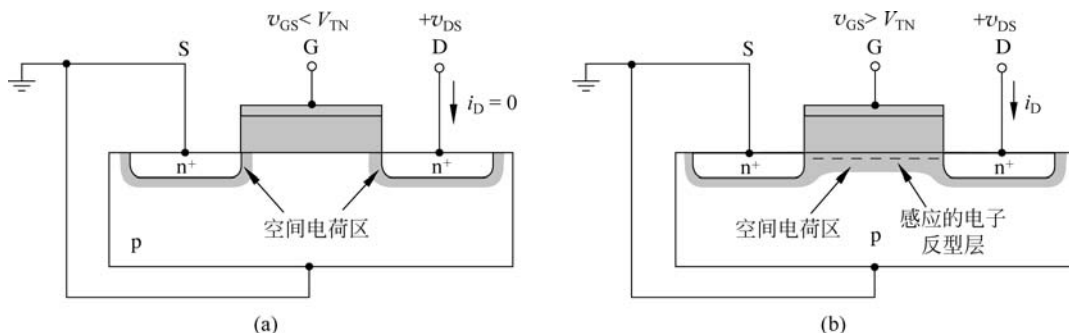


图 3.7 N 沟道增强型 MOSFET: (a) 所加栅极电压 $v_{GS} < V_{TN}$; (b) 所加栅极电压 $v_{GS} > V_{TN}$

在图 3.7(b)中,同样的 MOSFET 加了大于开启电压的栅极电压。此时,产生电子反型层,当漏极加较小的电压时,反型层中的电子从源极向电压为正的漏极运动。习惯的电流方向为从漏极流入、源极流出。注意,正的漏极电压使漏极和衬底之间的 PN 结反向偏置,所以电流从沟道流过,但不流过 PN 结。

图 3.8 给出当 v_{DS} 较小时的 i_D - v_{DS} 特性曲线^①。当 $v_{GS} < V_{TN}$ 时,漏极电流为零。当 $v_{GS} > V_{TN}$ 时,形成沟道反型电荷,漏极电流随 v_{DS} 的增加而增加。当栅极电压更大时,反型层电荷密度更大,在给定的 v_{DS} 下,漏极电流也更大。

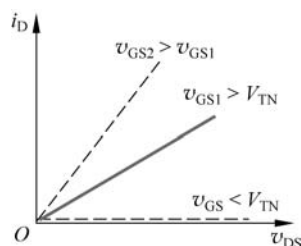


图 3.8 v_{DS} 较小时在三个不同的 v_{GS} 取值下的 i_D - v_{DS} 特性曲线

图 3.9(a)给出当 $v_{GS} > V_{TN}$ 且 v_{DS} 较小时的 MOS 基本结构。图中的反型层沟道厚度定性地反映相对电荷密度,此时在整个沟道长度上电荷密度基本相同。图中也给出相应的 i_D - v_{DS} 曲线。

图 3.9(b)给出当 v_{DS} 增加时的情况。随着漏极电压的增加,靠近漏极的氧化物上的压降减小,这意味着漏极附近感应的反型电荷密度减小。靠近漏极的沟道动态电导减小,导致 i_D - v_{DS} 变化曲线的斜率减小,如图中的 i_D - v_{DS} 曲线所示。

当 v_{DS} 增大到某个点,靠近漏极的氧化物上的压降 $v_{GS} = V_{TN}$ 时,在漏极感应的反型电荷密度为零,如图 3.9(c)所示。此时,漏极的沟道动态电导为零,这意味着 i_D - v_{DS} 变化曲线的斜率为零。记为

$$v_{GS} - v_{DS}(\text{sat}) = V_{TN} \quad (3.1a)$$

或

^① 带双下标的电压符号 v_{DS} 和 v_{GS} 分别表示漏-源和栅-源电压。符号中隐含的意思是下标中的第一个字母相对于第二个字母为正。

$$v_{DS}(\text{sat}) = v_{GS} - V_{TN} \quad (3.1b)$$

其中, $v_{DS}(\text{sat})$ 表示在漏极产生的反型电荷密度为零时的漏-源电压。

当 v_{DS} 大于 $v_{DS}(\text{sat})$ 时, 沟道中的反型电荷密度刚好为零的点向源极方向移动。此时, 电子从源极进入沟道, 通过沟道向漏极方向移动, 在电荷密度为零处, 电子被注入空间电荷区, 在这里它们被电场猛推到漏极。在理想的 MOSFET 中, 当 $v_{DS} > v_{DS}(\text{sat})$ 时, 漏极电流恒定。曲线中的这个区域称为饱和区, 如图 3.9(d) 所示。

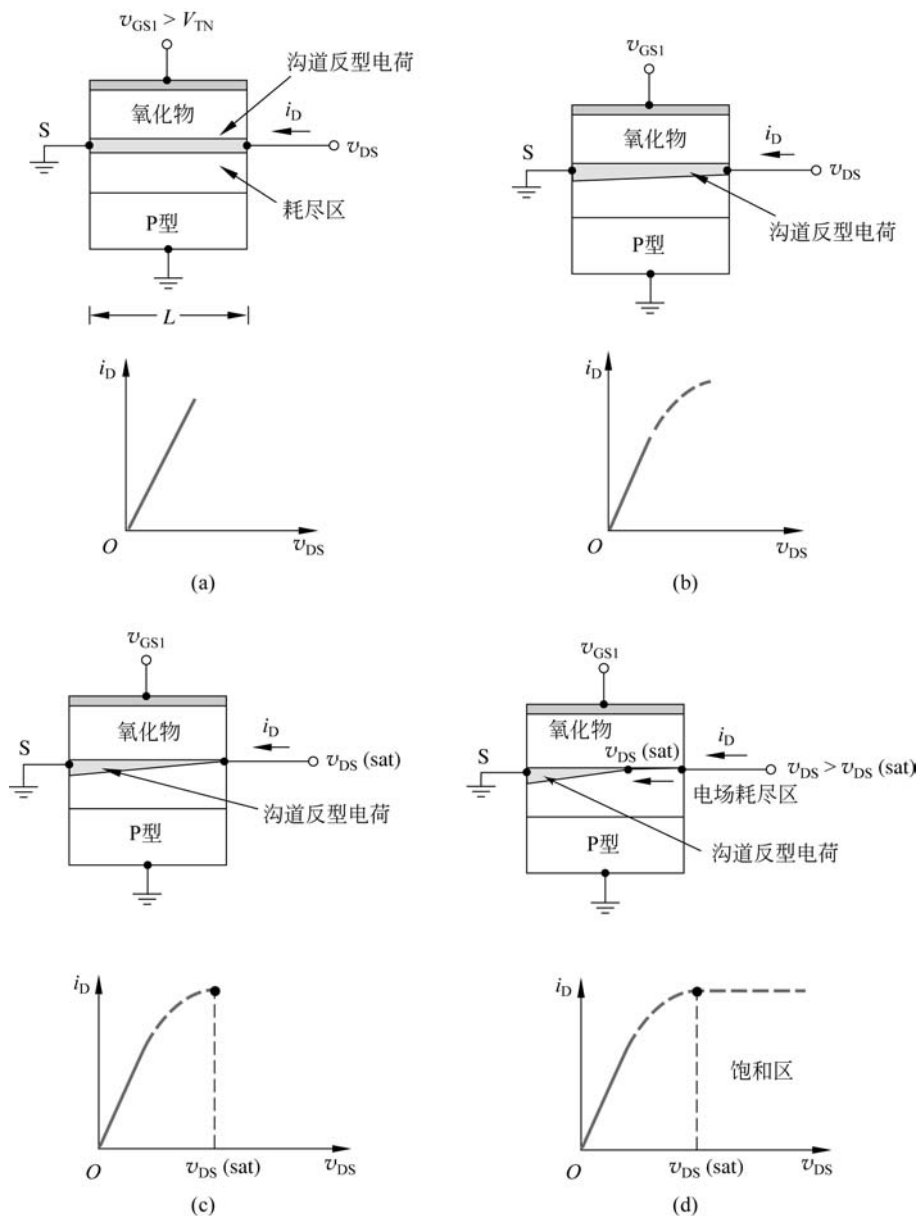


图 3.9 $v_{GS} > V_{TN}$ 时的 N 沟道增强型 MOSFET 剖面图和曲线: (a) v_{DS} 较小时; (b) v_{DS} 更大且 $v_{DS} < v_{DS}(\text{sat})$ 时; (c) $v_{DS} = v_{DS}(\text{sat})$ 时; (d) $v_{DS} > v_{DS}(\text{sat})$ 时

当栅-源电压变化时, i_D-v_{DS} 曲线也发生变化。从图 3.8 已经看到, 开始时 i_D-v_{DS} 曲线的斜率随着 v_{GS} 的增加而增加。同时, 式(3.1b)表明 $v_{DS}(\text{sat})$ 是 v_{GS} 的函数。这样, 就可以得出图 3.10 所示的 N 沟道增强型 MOSFET 的特性曲线族。

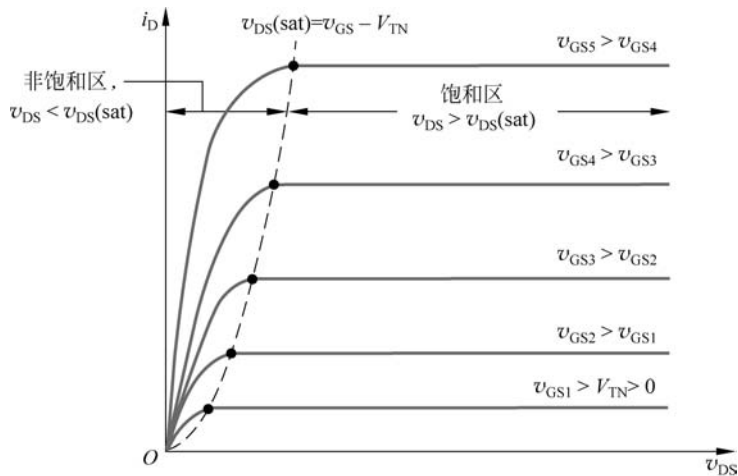


图 3.10 N 沟道增强型 MOSFET 的 i_D-v_{DS} 特性曲线族

注意, $v_{DS}(\text{sat})$ 电压在每条曲线上为一个点, 这个点表示非饱和区和饱和区之间的转换。

虽然 MOSFET 电流-电压特性的推导超出了本书的范围, 仍然可以定义这些关系。 $v_{DS} < v_{DS}(\text{sat})$ 时的区域称为非饱和区或线性区。此区域的理想电流-电压特性可以用下式表示:

$$i_D = K_n [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2] \quad (3.2a)$$

在饱和区, 当 $v_{GS} > V_{TN}$ 时的理想电流-电压特性可以用下式表示:

$$i_D = K_n (v_{GS} - V_{TN})^2 \quad (3.2b)$$

在饱和区, 由于理想的漏极电流与漏-源电压无关, 交流电阻或小信号电阻为无穷大, 表示为

$$r_0 = \Delta v_{DS} / \Delta i_D \Big|_{v_{GS} = \text{const.}} = \infty$$

参数 K_n 有时被称为 N 沟道器件的跨导参数, 但是不要把它和下一章将要介绍的小信号跨导参数混淆。简单起见, 把这个参数称为传导参数。N 沟道器件的传导参数由下式给出

$$K_n = \frac{W\mu_n C_{ox}}{2L} \quad (3.3a)$$

其中, C_{ox} 为氧化物单位面积的电容容量, 由下式给出:

$$C_{ox} = \epsilon_{ox} / t_{ox}$$

其中, t_{ox} 为氧化物的厚度, ϵ_{ox} 为氧化物的介电常数。对硅材料器件来说, $\epsilon_{ox} = (3.9)(8.85 \times 10^{-14}) \text{ F/cm}$ 。参数 μ_n 为反型层中电子的迁移率。沟道宽度 W 和沟道长度 L 如图 3.5(a) 所示。

由式(3.3a)可见, 传导参数同时是电气参数和几何参数的函数。对于特定的制造工艺

来说,氧化物电容和载流子迁移率是基本恒定的。而几何结构,即宽长比 W/L , 是 MOSFET 设计中用来产生 MOSFET 电路的特定电流-电压特性的变量。

传导参数也可以写成下面的形式:

$$K_n = \frac{k'_n}{2} \cdot \frac{W}{L} \quad (3.3b)$$

其中 $k'_n = \mu_n C_{ox}$, 称为工艺传导参数。通常,对于特定的制造工艺,可以认为 k'_n 为常数。所以式(3.3b)表明,宽长比 W/L 是晶体管设计的可变参数。

例题 3.1 计算 N 沟道 MOSFET 中的电流。N 沟道增强型 MOSFET 的参数为

$$V_{TN} = 0.4V, \quad W = 20\mu m, \quad L = 0.8\mu m, \quad \mu_n = 650\text{cm}^2/V\cdot s, \quad t_{ox} = 200\text{\AA}$$

$$\epsilon_{ox} = (3.9)(8.85 \times 10^{-14})\text{F/cm}$$

求解当 $v_{GS} = 0.8V$ 和 $v_{GS} = 1.6V$ 时,晶体管工作在饱和区的电流。

解: 传导参数由式(3.3(a))给出。首先,考虑式中所包含的单位,如下:

$$K_n = \frac{W(\text{cm}) \cdot \mu_n \left(\frac{\text{cm}^2}{V\cdot s} \right) \epsilon_{ox} \left(\frac{F}{\text{cm}} \right)}{2L(\text{cm}) \cdot t_{ox}(\text{cm})} = \frac{F}{V\cdot s} = \frac{(C/V)}{V\cdot s} = \frac{A}{V^2}$$

$$\text{由此,传导参数的值为 } K_n = \frac{W\mu_n\epsilon_{ox}}{2Lt_{ox}} = \frac{20 \times 10^{-4} \times 650 \times 3.9 \times 8.85 \times 10^{-14}}{2 \times 0.8 \times 10^{-4} \times 200 \times 10^{-8}}$$

即

$$K_n = 1.40\text{mA}/V^2$$

由式(3.2b)可得:

当 $v_{GS} = 0.8V$ 时,有

$$i_D = K_n (v_{GS} - V_{TN})^2 = 1.40 \times (0.8 - 0.4)^2 = 0.224\text{mA}$$

当 $v_{GS} = 1.6V$ 时,有

$$i_D = 1.40 \times (1.6 - 0.4)^2 = 2.02\text{mA}$$

点评: 增大传导参数,可以增强晶体管的电流能力。对于特定的制造工艺,可通过改变晶体管的宽度 W 来调整 K_n 。

练习题 3.1 某 NMOS 晶体管的 $V_{TN} = 1V$, 当 $v_{GS} = 3V$ 和 $v_{DS} = 4.5V$ 时,漏极电流 $i_D = 0.8\text{mA}$ 。计算以下漏极电流: ① $v_{GS} = 2V, v_{DS} = 4.5V$; ② $v_{GS} = 3V, v_{DS} = 1V$ 。

答案: ① 0.2mA ; ② 0.6mA 。

3.1.4 P 沟道增强型 MOSFET

N 沟道增强型 MOSFET 的互补器件是 P 沟道增强型 MOSFET。

1. 晶体管结构

图 3.11 为 P 沟道增强型晶体管的简易剖面图。这里的衬底为 N 型半导体,源极和漏极区域为 P 型半导体。沟道长度、沟道宽度和氧化物厚度的参数定义与图 3.5(a)中的 NMOS 器件相同。

2. 晶体管的基本工作原理

除了载流子为空穴而不是电子,P 沟道器件的工作原理和 N 沟道器件相同。为了在氧

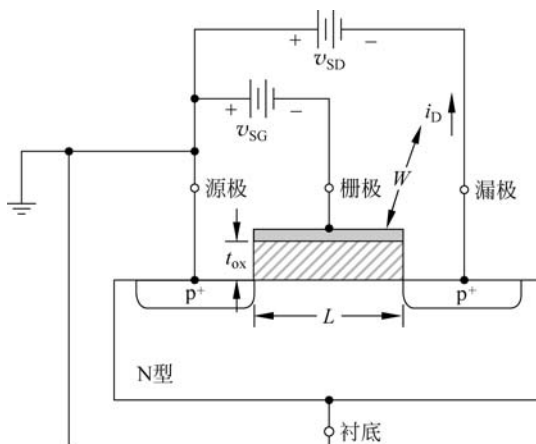


图 3.11 P 沟道增强型 MOSFET 的剖面图。 $v_{SG}=0$ 时器件截止。 W 的尺寸取垂直页面方向

化物下方的沟道区形成一个空穴反型层,需要在栅极加一个负电压。P 沟道器件的开启电压表示为 V_{TP} ^①。因为开启电压定义为产生反型层所需要的栅极电压,所以对于 P 沟道增强型器件而言, $V_{TP}<0$ 。

一旦形成反型层,P 型源极区域就成为载流子的来源,空穴从源极向漏极移动。需要一个负的漏极电压在沟道中产生电场,使空穴在电场力的作用下从源极向漏极运动。所以 PMOS 晶体管的电流方向通常为从源极流入、漏极流出。PMOS 器件规定的电流方向和电压极性与 NMOS 器件相反。

注意图 3.11 中反的电压下标顺序。当 $v_{SG}>0$ 时,栅极电压相对于源极电压为负。同样,当 $v_{SD}>0$ 时,漏极电压相对于源极电压为负。

3.1.5 理想 MOSFET 的电流-电压特性——PMOS 器件

P 沟道增强型器件的理想电流-电压特性和图 3.10 所示的基本相同。注意漏极电流的方向为从漏极流出, v_{DS} 变为 v_{SD} 。饱和点由 $v_{SD}(\text{sat})=v_{SG}+V_{TP}$ 给出。工作在非饱和区的 P 沟道器件的电流为

$$i_D = K_p [2(v_{SG} + V_{TP})v_{SD} - v_{SD}^2] \quad (3.4a)$$

工作在饱和区时的电流为

$$i_D = K_p (v_{SG} + V_{TP})^2 \quad (3.4b)$$

漏极电流从漏极流出。参数 K_p 为 P 沟道器件的传导参数,由下式给出:

$$K_p = \frac{W_{\mu p} C_{ox}}{2L} \quad (3.5a)$$

其中, W 、 L 和 C_{ox} 如前面所定义,分别为沟道宽度、沟道长度和氧化物单位面积上的电容量。 μ_p 为空穴反型层中空穴的迁移率。通常,空穴反型层迁移率要小于电子反型层迁移率。

还可以把式(3.5a)写成下面的形式:

^① 清晰起见,PMOS 和 NMOS 器件使用不同的开启电压参数。

$$K_p = \frac{k'_p}{2} \cdot \frac{W}{L} \quad (3.5b)$$

其中, $k'_p = \mu_p C_{ox}$ 。

当 P 沟道 MOSFET 工作在饱和区时,有

$$v_{SD} > v_{SD}(\text{sat}) = v_{SG} + V_{TP} \quad (3.6)$$

例题 3.2 求解使 P 沟道增强型 MOSFET 工作在饱和区的源-漏电压。已知 P 沟道增强型 MOSFET 的 $K_p = 0.2 \text{ mA/V}^2$, $V_{TP} = -0.50 \text{ V}$, $i_D = 0.50 \text{ mA}$ 。

解: 在饱和区,漏极电流由下式给出:

$$i_D = K_p (v_{SG} + V_{TP})^2$$

即

$$0.50 = 0.2 (v_{SG} - 0.50)^2$$

可以得出

$$v_{SG} = 2.08 \text{ V}$$

为了使此 P 沟道 MOSFET 偏置在饱和区,必须满足

$$v_{SD} > v_{SD}(\text{sat}) = v_{SG} + V_{TP} = 2.08 - 0.5 = 1.58 \text{ V}$$

点评: 晶体管工作在饱和区还是非饱和区,和栅-源及漏-源电压都有关。

练习题 3.2 某 PMOS 器件的开启电压 $V_{TP} = -1.2 \text{ V}$, 当 $v_{SG} = 3 \text{ V}$ 且 $v_{SD} = 5 \text{ V}$ 时, $i_D = 0.5 \text{ mA}$ 。计算以下漏极电流: ① $v_{SG} = 2 \text{ V}$, $v_{SD} = 3 \text{ V}$; ② $v_{SG} = 5 \text{ V}$, $v_{SD} = 2 \text{ V}$ 。

答案: ① 0.0986 mA , ② 1.72 mA 。

3.1.6 电路符号和规范

N 沟道增强型 MOSFET 的传统电路符号如图 3.12(a)所示。垂直的实线表示栅极,垂直的虚线表示沟道(虚线表示器件为增强型),栅极线和沟道线分开表明氧化物使栅极和沟道绝缘。衬底和沟道之间的 PN 结极性用位于基体或衬底电极的箭头表示,箭头的方向表明晶体管的类型,如图所示为一个 N 沟道器件。该符号给出了 MOSFET 器件的四端子结构。

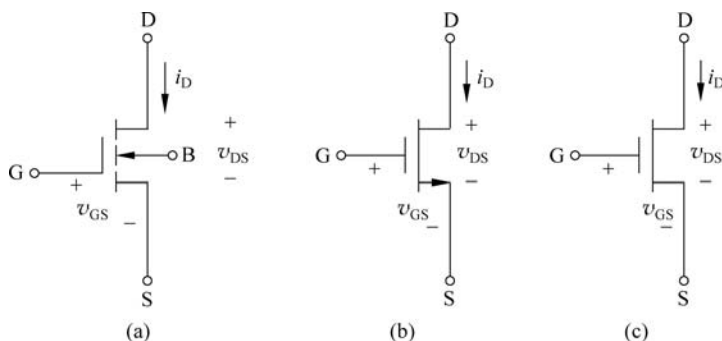


图 3.12 N 沟道增强型 MOSFET (a) 传统电路符号; (b) 本教材中将使用的电路符号; (c) 更高级的教材中使用的简化电路符号

在本书大多数的应用实例中,都隐含假设源极和衬底连接在一起。在电路中给每个晶体管都显式地画一个衬底电极比较多余,而且使电路看起来更加复杂。一般用图 3.12(b)

所示的电路符号来替代。在这个符号中,箭头位于源极,它指出电流的方向,对于 N 沟道器件来说是从源极流出。通过在电路符号中包含箭头,就不再需要明确标出器件的源极和漏极。除了一些特殊的应用,本教材中都将采用这种电路符号。

在更高级的教材和期刊论文中,通常采用图 3.12(c)所示的 N 沟道 MOSFET 电路符号。其中栅极是明显的,隐含表示顶端电极为漏极,底端电极为源极。此时顶端的漏极电压通常要比底端大。为清晰起见,在这种导论性质的课程中,将采用图 3.12(b)所示的电路符号。

P 沟道增强型 MOSFET 的传统电路符号如图 3.13(a)所示。注意衬底上的箭头方向和 N 沟道增强型 MOSFET 相反。该符号再次给出 MOSFET 器件的四端子结构。

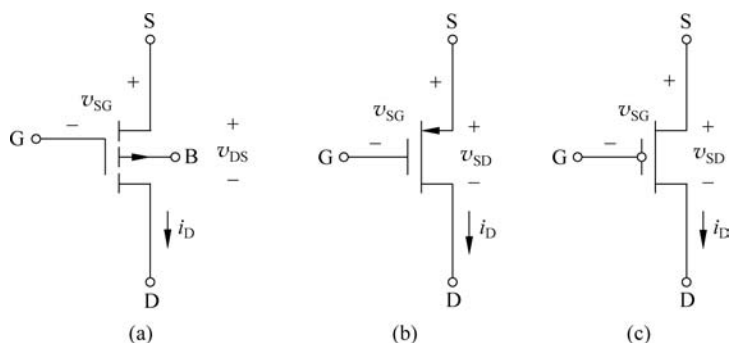


图 3.13 P 沟道增强型 MOSFET(a) 传统电路符号; (b) 本教材中将使用的电路符号; (c) 更高级的教材中使用的简化电路符号

本教材中将采用图 3.13(b)所示的 P 沟道增强型 MOSFET 电路符号。在这个符号中,箭头位于源极,它指出电流的方向,对于 P 沟道器件来说,电流从源极流入。

在更高级的教材和期刊论文中,通常采用图 3.13(c)所示的 P 沟道 MOSFET 电路符号。同样,栅极是明显的,但是用了一个小圆圈来表明这是一个 PMOS 器件。隐含表示顶端电极为源极,底端电极为漏极。此时顶端的源极电压通常要比底端大。同样,清晰起见,在这种导论性质的课程中,将采用图 3.13(b)所示的电路符号。

3.1.7 其他 MOSFET 结构和电路符号

在开始分析 MOSFET 电路之前,将在 N 沟道和 P 沟道增强型 MOSFET 器件基础上介绍两种其他的 MOSFET 结构。

1. N 沟道耗尽型 MOSFET

图 3.14(a)所示为 N 沟道耗尽型 MOSFET 的剖面图。当栅极电压为 0 时,氧化物下方存在一个 N 沟道区域或反型层,这是由于在器件制作过程中掺入了某种杂质。这个 N 区域将 N 型的源极和漏极连通,所以即使栅极电压为零,也能在沟道中产生漏-源电流。耗尽型这个词意味着即使栅极电压为零,沟道也会存在;而要使 N 沟道耗尽型 MOSFET 截止,必须在其栅极加负电压。

图 3.14(b)所示为加负栅-源电压时的 N 沟道耗尽型 MOSFET。负的栅极电压在氧化

物下方产生空间电荷区,从而使 N 沟道区域的厚度减小,沟道厚度的减小使沟道导电性降低,进而减小了漏极电流。当栅极所加电压和开启电压相等时(对于此器件开启电压为负),感应的空间电荷区扩展到了整个 N 沟道区,电流变为零。而正的栅极电压会产生电子聚集层,如图 3.14(c)所示,它使漏极电流增大。N 沟道耗尽型 MOSFET 的 i_D - v_{DS} 关系曲线族如图 3.15 所示。

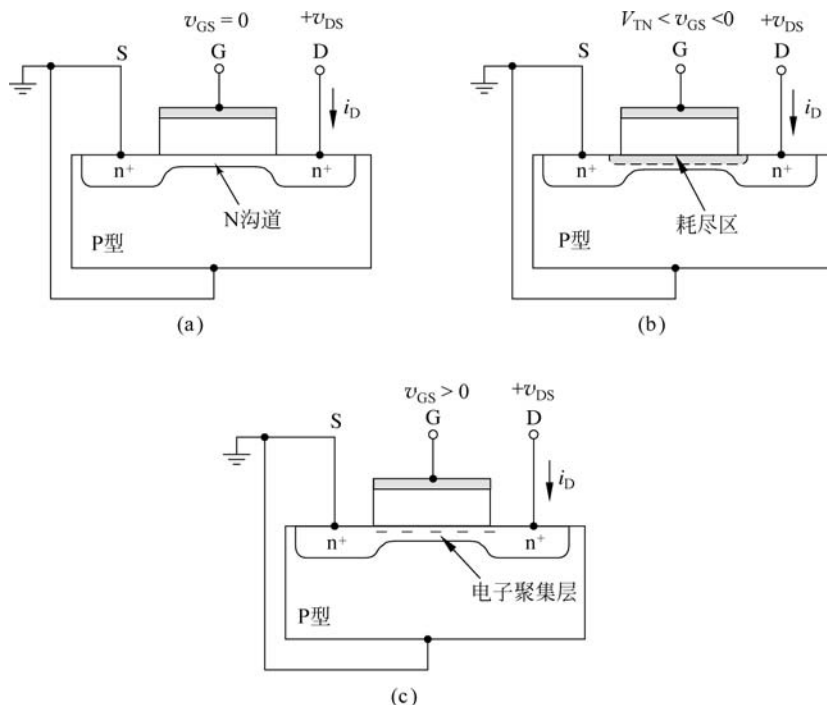


图 3.14 N 沟道耗尽型 MOSFET 的剖面图(a) $v_{GS}=0$; (b) $v_{GS}<0$; (c) $v_{GS}>0$

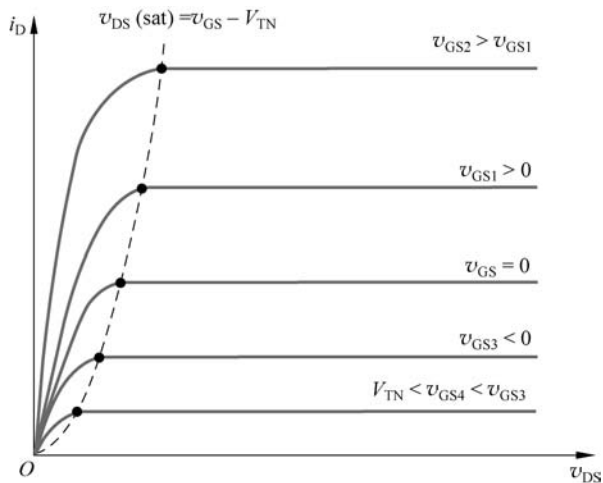


图 3.15 N 沟道耗尽型 MOSFET 的 i_D - v_{DS} 关系曲线族。再次注意,电压 $v_{DS}(\text{sat})$ 是每条曲线上的一个点

由式(3.2a)和式(3.2b)给出的电流-电压特性同时适用于增强型和耗尽型 N 沟道器件。唯一不同的是,增强型 MOSFET 的开启电压 V_{TN} 为正,而耗尽型 MOSFET 的开启电压为负。虽然采用相同的公式来描述增强型和耗尽型 N 沟道器件的电流-电压特性,清晰起见,使用不同的电路符号。

N 沟道耗尽型 MOSFET 的传统电路符号如图 3.16(a)所示。描述沟道的垂直实线表明器件为耗尽型。比较图 3.12(a)和图 3.16(a)可以看出,增强型和耗尽型符号的唯一差别是用来表示沟道的虚线和实线。

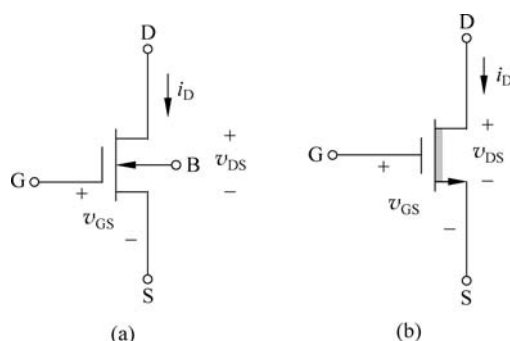


图 3.16 N 沟道耗尽型 MOSFET: (a) 传统电路符号; (b) 简化电路符号

图 3.16(b)为简化的 N 沟道耗尽型 MOSFET 电路符号,箭头仍然标在源极,表示出电流的方向,对于 N 沟道器件来说电流方向是从源极流出。加粗的实线表示耗尽型沟道区。需要再次说明的是,耗尽型和增强型器件采用不同的电路符号,只是为了在电路图中比较清晰。

2. P 沟道耗尽型 MOSFET

图 3.17 所示为 P 沟道耗尽型 MOSFET 的剖面图,同时给出偏置状态和电流方向。在耗尽型器件中,即使栅极电压为零,在氧化物下方也已经存在一个空穴沟道区。要使该器件截止,需要在栅极加正向电压。因此,P 沟道耗尽型 MOSFET 开启电压的数值为正($V_{TP} > 0$)。

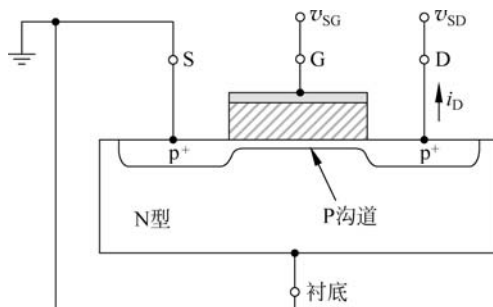


图 3.17 P 沟道耗尽型 MOSFET 的剖面图,给出栅极电压为零时氧化物下方的 P 沟道

P 沟道耗尽型 MOSFET 的常用和简化电路符号如图 3.18 所示。简化电路符号中代表沟道区的加粗实线表明器件为耗尽型。箭头仍然位于源极,它指出电流的方向。

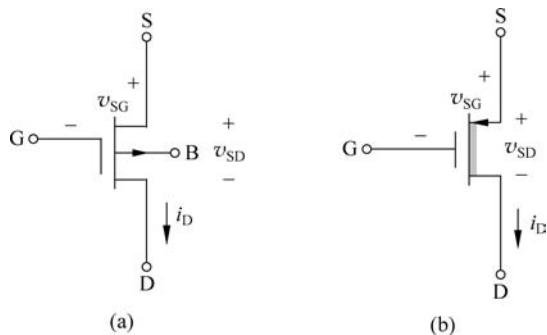


图 3.18 P 沟道耗尽型 MOSFET(a) 传统电路符号；(b) 简化电路符号

3. 互补 MOSFET

互补 MOS(CMOS)工艺在同一个电路中使用 N 沟道和 P 沟道器件。图 3.19 所示为制作在同一芯片上的 N 沟道和 P 沟道器件的剖面图。通常,CMOS 电路制作起来比单纯的 NMOS 或 PMOS 电路复杂得多。而在随后的章节中将会看到,CMOS 电路与单纯的 NMOS 或 PMOS 电路相比,具有很多优势。

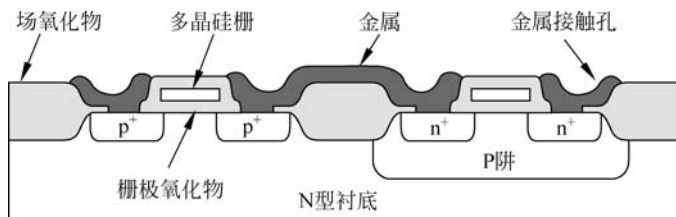


图 3.19 采用 P 阱 CMOS 工艺制作的 N 沟道和 P 沟道晶体管的剖面图

为了制作电气对称的 N 沟道和 P 沟道器件,必须使 N 沟道和 P 沟道器件的开启电压和传导参数都相同。由于通常情况下 μ_n 和 μ_p 并不相等,通过调整晶体管的宽长比来设计对等的晶体管。

3.1.8 晶体管工作原理小结

前面介绍了 MOS 晶体管工作原理的一阶模型。对于 N 沟道增强型 MOSFET,必须加一个大于开启电压 V_{TN} 的正栅-源电压来产生电子反型层。当 $v_{GS} > V_{TN}$ 时,器件导通。对于 N 沟道耗尽型器件,即使 $v_{GS} = 0$,源极和漏极之间的导电沟道也会存在。其开启电压为负值,因此需要加一个负的 v_{GS} 电压来使器件截止。

对于 P 沟道器件,所有的电压极性和电流方向都和 NMOS 器件相反。P 沟道增强型晶体管的 $V_{TP} < 0$,而耗尽型 PMOS 晶体管的 $V_{TP} > 0$ 。

表 3.1 列出了描述 MOS 器件 $i-v$ 特性的一阶公式。注意 K_n 和 K_p 为正值,对于 NMOS 器件,漏极电流 i_D 以流入漏极的方向为正;而对于 PMOS 器件,漏极电流 i_D 以流出漏极的方向为正。

表 3.1 MOSFET 电流-电压特性小结

	NMOS	PMOS
非饱和区($v_{DS} < v_{DS}(\text{sat})$)	$i_D = K_n [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2]$	$i_D = K_p [2(v_{SG} + V_{TP})v_{SD} - v_{SD}^2]$
饱和区($v_{DS} > v_{DS}(\text{sat})$)	$i_D = K_n [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2]$	$i_D = K_p (v_{SG} + V_{TP})^2$
转移点	$v_{DS}(\text{sat}) = v_{GS} - V_{TN}$	$v_{SD}(\text{sat}) = v_{SG} + V_{TP}$
增强型	$V_{TN} > 0$	$V_{TP} < 0$
耗尽型	$V_{TN} < 0$	$V_{TP} > 0$

3.1.9 短沟道效应

由式(3.2a)和式(3.2b)给出的 N 沟道器件的电流-电压特性,以及由式(3.4a)和式(3.4b)给出的 P 沟道器件的电流-电压特性,都是针对长沟道器件的理想特性。长沟道器件的沟道长度通常大于 $2\mu\text{m}$ 。在这种器件中,由漏极电压感应的沟道水平方向电场和由栅极电压感应的垂直方向电场可以独立处理。而目前所用的 MOS 器件沟道长度大约在 $0.2\mu\text{m}$ 的量级或者更短。

在短沟道器件中,存在几种会影响或改变长沟道器件电流-电压特性的效应。其一是开启电压的变化。开启电压的值是沟道长度的函数,在这类 MOS 器件的设计和生产过程中必须考虑这个变化。此时,开启电压也是漏极电压的函数。随着漏极电压的增大,有效开启电压下降,这种效应也会影响器件的电流-电压特性。

工艺传导参数 k'_n 和 k'_p 直接和载流子迁移率相关。前面曾假设过载流子迁移率和工艺传导参数是恒定的,但载流子迁移率是反型层中垂直电场的函数,随着栅极电压和垂直电场的增加,载流子迁移率会下降。这种结果也会直接影响器件的电流-电压特性。

发生在短沟道器件中的另一个效应是速度饱和。随着水平电场的增加,载流子的速度到达一个稳定值,不再随着漏极电压的增加而增加。速度饱和将使得饱和电压 $v_{DS}(\text{sat})$ 的值下降。漏极电流将在 v_{DS} 电压较小时就达到饱和值。在饱和区,漏极电流也变成了栅极电压的一个近似线性函数,而不是长沟道特性中所描述的栅极电压的二次函数。

虽然现代 MOSFET 电路分析必须考虑这些短沟道特性,在本书这样的导论性教材中还将使用长沟道电流-电压特性。使用理想的长沟道电流-电压特性,仍可以对这些器件以及 MOSFET 电路的工作原理和特性有一个基本的了解。

3.1.10 其他非理想电流-电压特性

MOS 晶体管的电流-电压特性的 5 个非理想效应为:饱和区的有限输出电阻、衬底效应、亚阈值传导系数、击穿效应和温度效应。本节将依次对这些效应进行分析。

1. 饱和区的有限输出电阻

在理想情况下,当 MOSFET 工作在饱和区时,漏极电流 i_D 独立于漏-源电压 v_{DS} 。然而对于实际的 MOSFET, i_D - v_{DS} 关系特性曲线中,在饱和点外并不存在零斜率曲线。当 $v_{DS} > v_{DS}(\text{sat})$ 时,沟道中反型电荷趋于零的实际位置从漏极移开,如图 3.9(d)所示。于是有效的沟道长度减小,产生的这种现象称为沟道长度调制。

一个夸张的电流-电压特性如图 3.20 所示。这些曲线可以反向延长与电压轴交于一点 $v_{DS} = -V_A$ 。通常定义电压 V_A 为一个正的量。饱和区曲线的斜率可以通过如下 i_D - v_{DS} 关系式来描述。对于 N 沟道器件,有

$$i_D = K_n [(v_{GS} - V_{TN})^2 (1 + \lambda v_{DS})] \quad (3.7)$$

其中, λ 为一个正的量,称为沟道长度调制参数。

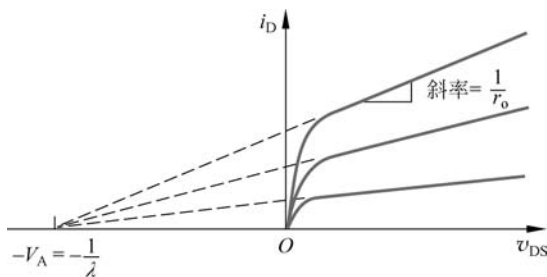


图 3.20 i_D - v_{DS} 关系特性曲线族,标示出在沟道长度调制影响下的有限输出电阻

参数 λ 和 V_A 是相关的。由式(3.7)可得,在延长线上 $i_D = 0$ 处有 $(1 + \lambda v_{DS}) = 0$ 。在这一点 $v_{DS} = -V_A$,也就意味着 $V_A = 1/\lambda$ 。

由沟道长度调制引起的输出电阻定义为

$$r_o = \left(\frac{\partial i_D}{\partial v_{DS}} \right)^{-1} \bigg|_{v_{GS} = \text{const.}} \quad (3.8)$$

根据式(3.7),求出 Q 点的输出电阻为

$$r_o = [\lambda K_n (V_{GSQ} - V_{TN})^2]^{-1} \quad (3.9a)$$

或

$$r_o \approx [\lambda I_{DQ}]^{-1} = \frac{1}{\lambda I_{DQ}} = \frac{V_A}{I_{DQ}} \quad (3.9b)$$

输出电阻 r_o 也是 MOSFET 小信号等效电路的一个因子,有关内容将在下一章中讨论。

2. 衬底效应

到目前为止,都假设衬底和源极连接在一起。在这种偏置状态下,开启电压是一个常数。

而在集成电路中,所有 N 沟道 MOSFET 的衬底通常是共用的,且连接在电路中电位最低的电极上。图 3.21 给出两个 N 沟道 MOSFET 相串联的一个例子。两个晶体管共用一个 P 型衬底, M_1 的漏极和 M_2 的源极共用。当两个 MOS 晶体管导通时,在 M_1 上存在非零的漏-源电压,这意味着 M_2 的源极和衬底处于不同的电位。这种偏压状况意味着在源极和衬底之间的 PN 结两端存在零偏压或反向偏压。源极和衬底之间结电压的变化将改变开启电压,这种现象称为衬底效应。P 沟道器件中也存在相同的情况。

以图 3.22 所示的 N 沟道 MOS 器件为例,为了获得零偏置或反向偏置的源-衬 PN 结,必须使 $v_{SB} > 0$,此时的开启电压为

$$V_{TN} = V_{TNO} + \gamma [\sqrt{2\phi_f + v_{SB}} - \sqrt{2\phi_f}] \quad (3.10)$$

其中, V_{TNO} 为 $v_{SB}=0$ 时的开启电压; γ 称为衬底效应阈值或衬底效应参数, 它和器件性质有关, 其典型值约为 $0.5V^{1/2}$ 。 ϕ_f 为半导体参数, 它的典型值约为 $0.35V$, 是半导体掺杂的函数。由式(3.10)可以看出, 衬底效应导致 N 沟道器件的开启电压上升。

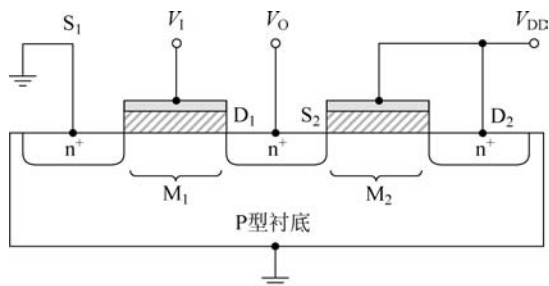


图 3.21 在同一个衬底上制作的两个串联 N 沟道 MOSFET, 晶体管 M_2 的源极 S_2 很有可能不处于地电位

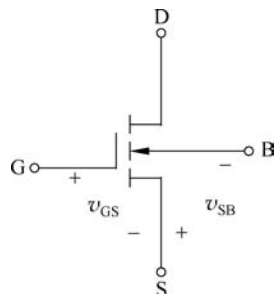


图 3.22 带衬底电压的 N 沟道增强型 MOSFET

衬底效应引起开启电压的变化, 进而导致电路性能的下降。但简单起见, 在电路分析中通常忽略衬底效应。

3. 亚阈值传导

当考虑工作在饱和区的 N 沟道 MOSFET 的电流-电压特性时, 由式(3.2b)可得

$$i_D = K_n (v_{GS} - V_{TN})^2$$

将等式两边开方得到

$$\sqrt{i_D} = \sqrt{K_n} (v_{GS} - V_{TN}) \quad (3.11)$$

由式(3.11)可以看出, $\sqrt{i_D}$ 是 v_{GS} 的线性函数。图 3.23 给出这种理想关系曲线。

图 3.23 中也画出了实验结果, 曲线显示当 v_{GS} 略小于 V_{TN} 时, 如前面所假设的, 漏极电流并不为零, 这种电流称为亚阈值电流。这种影响对单个器件来可能不突出, 但是如果集成电路上成千上万的器件的偏置电压都略低于开启电压, 那么电源电流将不为零, 导致集成电路中有很大的功率损耗。第 16 章将会看到一个动态随机存取存储器(DRAM)的例子。

简单起见, 本书将不专门考虑亚阈值电流。而当电路中的 MOSFET 需要关断时, 正确的电路设计是把器件偏压设置为开启电压以下零点几伏, 以达到真正的截止。

4. 击穿效应

在 MOSFET 中会发生几种可能的击穿效应。第一种是当所加的漏极电压过高或发生雪崩式倍增时, 漏-衬之间的 PN 结发生的击穿。这种击穿和 1.2.5 节所讨论的反向偏置 PN 结的击穿相同。

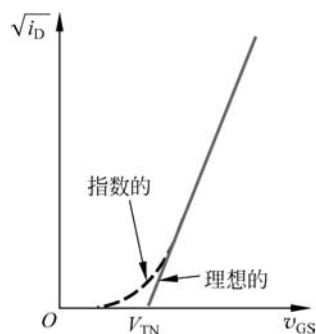


图 3.23 工作在饱和区时 MOSFET 的 $\sqrt{i_D}$ - v_{GS} 曲线, 图中示出亚阈值传导。实验表明, 甚至在 $v_{GS} < V_{TN}$ 时也存在亚阈值电流

随着器件的尺寸越来越小,第二种称为穿通的击穿机制变得很严重。当漏极电压足够大,漏极周围的耗尽区贯穿沟道而完全扩展到源极时,发生穿通。这种效应也将导致微小的漏极电压增加引起漏极电流急剧上升。

第三种为近雪崩击穿或突发击穿。这种击穿过程是由 MOSFET 的二阶效应引起的。源-衬-漏的结构等效于一个双极型晶体管。随着器件的尺寸缩小,将会发现随着漏极电压的增加,会产生一个寄生的双极型晶体管效应。这种寄生会加剧击穿效应。

如果氧化物中的电场变得足够大,氧化物层也会发生击穿,这将导致灾难性的损坏。在二氧化硅中发生击穿时的电场约为 $6 \times 10^6 \text{ V/cm}$,其一阶近似值由式 $E_{\text{ox}} = V_G / t_{\text{ox}}$ 给出。大约 30V 的栅极电压将导致厚度为 $t_{\text{ox}} = 5 \text{ \AA}$ 的氧化物击穿。而通常取安全裕量系数为 3,这就意味着当 $t_{\text{ox}} = 5 \text{ \AA}$ 时的最大栅极安全电压是 10V。因为氧化物中可能存在瑕疵,降低击穿电场,所以安全裕量很有必要。同时必须记住,栅极的输入阻抗非常高,栅极的少量静电荷聚集就可能超过击穿电压。为了防止 MOSFET 栅极电容上静电电荷的聚集,通常在 MOS 集成电路的输入端设计一个栅极保护器件,譬如反向偏置的二极管。

5. 温度效应

开启电压 V_{TN} 和传导参数 K_n 都是温度的函数。开启电压的值随着温度的下降而下降,这意味着对于给定的 V_{GS} ,漏极电流将随着温度的升高而增加。而传导参数是反型载流子迁移率的直接函数,它随着温度的增加而降低。由于迁移率受温度的影响要大于开启电压受温度的影响,所以对于给定的 V_{GS} ,当温度增加时,总体效应是漏极电流减小。这种特殊的结果在功率 MOSFET 中提供了一种负反馈效果,下降的 K_n 值自然限制了沟道电流,并保证功率 MOSFET 的稳定性。

理解测试题 3.1 (1) 某 N 沟道增强型 MOSFET 的开启电压 $V_{\text{TN}} = 1.2 \text{ V}$,所加的栅-源电压 $v_{\text{GS}} = 2 \text{ V}$ 。当 V_{DS} 分别为 0.4V、1V 和 5V 时,求解器件的工作区域。

(2) 将(1)中的器件改为开启电压 $V_{\text{TN}} = -1.2 \text{ V}$ 的 N 沟道耗尽型 MOSFET,再次求解。

答案: (1) ①非饱和区; ②饱和区; ③饱和区。

(2) ①非饱和区; ②非饱和区; ③饱和区。

理解测试题 3.2 理解测试题 3.1 所描述的 NMOS 器件的参数为 $W = 20 \mu\text{m}$, $L = 0.8 \mu\text{m}$, $t_{\text{ox}} = 200 \text{ \AA}$, $\mu_n = 500 \text{ cm}^2/\text{V}\cdot\text{s}$, $\lambda = 0$ 。①计算每个器件的传导参数 K_n ; ②计算 TYU 3.1 中列出的每个偏置条件下的漏极电流。

答案: ① $K_n = 1.08 \text{ mA/V}^2$; ② $i_{\text{D}} = 0.518 \text{ mA}$ 、 0.691 mA 和 0.691 mA , $i_{\text{D}} = 2.59 \text{ mA}$ 、 5.83 mA 和 11.1 mA 。

理解测试题 3.3 (1) 某 P 沟道增强型 MOSFET 的开启电压 $V_{\text{TP}} = -1.2 \text{ V}$,所加的源-栅电压 $v_{\text{SG}} = 2 \text{ V}$ 。当 $v_{\text{SD}} = 0.4 \text{ V}$ (①), $v_{\text{SD}} = 1 \text{ V}$ (②), $v_{\text{SD}} = 5 \text{ V}$ (③) 时,求解器件的工作区域;

(2) 将(1)中的器件改为开启电压 $V_{\text{TP}} = +1.2 \text{ V}$ 的 P 沟道耗尽型 MOSFET,再次求解。

答案: (1) ①非饱和区; ②饱和区; ③饱和区。(2) ①非饱和区; ②非饱和区; ③饱和区。

理解测试题 3.4 理解测试题 3.3 所描述的 PMOS 器件的参数为 $W = 10 \mu\text{m}$, $L = 0.8 \mu\text{m}$, $t_{\text{ox}} = 200 \text{ \AA}$, $\mu_p = 300 \text{ cm}^2/\text{V}\cdot\text{s}$, $\lambda = 0$ 。①计算每个器件的传导参数 K_p 。②计算

TYU 3.3 中所列出的每个偏置条件下的漏极电流。

答案: ① $K_p = 0.324\text{mA/V}^2$ 。② $i_D = 0.156\text{mA}$ 、 0.207mA 和 0.207mA ; $i_D = 0.778\text{mA}$ 、 1.75mA 和 3.32mA 。

理解测试题 3.5 增强型 NMOS 器件的参数为 $V_{TN} = 0.25\text{V}$, $K_n = 10\mu\text{A/V}^2$, 器件偏置在 $v_{GS} = 0.5\text{V}$ 。①当 $\lambda = 0$ 时, 分别计算 $v_{DS} = 0.5\text{V}$ 、 $v_{DS} = 1.2\text{V}$ 时的漏极电流。② $\lambda = 0.03\text{V}^{-1}$ 时, 分别计算 $v_{DS} = 0.5\text{V}$ 、 $v_{DS} = 1.2\text{V}$ 时的漏极电流。③计算①和②中的输出电阻 r_o 。

答案: ① $i_D = 0.625\mu\text{A}$ 。② $i_D = 0.6344\mu\text{A}$; $i_D = 0.6475\mu\text{A}$ 。③在①中, $r_o = \infty$; 在②中, $r_o = 53.3\text{M}\Omega$ 。

理解测试题 3.6 NMOS 晶体管的参数为 $V_{TNO} = 0.4\text{V}$, $\gamma = 0.15\text{V}^{1/2}$ 和 $f = 0.35\text{V}$, 在以下条件下分别计算开启电压: ① $v_{SB} = 0$; ② $v_{SB} = 0.5\text{V}$; ③ $v_{SB} = 1.5\text{V}$ 。

答案: ① 0.4V ; ② 0.439V ; ③ 0.497V 。

3.2 MOSFET 直流电路分析

目标: 理解并熟悉 MOSFET 电路的直流分析和设计方法。

在上一节中, 讨论了 MOSFET 的基本性质和特性。本节将开始分析和设计 MOS 晶体管的直流偏置电路。本章余下部分的一个主要目的是继续熟悉并掌握 MOS 晶体管和 MOSFET 电路。作为本章的核心内容, MOSFET 的直流偏置是放大电路设计中重要部分。MOSFET 放大电路设计是下一章的核心内容。

本章将要介绍的大多数电路中, 采用电阻来连接 MOS 晶体管。而在实际的 MOSFET 集成电路中, 电阻一般用其他的 MOSFET 代替, 因此电路全部由 MOS 器件组成。一般而言, MOSFET 器件比电阻占用的面积要小。在本章的学习过程中, 将会明白这是如何实现的, 本章结束时, 将真正分析和设计只含有 MOSFET 的电路。

在 MOSFET 电路的直流分析中, 可以利用 3.1 节中表 3.1 所列出的理想电流-电压特性方程。

3.2.1 共源电路

MOSFET 电路的一种基本结构为共源电路。图 3.24 给出这类电路的一个示例, 它采用 N 沟道增强型 MOSFET。其中源极接地, 并且和电路的输入和输出部分共地。耦合电容 C_C 对直流信号相当于开路, 但它允许交流信号电压耦合到 MOSFET 的栅极。

直流等效电路如图 3.25(a) 所示。在下面的直流分析中, 再次使用直流电流和电压的符号。由于流入 MOS 晶体管的栅极电流为零, 栅极电压可以根据图中所示的分压器求得, 即

$$V_G = V_{GS} = \left(\frac{R_2}{R_1 + R_2} \right) V_{DD} \quad (3.12)$$

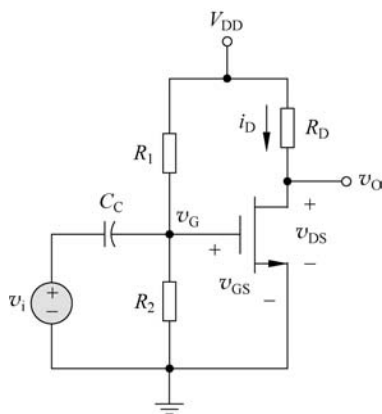


图 3.24 NMOS 共源电路

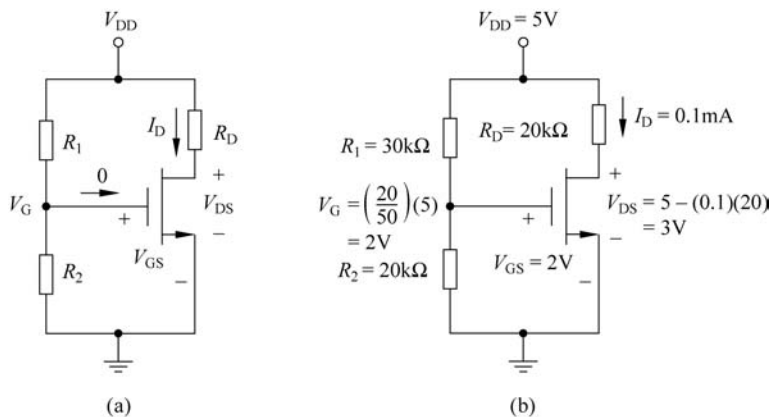


图 3.25 (a) NMOS 共源电路的直流等效电路; (b) 例题 3.3 中的 NMOS 电路, 给出电流和电压值

假设由式(3.12)求得的栅-源电压大于 V_{TN} , 并且 MOS 晶体管偏置在饱和区, 则漏极电流为

$$I_D = K_n (V_{GS} - V_{TN})^2 \quad (3.13)$$

漏-源电压为

$$V_{DS} = V_{DD} - I_D R_D \quad (3.14)$$

如果 $V_{DS} > V_{DS}(\text{sat}) = V_{GS} - V_{TN}$, 则如开始时所假设的, MOS 晶体管偏置在饱和区, 上述分析是正确的。如果 $V_{DS} < V_{DS}(\text{sat})$, 则 MOS 晶体管偏置在非饱和区, 并且漏极电流由更加复杂的特性方程(3.2a)给出。

由于没有栅极电流, 消耗在 MOS 晶体管上的功率可以简单地写为

$$P_T = I_D V_{DS} \quad (3.15)$$

例题 3.3 计算 N 沟道增强型 MOSFET 构成的共源电路的漏极电流和漏-源电压, 并计算消耗在 MOS 晶体管上的功率。对于图 3.25(a)所示的电路, 假设 $R_1 = 30\text{k}\Omega$, $R_2 = 20\text{k}\Omega$, $R_D = 20\text{k}\Omega$, $V_{DD} = 5\text{V}$, $V_{TN} = 1\text{V}$ 及 $K_n = 0.1\text{mA/V}^2$ 。

解: 由图 3.25(b)所示的电路和式(3.12)可得

$$V_G = V_{GS} = \left(\frac{R_2}{R_1 + R_2} \right) V_{DD} = \frac{20}{20 + 30} \times 5 = 2\text{V}$$

假设 MOS 晶体管偏置在饱和区, 则漏极电流为

$$I_D = K_n (V_{GS} - V_{TN})^2 = 0.1 \times (2 - 1)^2 = 0.1\text{mA}$$

漏-源电压为

$$V_{DS} = V_{DD} - I_D R_D = 5 - 0.1 \times 20 = 3\text{V}$$

消耗在 MOS 晶体管上的功率为

$$P_T = I_D V_{DS} = 0.1 \times 3 = 0.3\text{mW}$$

点评: 由于 $V_{DS} = 3\text{V} > V_{DS}(\text{sat}) = V_{GS} - V_{TN} = 2 - 1 = 1\text{V}$, MOS 晶体管确实偏置在饱和区, 所以上述分析是有效的。直流分析得到的漏极电流和漏-源电压静态值(Q 点), 通常表示为 I_{DQ} 和 V_{DSQ} 。

练习题 3.3 图 3.25(a)所示 MOS 晶体管的参数为 $V_{TN} = 0.35\text{V}$, $K_n = 25\mu\text{A/V}^2$ 。电路参数为 $V_{DD} = 2.2\text{V}$, $R_1 = 355\text{k}\Omega$, $R_2 = 245\text{k}\Omega$ 和 $R_D = 100\text{k}\Omega$ 。计算 I_D 、 V_{GS} 和 V_{DS} 。

答案: $I_D = 7.52\mu\text{A}$, $V_{GS} = 0.898\text{V}$, $V_{DS} = 1.45\text{V}$ 。

图 3.26(a)所示为 P 沟道增强型 MOSFET 组成的共源电路。其中源极接 $+V_{DD}$, 它在交流等效电路中为信号地, 因此这个电路称为共源电路。

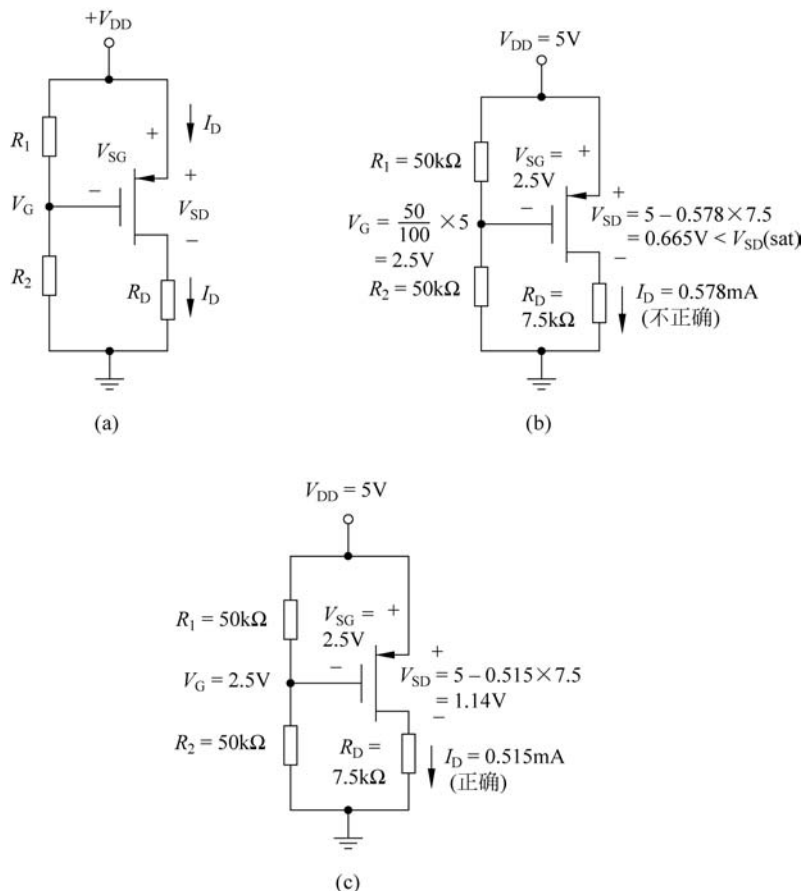


图 3.26 (a) PMOS 共源电路; (b) 例题 3.4 中的 PMOS 共源电路, 给出偏置在饱和区的假设不正确时的电流和电压值; (c) 例题 3.4 中的电路, 给出偏置在非饱和区的假设正确时的电流和电压值

直流分析和 N 沟道 MOSFET 电路基本相同。栅极电压为

$$V_G = \left(\frac{R_2}{R_1 + R_2} \right) (V_{DD}) \quad (3.16)$$

源-栅电压为

$$V_{SG} = V_{DD} - V_G \quad (3.17)$$

假设 $V_{GS} < V_{TP}$ 或 $V_{SG} > |V_{TP}|$, 而且晶体管偏置在饱和区, 则漏极电流为

$$I_D = K_p (V_{SG} + V_{TP})^2 \quad (3.18)$$

源-漏电压为

$$V_{SD} = V_{DD} - I_D R_D \quad (3.19)$$

如果 $V_{SD} > V_{SD}(\text{sat}) = V_{SG} + V_{TP}$, 则如前面所假设, MOS 晶体管确实偏置在饱和区。反之, 如果 $V_{SD} < V_{SD}(\text{sat})$, 则 MOS 晶体管偏置在非饱和区。

例题 3.4 计算 P 沟道增强型 MOSFET 组成的共源电路的漏极电流和源-漏电压。在图 3.26(a)所示的电路中,假设 $R_1 = R_2 = 50\text{k}\Omega$, $V_{\text{DD}} = 5\text{V}$, $R_{\text{D}} = 7.5\text{k}\Omega$, $V_{\text{TP}} = -0.8\text{V}$, $K_{\text{p}} = 0.2\text{mA}/\text{V}^2$ 。

解: 由图 3.26(b)所示的电路和式(3.16)可得

$$V_{\text{G}} = \left(\frac{R_2}{R_1 + R_2} \right) (V_{\text{DD}}) = \frac{50}{50 + 50} \times 5 = 2.5\text{V}$$

由此,源-栅电压为

$$V_{\text{SG}} = V_{\text{DD}} - V_{\text{G}} = 5 - 2.5 = 2.5\text{V}$$

假设 MOS 晶体管偏置在饱和区,则漏极电流为

$$I_{\text{D}} = K_{\text{p}} (V_{\text{SG}} + V_{\text{TP}})^2 = 0.2 \times (2.5 - 0.8)^2 = 0.578\text{mA}$$

源-漏电压为

$$V_{\text{SD}} = V_{\text{DD}} - I_{\text{D}} R_{\text{D}} = 5 - 0.578 \times 7.5 = 0.665\text{V}$$

因为 $V_{\text{SD}} = 0.665\text{V}$,并不比 $V_{\text{SD}}(\text{sat}) = V_{\text{SG}} + V_{\text{TP}} = 2.5 - 0.8 = 1.7\text{V}$ 大,所以 P 沟道 MOSFET 并非偏置在饱和区,即初始的假设不成立。

在非饱和区的漏极电流应当为

$$I_{\text{D}} = K_{\text{p}} [2(V_{\text{SG}} + V_{\text{TP}})V_{\text{SD}} - V_{\text{SD}}^2]$$

源-漏电压为

$$V_{\text{SD}} = V_{\text{DD}} - I_{\text{D}} R_{\text{D}}$$

联合求解以上两个方程,得出

$$I_{\text{D}} = K_{\text{p}} [2(V_{\text{SG}} + V_{\text{TP}})(V_{\text{DD}} - I_{\text{D}} R_{\text{D}}) - (V_{\text{DD}} - I_{\text{D}} R_{\text{D}})^2]$$

即

$$I_{\text{D}} = (0.2) [2 \times (2.5 - 0.8)(5 - I_{\text{D}}(7.5)) - (5 - I_{\text{D}}(7.5))^2]$$

求解这个二次方程,可以得到 I_{D} :

$$I_{\text{D}} = 0.515\text{mA}$$

同时也可求得

$$V_{\text{SD}} = 1.14\text{V}$$

由此, $V_{\text{SD}} < V_{\text{SD}}(\text{sat})$,验证了 MOS 晶体管确实偏置在非饱和区。

点评: 在二次方程求解 I_{D} 时得出了另一个解 $V_{\text{SD}} = 2.93\text{V}$ 。这个 V_{SD} 值大于 $V_{\text{SD}}(\text{sat})$,而由于开始时假设 MOS 晶体管偏置在非饱和区,所以 $V_{\text{SD}} = 2.93\text{V}$ 不是方程的有效解。

练习题 3.4 图 3.26(a)中 MOS 晶体管的参数为 $V_{\text{TP}} = -0.6\text{V}$, $K_{\text{p}} = 0.2\text{mA}/\text{V}^2$ 。电路偏置在 $V_{\text{DD}} = 3.3\text{V}$ 。假设 $R_1 // R_2 = 300\text{k}\Omega$ 。设计电路,使得 $I_{\text{DQ}} = 0.5\text{mA}$, $V_{\text{SDQ}} = 2.0\text{V}$ 。

答案: $R_1 = 885\text{k}\Omega$, $R_2 = 454\text{k}\Omega$, $R_{\text{D}} = 2.6\text{k}\Omega$ 。

计算机分析题 3.1 通过 PSpice 分析,验证例题 3.4 的结果。

如例题 3.4 所示,开始时可能不知道 MOS 晶体管偏置在饱和区还是非饱和区。求解方法是首先根据经验作一假设,然后再验证假设。如果假设被证明不成立,则必须改变假设,并重新分析电路。在包含 MOSFET 的线性放大电路中,晶体管一般偏置在饱和区。

例题 3.5 设计一个 MOSFET 电路,使其在正负电源下工作,并满足一组设计指标。

(1) 设计指标:待设计的电路结构如图 3.27 所示。设计电路,使得 $I_{\text{DQ}} = 0.5\text{mA}$, $V_{\text{SDQ}} = 4\text{V}$ 。

(2) 器件选型: 在最终的设计中使用标准电阻。可提供
一个参数为 $k'_n = 80 \mu\text{A}/\text{V}^2$, $(W/L) = 6.25$ 和 $V_{\text{TN}} = 1.2\text{V}$ 的
晶体管。

解: 假设晶体管偏置在饱和区, 则有

$$I_{\text{DQ}} = K_n (V_{\text{GS}} - V_{\text{TN}})^2$$

传导参数为

$$K_n = \frac{k'_n}{2} \cdot \frac{W}{L} = \frac{0.080}{2} \times 6.25 = 0.25 \text{mA}/\text{V}^2$$

求解栅-源电压, 可以发现, 为了产生指标中的漏极电流,
所需的栅-源电压为

$$V_{\text{GS}} = \sqrt{\frac{I_{\text{DQ}}}{K_n}} + V_{\text{TN}} = \sqrt{\frac{0.5}{0.25}} + 1.2$$

即

$$V_{\text{GS}} = 2.614\text{V}$$

因为栅极电流为零, 所以栅极处于地电位。则源极电压为 $V_{\text{S}} = -V_{\text{GS}} = -2.614\text{V}$ 。源
极电阻的值可由下式求得:

$$R_{\text{S}} = \frac{V_{\text{S}} - V^-}{I_{\text{DQ}}} = \frac{-2.614 - (-5)}{0.5}$$

即

$$R_{\text{S}} = 4.77\text{k}\Omega$$

漏极电压可以确定为

$$V_{\text{D}} = V_{\text{S}} + V_{\text{DS}} = -2.614 + 4 = 1.386\text{V}$$

漏极电阻的值为

$$R_{\text{D}} = \frac{V^+ - V_{\text{D}}}{I_{\text{DQ}}} = \frac{5 - 1.386}{0.5}$$

即

$$R_{\text{D}} = 7.23\text{k}\Omega$$

可以注意到

$$V_{\text{DS}} = 4\text{V} > V_{\text{DS}}(\text{sat}) = V_{\text{GS}} - V_{\text{TN}} = 2.61 - 1.2 = 1.41\text{V}$$

这意味着晶体管确实偏置在饱和区。

折中考虑: 最接近的标准电阻值为 $R_{\text{S}} = 4.7\text{k}\Omega$, $R_{\text{D}} = 7.5\text{k}\Omega$ 。

可以由下式求得栅-源电压

$$V_{\text{GS}} + I_{\text{D}} R_{\text{S}} - 5 = 0$$

其中

$$I_{\text{D}} = K_n (V_{\text{GS}} - V_{\text{TN}})^2$$

利用标准电阻值, 可以 $V_{\text{GS}} = 2.622\text{V}$, $I_{\text{DQ}} = 0.506\text{mA}$, $V_{\text{DSQ}} = 3.83\text{V}$ 。在这个例子中,
漏极电流在设计指标的 1.2% 误差范围内, 漏-源电压在设计指标的 4.25% 误差范围内。

点评: 记住流入栅极的电流为零这一点非常重要, 既然这样, 电阻 R_{G} 上的压降就为零。

设计指南: 在一个使用分立元件的实际电路设计中, 需要选择和设计值最接近的标准

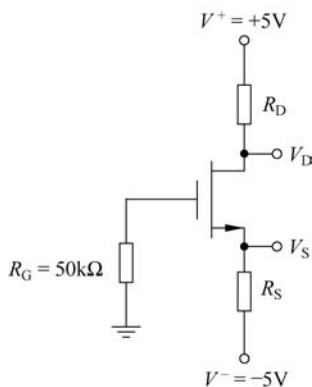


图 3.27 例题 3.5 的电路

电阻值。同时,还需要考虑分立电阻的容差。在最终的设计中,实际的漏极电流、漏-源电压和设计指标之间有偏差。不过和设计指标之间的这个细微偏差在很多应用中都不是问题。

练习题 3.5 图 3.28 中晶体管的标称参数为 $V_{TN}=0.6\text{V}$ 和 $K_n=0.5\text{mA/V}^2$ 。①求解静态值 V_{GSQ} 、 I_{DQ} 和 V_{DSQ} 。②若 V_{TN} 和 K_n 的值变化 $\pm 5\%$, 求解 I_D 和 V_{DS} 的范围。

答案: ① $V_{GSQ}=1.667\text{V}$, $I_{DQ}=0.5689\text{mA}$, $V_{DSQ}=2.724\text{V}$; ② $0.5105 \leq I_D \leq 0.6314\text{mA}$, $2.474 \leq V_{DS} \leq 2.958\text{V}$ 。

下面考虑一个偏置在正负电压下的 P 沟道器件的例子。

例题 3.6 设计一个 P 沟道 MOSFET 电路, 正负电源供电, 带有一个源极电阻 R_S , 满足一组设计指标。

(1) 设计指标: 待设计的电路结构如图 3.29 所示。设计电路, 使得 $I_{DQ}=100\mu\text{A}$ 、 $V_{SDQ}=3\text{V}$ 和 $V_{RS}=0.8\text{V}$ 。注意, V_{RS} 是电阻 R_S 上的压降。较大的偏置电阻取值为 $200\text{k}\Omega$, 它可能是 R_1 或 R_2 。

(2) 器件选型: 可提供参数为 $K_p=100\mu\text{A/V}^2$ 和 $V_{TP}=-0.4\text{V}$ 的晶体管。传导参数可能变化 $\pm 5\%$ 。

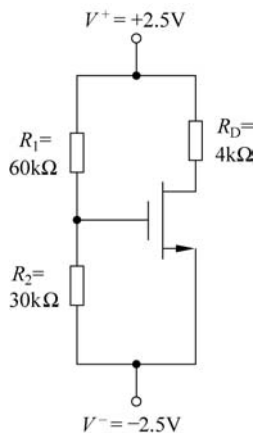


图 3.28 练习题 3.5 的电路

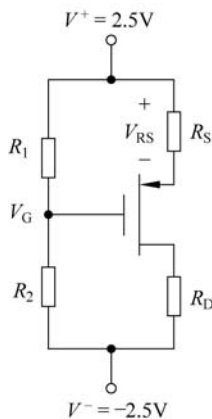


图 3.29 例题 3.6 的电路

解: 假设晶体管偏置在饱和区, 则有

$$I_{DQ} = K_p (V_{SG} + V_{TP})^2$$

求解源-栅电压, 得到所需的源-栅电压的值为

$$V_{SG} = \sqrt{\frac{I_{DQ}}{K_p}} - V_{TP} = \sqrt{\frac{100}{100}} - (-0.4)$$

即

$$V_{SG} = 1.4\text{V}$$

可以注意到 V_{SDQ} 的设计值为

$$V_{SDQ} = 3\text{V} > V_{SDQ}(\text{sat}) = V_{SGQ} + V_{TP} = 1.4 - 0.4 = 1\text{V}$$

因此晶体管将偏置在饱和区。栅极对地的电位为

$$V_G = V^+ - V_{RS} - V_{SG} = 2.5 - 0.8 - 1.4 = 0.3\text{V}$$

因为 $V_G > 0$, 电阻 R_2 将是两个偏置电阻中的较大者, 于是令 $R_2 = 200\text{k}\Omega$ 。那么流过 R_2 的电流为

$$I_{\text{Bias}} = \frac{V_G - V^-}{R_2} = \frac{0.3 - (-2.5)}{200} = 0.014\text{mA}$$

因为 R_1 中流过的电流与此相同, 由此可以求得 R_1 的值为

$$R_1 = \frac{V^+ - V_G}{I_{\text{Bias}}} = \frac{2.5 - 0.3}{0.014}$$

得出

$$R_1 = 157\text{k}\Omega$$

源极电阻的值可由下式得出

$$R_S = \frac{V_{\text{RS}}}{I_{\text{DQ}}} = \frac{0.8}{0.1}$$

即

$$R_S = 8\text{k}\Omega$$

漏极的电压为

$$V_D = V^+ - V_{\text{RS}} - V_{\text{SD}} = 2.5 - 0.8 - 3 = -1.3\text{V}$$

则漏极的电阻为

$$R_D = \frac{V_D - V^-}{I_{\text{DQ}}} = \frac{-1.3 - (-2.5)}{0.1}$$

即 $R_D = 12\text{k}\Omega$ 。

折中考虑: 如果传导参数 K_p 在 $\pm 5\%$ 的范围内变化, 静态漏极电流 I_{DQ} 和源-漏电压 V_{SDQ} 将发生变化。利用前面的设计中求解的电阻值, 可以发现如下结果

K_p	V_{SGQ}	I_{DQ}	V_{SDQ}
$95\mu\text{A}/\text{V}^2$	1.416V	$98.0\mu\text{A}$	3.04V
$105\mu\text{A}/\text{V}^2$	1.385V	$101.9\mu\text{A}$	2.962V
$\pm 5\%$	$\pm 1.14\%$	$\pm 2\%$	$\pm 1.33\%$

点评: 可以发现, Q 点值的偏移小于 K_p 的变化。在设计中引入 R_S , 可以稳定 Q 点。

练习题 3.6 观察图 3.30 所示电路。晶体管的标称参数为 $V_{\text{TP}} = -0.30\text{V}$ 和 $K_p = 120\mu\text{A}/\text{V}^2$ 。① 计算 V_{SG} 、 I_D 和 V_{SD} 。② 如果开启电压变化 $\pm 5\%$, 求解 I_D 的变化。

答案: ① $V_{\text{SG}} = 1.631\text{V}$, $I_D = 0.2126\text{mA}$, $V_{\text{SD}} = 3.295\text{V}$;
② $0.2091 \leq I_D \leq 0.2160\text{mA}$ 。

计算机分析题 3.2 利用 PSpice 仿真, 验证设计例题 3.6 中的电路设计。同时研究当电阻值在 $\pm 10\%$ 的范围内变化时, Q 点值的变化情况。

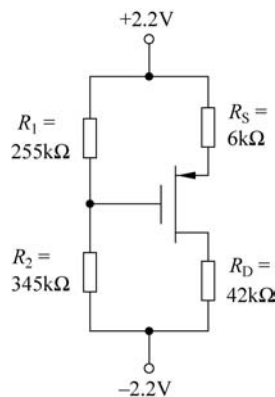


图 3.30 练习题 3.6 的电路

3.2.2 负载线和工作模式

负载线有助于将 MOSFET 偏置在哪个工作区可视化。再次观察图 3.25(b) 所示的共源电路。写出漏-源回路的基尔霍夫电压方程, 得到式(3.14), 这就是负载线方程, 它给出漏极电流和漏-源电压之间的线性关系。

图 3.31 给出例题 3.3 晶体管的 $v_{DS}(\text{sat})$ 特性。负载线由下式给出

$$V_{DS} = V_{DD} - I_D R_D = 5 - I_D (20) \quad (3.20a)$$

即

$$I_D = \frac{5}{20} - \frac{V_{DS}}{20} \text{ mA} \quad (3.20b)$$

也在图中画出了负载线。负载线的两个端点由常规的方法确定：如果 $I_D = 0$ ，则 $V_{DS} = 5\text{V}$ ；如果 $V_{DS} = 0$ ，则 $I_D = 5/20 = 0.25\text{mA}$ 。如图所示，晶体管的 Q 点由直流漏极电流和漏-源电压给出，它总是在负载线上。图中还画出了几条晶体管的特性曲线。

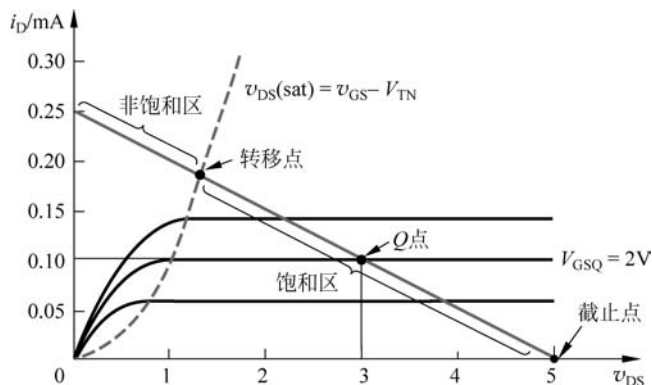


图 3.31 图 3.25(b)所示 NMOS 共源电路的晶体管特性、 $v_{DS}(\text{sat})$ 曲线、负载线和 Q 点

如果栅-源电压小于 V_{TN} ，则漏极电流为零，晶体管截止。当栅-源电压刚好大于 V_{TN} 时，晶体管导通，并且偏置在饱和区。随着 V_{GS} 的增加， Q 点沿着负载线上移。转移点是饱和区和非饱和区的分界点，它被定义为电压 $V_{DS} = V_{DS}(\text{sat}) = V_{GS} - V_{TN}$ 的点。随着 V_{GS} 增大到转移点以上，晶体管偏置在非饱和区。

例题 3.7 确定共源电路的转移点参数。观察图 3.25(b)所示的电路，假设晶体管的参数为 $V_{TN} = 1\text{V}$ 和 $K_n = 0.1\text{mA/V}^2$ 。

解：在转移点

$$V_{DS} = V_{DS}(\text{sat}) = V_{GS} - V_{TN} = V_{DD} - I_D R_D$$

漏极电流仍为

$$I_D = K_n (V_{GS} - V_{TN})^2$$

联合求解以上两个方程，可得

$$V_{GS} - V_{TN} = V_{DD} - K_n R_D (V_{GS} - V_{TN})^2$$

重新整理这个方程得到

$$K_n R_D (V_{GS} - V_{TN})^2 + (V_{GS} - V_{TN}) - V_{DD} = 0$$

即

$$(0.1)(20)(V_{GS} - V_{TN})^2 + (V_{GS} - V_{TN}) - 5 = 0$$

求解这个二次方程得到

$$V_{GS} - V_{TN} = 1.35\text{V} = V_{DS}$$

因此

$$V_{GS} = 2.35\text{V}$$

和

$$I_D = 0.1 \times (2.35 - 1)^2 = 0.182\text{mA}$$

点评：当 $V_{GS} < 2.35\text{V}$ 时,晶体管偏置在饱和区;当 $V_{GS} > 2.35\text{V}$ 时,晶体管偏置在非饱和区。

练习题 3.7 观察图 3.30 中的电路。使用练习题 3.6 所描述的晶体管标称参数,画出负载线并求解转移点的参数。

答案： $V_{SG} = 2.272\text{V}, I_D = 0.4668\text{mA}, V_{SD} = 1.972\text{V}$ 。

解题技巧：MOSFET 直流分析。

分析 MOSFET 电路的直流响应,需要知道偏置情况(饱和区还是非饱和区)。在某些情况下,偏置情况可能不明显,这意味着不得不先猜测偏置状态,然后通过分析电路来确定求解结果是否和开始的猜测一致。为此,可以:

(1) 假设晶体管偏置在饱和区,这时有 $V_{GS} > V_{TN}, I_D > 0$, 并且 $V_{DS} > V_{DS}(\text{sat})$ 。

(2) 用饱和区的电流-电压关系分析电路。

(3) 评估所得结果中晶体管的偏置状态。如果在第(1)步中假设的参数值是有效的,则说明一开始的假设是正确的;如果 $V_{GS} < V_{TN}$, 则晶体管很可能截止;而如果 $V_{DS} < V_{DS}(\text{sat})$, 则晶体管很有可能偏置在非饱和区。

(4) 如果开始的假设被证明是不正确的,那么需要做一个新的假设,并重新分析电路,然后重复第(3)步。

3.2.3 其他 MOSFET 电路结构: 直流分析

除了刚刚考虑的采用四电阻结构偏置的基本共源电路之外,还有其他 MOSFET 电路结构,本节将讨论其中的几个例子。而集成 MOSFET 放大电路一般用恒流源偏置。例题 3.8 给出使用理想恒流源的方法。

例题 3.8 设计一个使用恒流源偏置的 MOSFET 电路,使之满足一组指标要求。

(1) 设计指标: 待设计的电路结构如图 3.32(a)所示。设计电路,使得静态工作点的值为 $I_{DQ} = 250\mu\text{A}$ 和 $V_D = 2.5\text{V}$ 。

(2) 器件选型: 可提供一个标称参数为 $V_{TN} = 0.8\text{V}, k'_n = 80\mu\text{A}/\text{V}^2, W/L = 3$ 的晶体管。假设 k'_n 的变化范围为 $\pm 5\%$ 。

解：直流等效电路如图 3.32(b)所示。由于 $v_i = 0$, 栅极处于地电位, R_G 中没有电流流过。

已知 $I_D = I_{DQ} = 250\mu\text{A}$ 。假设晶体管偏置在饱和区,则有

$$I_D = \frac{k'_n}{2} \cdot \frac{W}{L} (V_{GS} - V_{TN})^2$$

或

$$250 = \left(\frac{80}{2}\right) \cdot (3) (V_{GS} - 0.8)^2$$

得出

$$V_{GS} = 2.24\text{V}$$

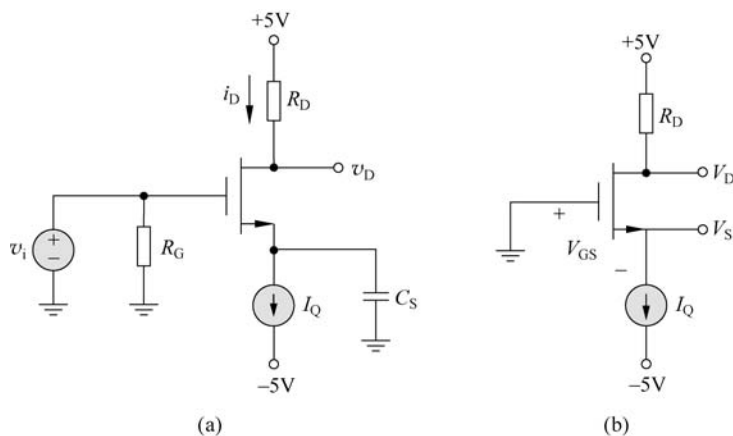


图 3.32 (a) 恒流源偏置的 NMOS 共源电路; (b) 直流等效电路

源极的电压为

$$V_S = -V_{GS} = -2.24\text{V}$$

漏极电流也可以写为

$$I_D = \frac{5 - V_D}{R_D}$$

对于 $V_D = 2.5\text{V}$, 有

$$R_D = \frac{5 - 2.5}{0.25} = 10\text{k}\Omega$$

漏-源电压为

$$V_{DS} = V_D - V_S = 2.5 - (-2.24) = 4.74\text{V}$$

由于 $V_{DS} = 4.74\text{V} > V_{DS}(\text{sat}) = V_{DS} - V_{TN} = 2.24 - 0.8 = 1.44\text{V}$, 晶体管偏置在饱和区, 和最初的假设一致。

折中考虑: 注意, 即使 k'_n 变化, 漏极电流也保持不变。对于 $76 \leq k'_n \leq 84 \mu\text{A}/\text{V}^2$, V_{GSQ} 的变化为 $2.209\text{V} \leq V_{GSQ} \leq 2.281\text{V}$, V_{DSQ} 的变化为 $4.709\text{V} \leq V_{DSQ} \leq 4.781\text{V}$ 。当 k'_n 变化 $\pm 5\%$ 时, V_{DSQ} 的变化只有 $\pm 0.87\%$ 。

点评: MOSFET 电路可以用恒流源偏置, 将会看到, 该恒流源由其他 MOS 电路组成。利用电流源偏置, 可以在器件或电路参数变化时保持电路的稳定。

练习题 3.8 ①观察图 3.33 所示电路。晶体管的参数为 $V_{TP} = -0.40\text{V}$, $K_p = 30 \mu\text{A}/\text{V}^2$ 。设计电路, 使得 $I_{DQ} = 60 \mu\text{A}$ 和 $V_{SDQ} = 2.5\text{V}$ 。②当 V_{TP} 和 K_p 参数变化 $\pm 5\%$ 时, 求解静态工作点值的变化情况。

答案: ① $R_S = 19.77\text{k}\Omega$, $R_D = 38.57\text{k}\Omega$; ② $58.2 \mu\text{A} \leq I_{DQ} \leq 61.08 \mu\text{A}$, $2.437\text{V} \leq V_{SDQ} \leq 2.605\text{V}$ 。

1. N 沟道增强型负载器件

一个增强型 MOSFET, 如果按图 3.34 所示的电路结构进行连接, 可以用作一个非线性电阻。因为这里的晶体管是增强型器件, $V_{TN} > 0$, 这种连接方式的晶体管称为增强型负载

器件。同样,在这个电路中, $v_{DS}=v_{GS}>v_{DS}(\text{sat})=v_{GS}-V_{TN}$,这意味着晶体管总是偏置在饱和区。于是 i_D-v_{DS} 特性可以写为

$$i_D = K_n (v_{GS} - V_{TN})^2 = K_n (v_{DS} - V_{TN})^2 \quad (3.21)$$

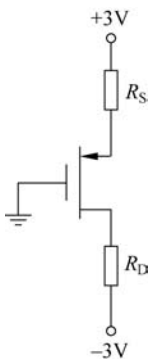


图 3.33 练习题 3.8 的电路

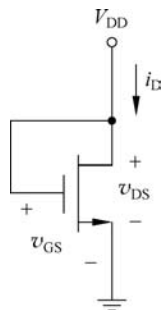


图 3.34 栅极和漏极相连的增强型 NMOS 器件

图 3.35 所示为式(3.21)在 $K_n=1\text{mA/V}^2$ 和 $V_{TN}=1\text{V}$ 时的曲线。

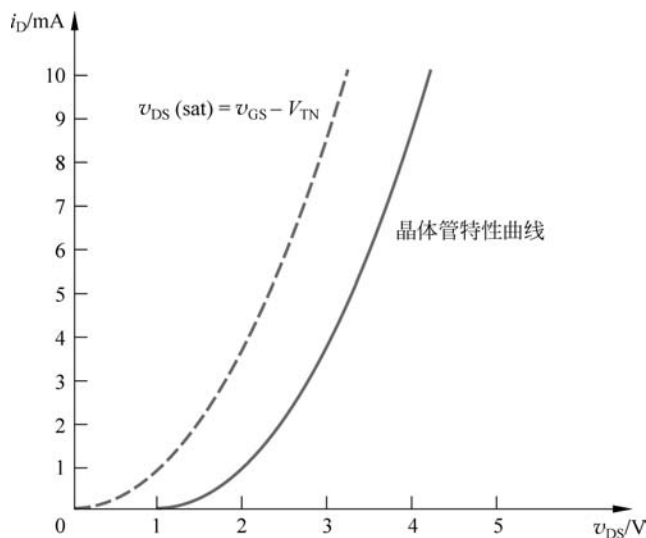


图 3.35 增强型负载器件的电流-电压特性曲线

一个增强型负载器件,如果按图 3.36 所示的电路结构和另一个 MOSFET 进行连接,这个电路可以用作放大电路或数字逻辑电路中的反相器。 M_L 为负载器件,一直偏置在饱和区。而晶体管 M_D 称为驱动晶体管,根据输入电压的不同,它可以偏置在饱和区或非饱和区。下一个例子将研究这个电路在 M_D 栅极加直流输入电压时的直流分析。

例题 3.9 求解包含增强型负载器件的晶体管直流电流和电压。图 3.36 所示电路中的晶体管参数为 $V_{TND}=V_{TNL}=1\text{V}$, $K_{nD}=50\mu\text{A/V}^2$, $K_{nL}=10\mu\text{A/V}^2$ 。同时假设 $\lambda_{nD}=\lambda_{nL}=0$ (下标 D 指驱动晶体管,下标 L 指负载晶体管)。分别求解 $V_1=5\text{V}$ 和 $V_1=1.5\text{V}$ 时的 V_O 。

解: ($V_1=5\text{V}$) 对于带电阻负载的反相器电路,当输入电压大时,输出电压将下降到一个很小的值。于是,由于漏-源电压很小,假设驱动晶体管偏置在非饱和区。负载器件中的

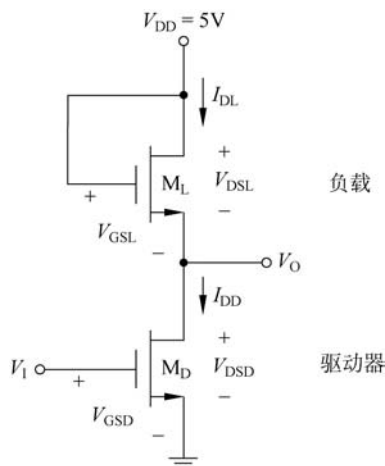


图 3.36 例题 3.9 电路包含增强型负载器件和 NMOS 驱动器的电路

漏极电流和驱动晶体管中的漏极电流相等。把这两个电流用一般形式表示为

$$I_{DD} = I_{DL}$$

即

$$K_{nD}[2(V_{GSD} - V_{TND})V_{DSD} - V_{DSD}^2] = K_{nL}[V_{GSL} - V_{TNL}]^2$$

由于

$$V_{GSD} = V_I, \quad V_{DSD} = V_O, \quad V_{GSL} = V_{DSL} = V_{DD} - V_O$$

于是得到

$$K_{nD}[2(V_I - V_{TND})V_O - V_O^2] = K_{nL}[V_{DD} - V_O - V_{TNL}]^2$$

代入数值,得到

$$(50)[2(5 - 1)V_O - V_O^2] = (10)[5 - V_O - 1]^2$$

重新整理各项,得到

$$3V_O^2 - 24V_O + 8 = 0$$

利用二次方程求解公式,得到两个可能的解为

$$V_O = 7.65\text{V} \text{ 和 } V_O = 0.349\text{V}$$

由于输出电压不可能大于电源电压 $V_{DD} = 5\text{V}$, 所以有效的解应为 $V_O = 0.349\text{V}$ 。同时, 由于 $V_{DSD} = V_O = 0.349\text{V} < V_{GSD} - V_{TND} = 5 - 1 = 4\text{V}$, 驱动晶体管 M_D 偏置在非饱和区, 与开始时的假设一致。电流可由下式得到

$$I_D = K_{nL}(V_{GSL} - V_{TNL})^2 = K_{nL}(V_{DD} - V_O - V_{TNL})^2$$

即

$$I_D = (10)(5 - 0.349 - 1)^2 = 133\mu\text{A}$$

解: ($V_I = 1.5\text{V}$) 由于驱动晶体管的开启电压 $V_{TN} = 1\text{V}$, 1.5V 的输入电压意味着晶体管的电流将相对较小, 所以输出电压相对较大。由于这个原因, 假设驱动晶体管 M_D 偏置在饱和区。两个晶体管中的电流相等, 写成一般形式为

$$I_{DD} = I_{DL}$$

即

$$K_{nD} [V_{GSD} - V_{TND}]^2 = K_{nL} [V_{GSL} - V_{TNL}]^2$$

同样,因为 $V_{GSD} = V_I$, $V_{DSD} = V_O$, $V_{GSL} = V_{DSL} = V_{DD} - V_O$
于是得到

$$K_{nD} [V_I - V_{TND}]^2 = K_{nL} [V_{DD} - V_O - V_{TNL}]^2$$

代入数值,取平方根,可得

$$\sqrt{50} [1.5 - 1] = \sqrt{10} [5 - V_O - 1]$$

于是得到 $V_O = 2.88V$ 。

因为 $V_{DSD} = V_O = 2.88V > V_{GSD} - V_{TND} = 1.5 - 1 = 0.5V$, 所以驱动晶体管 M_D 偏置在饱和区,与开始时的假设一致。

电流为

$$I_D = K_{nD} (V_{GSD} - V_{TND})^2 = 50 \times (1.5 - 1)^2 = 12.5 \mu A$$

在这个例子中,对驱动晶体管偏置在饱和区还是非饱和区做了初始假设。这个例子后面将给出更加详细解析的方法。

对于图 3.36 所示带增强型负载的 NMOS 反相器电路,通过 PSpice 分析可以得到电压传输特性,结果如图 3.37 所示。当输入电压从高电平减小时,输出电压增加,对晶体管中的电容充放电。当驱动晶体管截止时,电路中的电流为 0。这发生在 $V_I = V_{GSD} = V_{TN} = 1V$ 时。在这一点,输出电压为 $V_O = 4V$ 。由于没有电流,电容停止充放电,所以输出电压不能完全达到 $V_{DD} = 5V$ 。最大输出电压为 $V_O(\max) = V_{DD} - V_{TNL} = 5 - 1 = 4V$ 。

当输入电压刚好大于 $1V$ 时,如前面对 $V_I = 1.5V$ 时的分析,两个晶体管都偏置在饱和区。在式(3.24)中将会看到,输出电压是输入电压的线性函数。

当输入电压差不多大于 $2.25V$ 时,驱动晶体管偏置在非饱和区,输出电压是输入电压的非线性函数。

练习题 3.9 观察图 3.36 所示的 NMOS 反相器电路,其中晶体管的参数与例题 3.9 中所描述的相同。当输入电压 V_I 分别为 $4V$ 和 $2V$ 时,求解输出电压 V_O 。

答案: ① $0.454V$; ② $1.76V$ 。

计算机分析题 3.3 观察图 3.36 所示的 NMOS 电路,利用 PSpice 仿真,画出电压传输特性曲线。使用与例题 3.9 所描述相同的晶体管参数。当 $V_I = 1.5V$ 和 $V_I = 5V$ 时,输出电压 V_O 为多少?

在图 3.36 所示的电路中,可以确定驱动晶体管区分饱和区和非饱和区的转移点。转移点由下式给出

$$V_{DSD}(\text{sat}) = V_{GSD} - V_{TND} \quad (3.22)$$

同样,两个晶体管中的漏极电流相等。对驱动晶体管应用饱和漏极电流的关系,有

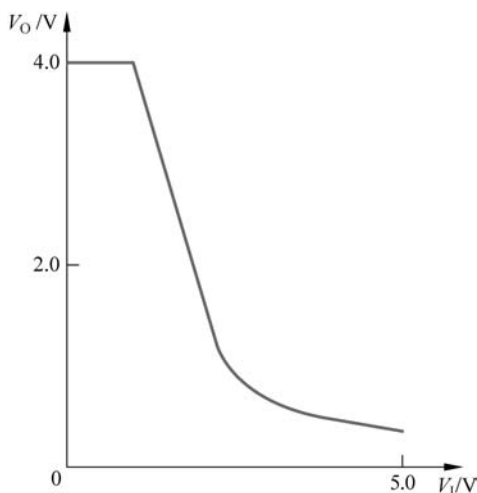


图 3.37 带增强型负载器件的 NMOS 反相器的电压传输特性

$$I_{DD} = I_{DL} \quad (3.23a)$$

即

$$K_{nD}[V_{GSD} - V_{TND}]^2 = K_{nL}[V_{GSL} - V_{TNL}]^2 \quad (3.23b)$$

同样,注意到

$$V_{GSD} = V_I$$

$$V_{GSL} = V_{DSL} = V_{DD} - V_O$$

取平方根,得到

$$\sqrt{\frac{K_{nD}}{K_{nL}}}(V_I - V_{TND}) = (V_{DD} - V_O - V_{TNL}) \quad (3.24)$$

在转移点,定义输入电压为 $V_I = V_{It}$, 输出电压为 $V_{Ot} = V_{DSD}(\text{sat}) = V_{It} - V_{TND}$ 。于是,由式(3.24)可得,转移点的输入电压为

$$V_{It} = \frac{V_{DD} - V_{TNL} + V_{TND}(1 + \sqrt{K_{nD}/K_{nL}})}{1 + \sqrt{K_{nD}/K_{nL}}} \quad (3.25)$$

如果将式(3.25)应用到前面的例题中,则可以看出开始的假设是正确的。

2. N 沟道耗尽型负载器件

N 沟道耗尽型 MOSFET 也可以用作负载器件。观察图 3.38(a)中栅极和源极连接在一起的耗尽型 MOSFET,其电流-电压特性如图 3.38(b)所示。晶体管可能偏置在饱和区或者非饱和区。图中标出了转移点。N 沟道耗尽型 MOSFET 的开启电压为负,所以 $v_{DS}(\text{sat})$ 为正。

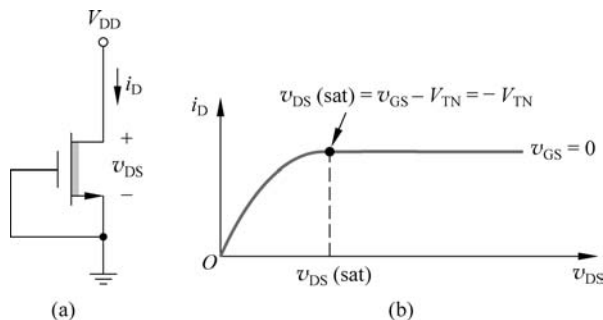


图 3.38 (a) 栅极和源极相连的耗尽型 NMOS 器件; (b) 电流-电压特性

如图 3.39 所示,一个耗尽型负载器件可以和另一个 MOSFET 连接使用,构成一个用作放大电路或数字逻辑电路中的反相器的电路。负载器件 M_L 和驱动晶体管 M_D 都可能偏置在饱和区或非饱和区,这取决于输入电压的值。将对驱动晶体管栅极加了特定输入直流电压的电路进行直流分析。

例题 3.10 求解带耗尽型负载器件的电路中晶体管的直流电流和电压。观察图 3.39 所示的电路,令 $V_{DD} = 5V$,并假设晶体管的参数为 $V_{TND} = 1V, V_{TNL} = -2V, K_{nD} = 50\mu A/V^2$ 和 $K_{nL} = 10\mu A/V^2$ 。当 $V_I = 5V$ 时,求解 V_O 。

解: 假设驱动晶体管 M_D 偏置在非饱和区,负载晶体管 M_L 偏置在饱和区。两个晶体管中的漏极电流相等,用一般形式表示为

$$I_{DD} = I_{DL}$$

即

$$K_{nD}[2(V_{GSD} - V_{TND})V_{DSD} - V_{DSD}^2] = K_{nL}[V_{GSL} - V_{TNL}]^2$$

因为

$$V_{GSD} = V_L, \quad V_{DSD} = V_O, \quad V_{GSL} = 0$$

于是有

$$K_{nD}[2(V_I - V_{TND})V_O - V_O^2] = K_{nL}[-V_{TNL}]^2$$

代入数值,得到

$$50 \times [2(5 - 1)V_O - V_O^2] = 10 \times [-(-2)]^2$$

重新整理各项,得到

$$5V_O^2 - 40V_O + 4 = 0$$

利用二次方程式,得到两个可能的解为

$$V_O = 7.90\text{V}, \quad V_O = 0.10\text{V}$$

由于输出电压不可能大于电源电压 $V_{DD} = 5\text{V}$, 所以有效的解应为 $V_O = 0.10\text{V}$ 。

电流为

$$I_D = K_{nL}(-V_{TNL})^2 = 10 \times [-(-2)]^2 = 40\mu\text{A}$$

点评: 由于 $V_{DSD} = V_O = 0.10\text{V} < V_{GSD} - V_{TND} = 5 - 1 = 4\text{V}$, 驱动晶体管 M_D 偏置在非饱和区, 与开始时的假设一致。同样, 由于 $V_{DSL} = V_{DD} - V_O = 4.9\text{V} > V_{GSL} - V_{TNL} = 0 - (-2) = 2\text{V}$, 负载晶体管 M_L 偏置在饱和区, 与开始时的假设一致。

对于图 3.39 所示带耗尽型负载的 NMOS 反相器电路, 通过 PSpice 分析可以得到电压传输特性, 结果如图 3.40 所示。当输入电压小于 1V 时, 驱动器截止, 输出电压 $V_O = V_{DD} = 5\text{V}$ 。

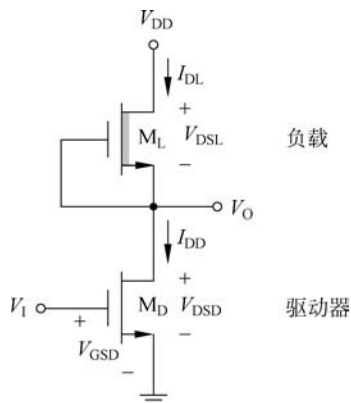


图 3.39 带耗尽型负载器件和 NMOS 驱动器的电路

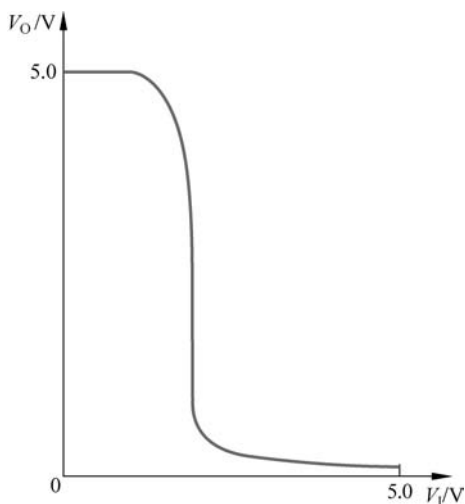


图 3.40 带耗尽型负载器件的 NMOS 反相器的电压传输特性

当输入电压刚好大于 1V 时, 驱动晶体管偏置在饱和区, 负载器件偏置在非饱和区。当输入电压约为 1.9V 时, 两个晶体管都偏置在饱和区。在这个例子中, 如果假设沟道长度调制参数 λ 为 0, 那么在这个过渡区中输入电压将保持不变。当输入电压大于 1.9V 时, 驱动

晶体管将偏置在非饱和区,而负载晶体管则偏置在饱和区。

练习题 3.10 图 3.39 所示电路中的晶体管参数为 $V_{\text{TND}} = 1\text{V}$, $V_{\text{TNL}} = -2\text{V}$ 。①设计 $K_{\text{nD}}/K_{\text{nL}}$ 比,使得当 $V_{\text{I}} = 5\text{V}$ 时,输出电压 $V_{\text{O}} = 0.25\text{V}$ 。②如果 $V_{\text{I}} = 5\text{V}$ 时的晶体管电流为 0.2mA ,求解 K_{nD} 和 K_{nL} 。

答案: ① $K_{\text{nD}}/K_{\text{nL}} = 2.06$; ② $K_{\text{nD}} = 50\mu\text{A}/\text{V}^2$, $K_{\text{nL}} = 103\mu\text{A}/\text{V}^2$ 。

计算机分析题 3.4 观察图 3.39 所示的 NMOS 电路,利用 PSpice 仿真,画出电压传输特性。使用和例题 3.13 相同的晶体管参数。当 $V_{\text{I}} = 1.5\text{V}$ 和 $V_{\text{I}} = 5\text{V}$ 时,输出电压 V_{O} 是多少?

3. P 沟道增强型负载器件

P 沟道增强型晶体管也可以用作负载器件,构成互补 MOS(CMOS)反相器。互补这个词隐含表示在同一个电路中同时使用 N 沟道和 P 沟道晶体管。CMOS 技术广泛应用于模拟和数字电子电路。

图 3.41 所示为 CMOS 反相器的一个例子。NMOS 晶体管用作放大器件或驱动器,PMOS 器件则用作负载,这里指有源负载。这种结构被典型地应用于模拟电路。在另外一种结构中,两个栅极连接在一起作为输入端,这种结构将在第 16 章中进行讨论。

和前面讨论过的两个 NMOS 反相器一样,图 3.41 所示电路中的两个晶体管也可能偏置在饱和区或非饱和区,具体在哪个区域,取决于输入电压的值。用 PSpice 仿真最容易得出电压传输特性曲线。

例题 3.11 利用 PSpice 分析,求解 CMOS 反相器的电压传输特性曲线。对于图 3.41 所示的电路,假设晶体管的参数为 $V_{\text{TN}} = 1\text{V}$, $V_{\text{TP}} = -1\text{V}$, $K_{\text{n}} = K_{\text{p}}$,同时假设 $V_{\text{DD}} = 5\text{V}$ 和 $V_{\text{G}} = 3.25\text{V}$ 。

解: 电压传输特性如图 3.42 所示。在这个例子中,和带耗尽型负载的 NMOS 反相器一样,存在着两个晶体管都偏置在饱和区的过渡区。如果假设沟道长度调制参数 λ 为零,则输入电压在这个过渡区内保持不变。

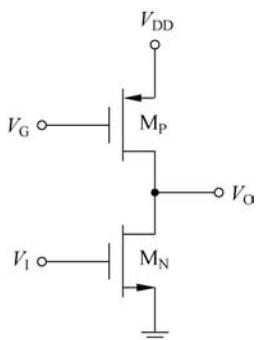


图 3.41 CMOS 反相器示例

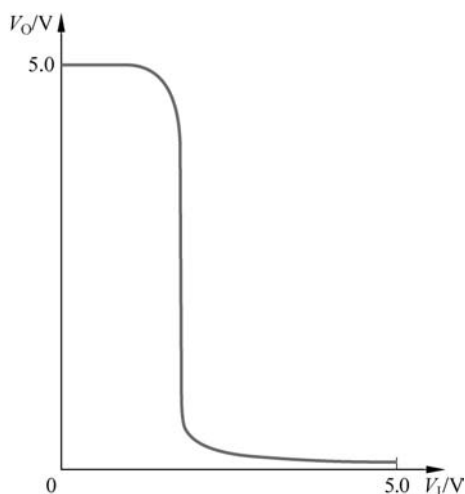


图 3.42 例题 3.11 图 CMOS 反相器的电压传输特性

在这个例子中,PMOS 器件的源-栅电压仅为 $V_{SG}=1.75\text{V}$,于是从 PMOS 器件的漏极看进去的有效电阻就相对较大。在下一章将会看到,这是放大电路比较理想的一个特性。

练习题 3.11 观察图 3.41 所示的电路。假设晶体管参数和电路参数与例题 3.11 中所给出的相同。求解晶体管 M_N 和 M_P 的转移点参数。

答案: 对于: $M_P, V_{Ot}=4.25\text{V}, V_{It}=1.75\text{V}$; 对于 $M_N, V_{Ot}=0.75\text{V}, V_{It}=1.75\text{V}$ 。

理解测试题 3.7 在图 3.25(a)所示的电路中,晶体管的参数为 $V_{TN}=0.25\text{V}, K_n=30\mu\text{A}/\text{V}^2$,电路偏置在 $V_{DD}=2.2\text{V}$ 。令 $R_1+R_2=500\text{k}\Omega$ 。重新设计电路,使得 $I_{DQ}=70\mu\text{A}$ 和 $V_{DSQ}=1.2\text{V}$ 。

答案: $R_1=96\text{k}\Omega, R_2=404\text{k}\Omega, R_D=14.3\text{k}\Omega$ 。

理解测试题 3.8 在图 3.43 所示的电路中,晶体管的参数为 $V_{TN}=0.4\text{V}, k'_n=100\mu\text{A}/\text{V}^2$ 。设计晶体管的宽长比,使得 $V_{DS}=1.6\text{V}$ 。

答案: 2.36。

理解测试题 3.9 图 3.36 所示的电路,采用例题 3.9 所给出的晶体管参数。①求解驱动晶体管在转移点处的 V_I 和 V_O 。②计算转移点处的晶体管电流。

答案: ① $V_{It}=2.236\text{V}, V_{Ot}=1.236\text{V}$; ② $I_D=76.4\mu\text{A}$ 。

理解测试题 3.10 观察图 3.44 所示的电路。晶体管的参数为 $V_{TN}=-1.2\text{V}, k'_n=80\mu\text{A}/\text{V}^2$ 。①设计晶体管的宽长比,使得 $V_{DS}=1.8\text{V}$ 。晶体管偏置在饱和区还是非饱和区? ②重复①,使得 $V_{DS}=0.8\text{V}$ 。

答案: ① 3.26; ② 6.10。

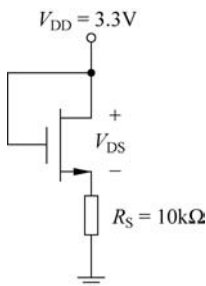


图 3.43 理解测试题 3.8 的电路

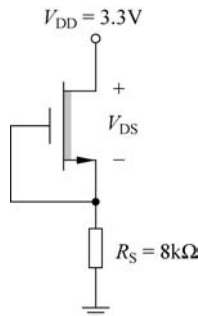


图 3.44 理解测试题 3.10 的电路

理解测试题 3.11 图 3.39 所示电路中,使用例题 3.10 中给出的晶体管参数。①确定负载晶体管在转移点的 V_I 和 V_O 。②确定驱动晶体管在转移点的 V_I 和 V_O 。

答案: ① $V_{It}=1.89\text{V}, V_{Ot}=3\text{V}$; ② $V_{It}=1.89\text{V}, V_{Ot}=0.89\text{V}$ 。

3.3 MOSFET 的基本应用: 开关、数字逻辑门和放大电路

目标: 研究 MOSFET 电路的三种应用: 开关电路、数字逻辑电路和放大电路。

MOSFET 可以用来开关电流、电压和功率; 实现数字逻辑功能; 放大时变小信号。在本节,将研究一个 NMOS 晶体管的开关特性,分析一个简单的 NMOS 晶体管数字逻辑电

路,并讨论如何用 MOSFET 来放大小信号。

3.3.1 NMOS 反相器

MOSFET 可以在许多电子应用中用作开关。晶体管开关在速度和可靠性方面都优于机械开关。本节所要讨论的晶体管开关也称为反相器。

图 3.45 给出 N 沟道增强型 MOSFET 反相器电路。如果 $v_I < V_{TN}$, 则晶体管截止, $i_D = 0$ 。电阻 R_D 上没有压降, 输出电压 $v_O = V_{DD}$ 。同样, 因为 $i_D = 0$, 所以在晶体管上没有功率损耗。

如果 $v_I > V_{TN}$, 由于 $v_{DS} > v_{GS} - V_{TN}$, 晶体管导通。开始时它偏置在饱和区, 随着输入电压的增加, 漏-源电压下降, 晶体管最终偏置在非饱和区。当 $v_I = V_{DD}$ 时, 晶体管偏置在非饱和区, v_O 达到最小值, 漏极电流达到最大值。这里的电流和电压由下式给出:

$$i_D = K_n [2(v_I - V_{TN})v_O - v_O^2] \quad (3.26)$$

和

$$v_O = v_{DD} - i_D R_D \quad (3.27)$$

其中 $v_O = v_{DS}$, $v_I = v_{GS}$ 。

例题 3.12 设计功率 MOSFET 的尺寸, 使之满足特定开关应用的指标要求。图 3.45 所示反相器电路的负载是一个电磁线圈, 要求导通时的电流为 0.5A。有效负载电阻在 8~10 Ω 之间变化, 具体数值将取决于温度和其他变量。可提供 10V 的直流电源。晶体管的参数为 $k'_n = 80 \mu\text{A}/\text{V}^2$, $V_{TN} = 1\text{V}$ 。

解: 一种方案是将晶体管偏置在饱和区, 这样电流与负载电阻无关, 是一个恒定的值。

V_{DS} 的最小值为 5V。需要 $V_{DS} > V_{DS}(\text{sat}) = V_{GS} - V_{TN}$ 。如果将晶体管偏置在 $V_{GS} = 5\text{V}$, 则晶体管将一直偏置在饱和区。于是可以写出

$$I_D = \frac{k'_n}{2} \cdot \frac{W}{L} (V_{GS} - V_{TN})^2$$

即

$$0.5 = \frac{80 \times 10^{-6}}{2} \left(\frac{W}{L} \right) \cdot (5 - 1)^2$$

可以得出 $W/L = 781$ 。

当负载电阻为 8 Ω , $V_{DS} = 6\text{V}$ 时, 晶体管上消耗的功率最大, 为

$$P(\text{max}) = V_{DS}(\text{max}) \cdot I_D = 6 \times 0.5 = 3\text{W}$$

点评: 在没有向晶体管输入电流时, 就可以开关相对较大的漏极电流。当然这要求晶体管的尺寸相当大, 也就意味着需要一个功率晶体管。如果所提供的晶体管的宽长比和计算值稍微不同, 则可以通过改变 V_{GS} 的值来满足设计指标的要求。

练习题 3.12 对于图 3.45 所示的 MOS 反相器电路, 假设电路参数为 $V_{DD} = 5\text{V}$ 和 $R_D = 500\Omega$ 。晶体管的开启电压为 $V_{TN} = 1\text{V}$ 。求解传导参数 K_n 的值, 使得 $v_I = 5\text{V}$ 时的 $v_O = 0.2\text{V}$ 。晶体管的功率损耗是多少?

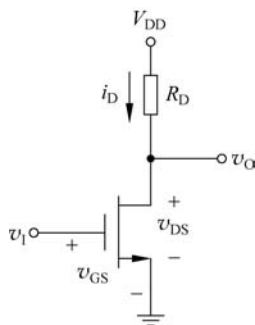


图 3.45 NMOS 反相器电路

答案: $K_n=6.15\text{mA/V}^2, P=1.92\text{mW}$ 。

3.3.2 数字逻辑门

对于图 3.45 所示的晶体管反相器电路,当输入为低电平并接近 0V 时,晶体管截止,输出为高电平且等于 V_{DD} 。当输入为高电平且等于 V_{DD} 时,晶体管偏置在非饱和区,输出为低电平。由于输入电压要么为高电平要么为低电平,可以在直流参数下分析电路。

现在考虑并联了第二只晶体管的情况,如图 3.46 所示。如果两个输入都为 0V ,则晶体管 M_1 和 M_2 都截止,输出 $V_O=5\text{V}$ 。当 $V_1=5\text{V}, V_2=0\text{V}$ 时,晶体管 M_1 导通, M_2 仍然截止。晶体管 M_1 偏置在非饱和区, V_O 达到低电平。如果将输入电压反过来,即 $V_1=0\text{V}, V_2=5\text{V}$,则 M_1 截止, M_2 偏置在非饱和区,同样, V_O 也为低电平。如果两个输入端都为高电平,即 $V_1=V_2=5\text{V}$,则两个晶体管都偏置在非饱和区, V_O 为低电平。

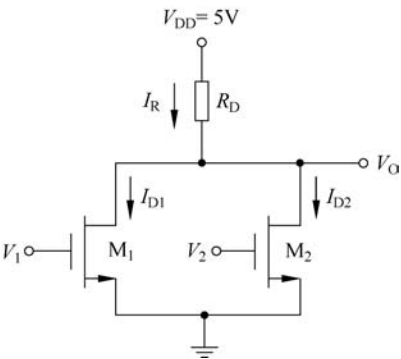


图 3.46 二输入 NMOS 或非逻辑门

表 3.2 给出图 3.46 所示电路的上述各种不同状态。在正逻辑系统中,这些结果表明,该电路实现的是或非逻辑功能,因而称为二输入或非逻辑电路。在实际的 NMOS 逻辑电路中,电阻 R_D 用另外一个 NMOS 晶体管代替。

表 3.2 NMOS 或非逻辑电路响应

V_1/V	V_2/V	V_O/V
0	0	高
5	0	低
0	5	低
5	5	低

例题 3.13 针对各种不同的输入情况,求解数字逻辑门电路的电流和电压。观察图 3.46 所示电路,电路和晶体管的参数为 $R_D=20\text{k}\Omega, K_n=0.1\text{mA/V}^2, V_{\text{TN}}=0.8\text{V}$ 和 $\lambda=0$ 。

解: 当 $V_1=V_2=0\text{V}$ 时, M_1 和 M_2 都截止,输出 $V_O=V_{\text{DD}}=5\text{V}$ 。当 $V_1=5\text{V}, V_2=0\text{V}$ 时,晶体管 M_1 偏置在非饱和区,可以写出

$$I_R = I_{\text{D1}} = \frac{5 - V_O}{R_D} = K_n[2(V_1 - V_{\text{TN}})V_O - V_O^2]$$

求解输出电压 V_O ,得到 $V_O=0.29\text{V}$ 。

电流为

$$I_R = I_{\text{D1}} = \frac{5 - 0.29}{20} = 0.236\text{mA}$$

当 $V_1=0\text{V}, V_2=5\text{V}$ 时,则有 $V_O=0.29\text{V}, I_R=I_{\text{D1}}=0.236\text{mA}$ 。

当两个输入都达到高电平,即 $V_1=V_2=5\text{V}$ 时,有 $I_R=I_{\text{D1}}+I_{\text{D2}}$,即

$$\frac{5 - V_O}{R_D} = K_n [2(V_1 - V_{TN})V_O - V_O^2] + K_n [2(V_2 - V_{TN})V_O - V_O^2]$$

求解得到 $V_O = 0.147\text{V}$ 。

电流为 $I_R = \frac{5 - 0.147}{20} = 0.243\text{mA}$ ，则

$$I_{D1} = I_{D2} = \frac{I_R}{2} = 0.121\text{mA}$$

当任一晶体管偏置在导通状态时，由于 $V_{DS} < V_{DS}(\text{sat})$ ，晶体管总是偏置在非饱和区，输出电压为低电平。

练习题 3.13 对于图 3.46 所示电路，假设电路和晶体管的参数为 $R_D = 30\text{k}\Omega$ ， $V_{TN} = 1\text{V}$ 和 $K_n = 50\mu\text{A}/\text{V}^2$ 。求解以下情况的 V_O 、 I_R 、 I_{D1} 和 I_{D2} ：① $V_1 = 5\text{V}$ ， $V_2 = 0$ ；② $V_1 = V_2 = 5\text{V}$ 。

答案：① $V_O = 0.40\text{V}$ ， $I_R = I_{D1} = 0.153\text{mA}$ ， $I_{D2} = 0$ ；② $V_O = 0.205\text{V}$ ， $I_R = 0.16\text{mA}$ ， $I_{D1} = I_{D2} = 0.080\text{mA}$ 。

以上例子及讨论表明，MOS 晶体管在电路中用来实现逻辑功能。

3.3.3 MOSFET 小信号放大电路

MOSFET 和其他的电路元件一起，可以放大时变小信号。图 3.47(a) 给出一个 MOSFET 小信号放大电路，它是一个共源电路，其中时变信号通过一个耦合电容耦合到栅极。图 3.47(b) 给出晶体管的特性曲线和负载线，其中负载线是 $v_i = 0$ 时的情况。

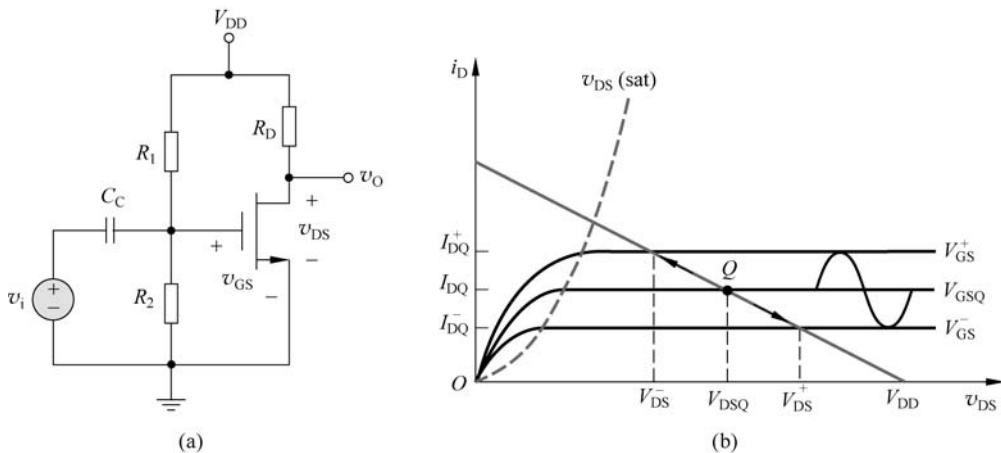


图 3.47 (a) 栅极耦合了时变小信号的 NMOS 共源电路；(b) 晶体管特性曲线、负载线以及叠加的正弦信号

通过设计偏置电阻 R_1 和 R_2 的比值，在负载线上设定一个特定的 Q 点。如果假设 $v_i = V_i \sin \omega t$ ，则栅-源电压将是在直流静态值上叠加一个正弦信号。因为栅-源电压随时间而变化，如图所示， Q 点将沿着负载线上下移动。

Q 点沿负载线的上下移动形成了漏极电流和漏-源电压的正弦变化。输出电压的变化会比输入电压的变化大，这就意味着输入信号被放大了。实际的信号增益取决于晶体管参数和电路元件的数值。

在下一章，将建立晶体管的一个等效电路，用它来确定时变小信号增益以及电路的其他

特性。

理解测试题 3.12 图 3.45 所示的电路偏置在 $V_{DD}=10\text{V}$, 晶体管的参数为 $V_{TN}=0.7\text{V}$ 和 $K_n=4\text{mA/V}^2$ 。设计 R_D 的值, 使得 $v_I=10\text{V}$ 时的输出电压 $v_O=0.20\text{V}$ 。

答案: $0.666\text{k}\Omega$ 。

理解测试题 3.13 图 3.48 所示电路中晶体管的参数为 $K_n=4\text{mA/V}^2$ 和 $V_{TN}=0.8\text{V}$, 它用作 LED 开关。LED 的开启电压为 $V_r=1.5\text{V}$ 。当输入电压 $v_I=5\text{V}$ 时 LED 导通。①求解电阻 R 的取值, 使得二极管电流为 12mA 。②根据①的结果, 求解 v_{DS} 。

答案: ① $R=261\Omega$; ② $v_{DS}=0.374\text{V}$ 。

理解测试题 3.14 在图 3.46 所示的电路中, 令 $R_D=25\text{k}\Omega$, $V_{TN}=1\text{V}$ 。①若要使 $V_1=0$, $V_2=5\text{V}$ 时的 $V_O=0.10\text{V}$, 求解传导参数 K_n 的值。②根据①的结果, 求解当 $V_1=V_2=5\text{V}$ 时的 V_O 。

答案: ① $K_n=0.248\text{mA/V}^2$; ② $V_O=0.0502\text{V}$ 。

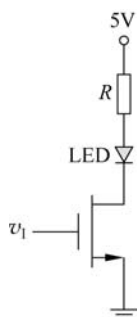


图 3.48 理解测试题 3.13 图

3.4 恒流源偏置

目标: 研究 MOSFET 器件的电流源偏置。

如图 3.32 所示, MOSFET 可以用一个恒流源 I_Q 来偏置。在这个电路中, 晶体管的栅-源电压将自行调节以适应恒流源 I_Q 。可以利用 MOSFET 器件来实现恒流源电路。图 3.49(a) 和(b)所示电路就是这个设计的第一步。图 3.49(a) 中的晶体管 M_2 和 M_3 构成一个镜像电流源, 它用来偏置 NMOS 晶体管 M_1 。同样, 图 3.49(b) 中的晶体管 M_B 和 M_C 也构成一个镜像电流源, 它用来偏置 PMOS 晶体管 M_A 。

下面的两个例子将阐述这些电路的工作原理和特性。

例题 3.14 分析图 3.49(a) 所示的电路, 求解偏置电流 I_{Q1} 、晶体管的栅-源电压以及 M_1 的漏-源电压。假设电路的参数为 $I_{REF1}=200\mu\text{A}$, $V^+=2.5\text{V}$, $V^-=-2.5\text{V}$ 。假设晶体管的参数为 $V_{TN}=0.4\text{V}$ (所有晶体管), $\lambda=0$ (所有晶体管), $K_{n1}=0.25\text{mA/V}^2$, $K_{n2}=K_{n3}=0.15\text{mA/V}^2$ 。

解: M_3 的漏极电流为 $I_{D3}=I_{REF1}=200\mu\text{A}$, 它由以下关系式给出:

$$I_{D3}=K_{n3}(V_{GS3}-V_{TN})^2 \quad (\text{晶体管偏置在饱和区})$$

求解栅-源电压, 可得

$$V_{GS3}=\sqrt{\frac{I_{D3}}{K_{n3}}}+V_{TN}=\sqrt{\frac{0.2}{0.15}}+0.4$$

即

$$V_{GS3}=1.555\text{V}$$

注意到 $V_{GS3}=V_{GS2}=1.555\text{V}$, 可以写出

$$I_{D2}=I_{Q1}=K_{n2}(V_{GS2}-V_{TN})^2=0.15\times(1.555-0.4)^2$$

即

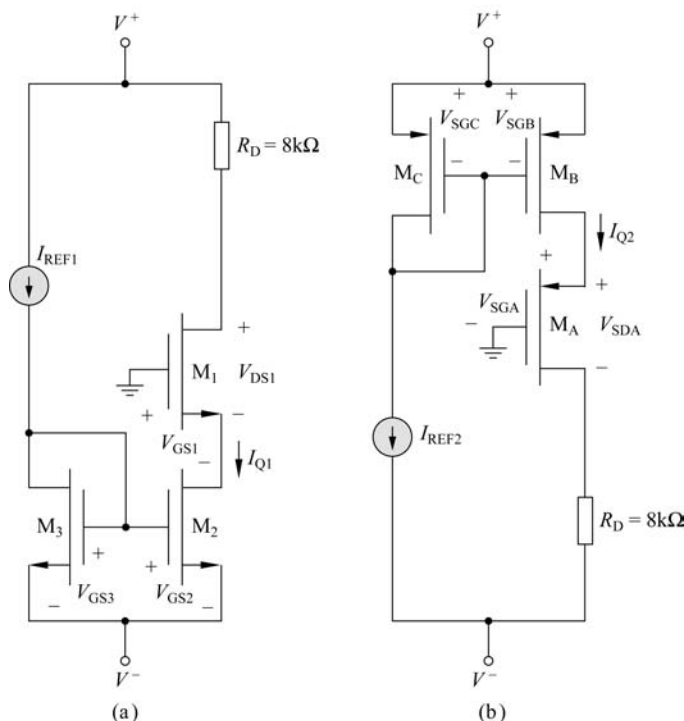


图 3.49 (a) NMOS 镜像电流源; (b) PMOS 镜像电流源

$$I_{Q1} = 200\mu\text{A}$$

栅-源电压 V_{GS1} 可以写为(假设 M_1 偏置在饱和区)

$$V_{GS1} = \sqrt{\frac{I_{Q1}}{K_{n1}}} + V_{TN} = \sqrt{\frac{0.2}{0.25}} + 0.4$$

即

$$V_{GS1} = 1.29\text{V}$$

漏-源电压可从下式得到:

$$\begin{aligned} V_{DS1} &= V^+ - I_{Q1}R_D - (-V_{GS1}) \\ &= 2.5 - 0.2 \times 8 - (-1.29) \end{aligned}$$

即

$$V_{DS1} = 2.19\text{V}$$

可以注意到, M_1 确实偏置在饱和区。

点评: 由于镜像电流源晶体管 M_2 和 M_3 相匹配(参数相同),又由于这两个晶体管中的栅-源电压相同,所以偏置电流 I_{Q1} 和参考电流 I_{REF1} 相等(也就是镜像)。

练习题 3.14 对于图 3.49(a)所示的电路,假设电路的参数为 $I_{REF1} = 120\mu\text{A}$, $V^+ = 3\text{V}$, $V^- = -3\text{V}$; 假设晶体管的参数为 $V_{TN} = 0.4\text{V}$, $\lambda = 0$, $K_{n1} = 50\mu\text{A}/\text{V}^2$, $K_{n2} = 30\mu\text{A}/\text{V}^2$, $K_{n3} = 60\mu\text{A}/\text{V}^2$ 。求解 I_{Q1} 和所有的栅-源电压。

答案: $I_{Q1} = 60\mu\text{A}$, $V_{GS1} = 1.495\text{V}$, $V_{GS2} = V_{GS3} = 1.814\text{V}$ 。

现在考虑一个偏置电流和参考电流不相等的镜像电流源。

例题 3.15 设计图 3.49(b)所示的电路,使之提供一个偏置电流 $I_{Q2} = 150\mu\text{A}$ 。假设电

路的参数为 $I_{\text{REF2}} = 250\mu\text{A}$, $V^+ = 3\text{V}$ 和 $V^- = -3\text{V}$ 。假设晶体管的参数为 $V_{\text{TP}} = -0.6\text{V}$ (所有晶体管), $\lambda = 0$ (所有晶体管), $k'_p = 40\mu\text{A/V}^2$ (所有晶体管), $W/L_C = 15$ 和 $W/L_A = 25$ 。

解: 因为偏置电流 I_{Q2} 和参考电流 I_{REF2} 不相等, 所以镜像电流源晶体管 M_C 和 M_B 的 W/L 比也应该不相同。

对于 M_C , 因为晶体管偏置在饱和区, 所以有

$$I_{\text{DC}} = I_{\text{REF2}} = \frac{k'_p}{2} \cdot \left(\frac{W}{L}\right)_C (V_{\text{SGC}} + V_{\text{TP}})^2$$

即

$$250 = \frac{40}{2} (15) [V_{\text{SGC}} + (-0.6)]^2 = 300 (V_{\text{SGC}} - 0.6)^2$$

则有

$$V_{\text{SGC}} = \sqrt{\frac{250}{300}} + 0.6$$

即

$$V_{\text{SGC}} = 1.513\text{V}$$

因为 $V_{\text{SGC}} = V_{\text{SGB}} = 1.513\text{V}$, 可以得到

$$I_B = I_{Q2} = \frac{k'_p}{2} \cdot \left(\frac{W}{L}\right)_B (V_{\text{SGB}} + V_{\text{TP}})^2$$

即

$$150 = \frac{40}{2} \cdot \left(\frac{W}{L}\right)_B [1.513 + (-0.6)]^2$$

可以得到

$$\left(\frac{W}{L}\right)_B = 9$$

对于 M_A , 有

$$I_{\text{DA}} = I_{Q2} = \frac{k'_p}{2} \cdot \left(\frac{W}{L}\right)_A (V_{\text{SGA}} + V_{\text{TP}})^2$$

即

$$150 = \frac{40}{2} (25) (V_{\text{SGA}} + (-0.6))^2 = 500 (V_{\text{SGA}} - 0.6)^2$$

于是

$$V_{\text{SGA}} = \sqrt{\frac{150}{500}} + 0.6$$

即

$$V_{\text{SGA}} = 1.148\text{V}$$

M_A 的源-漏电压可以由下式得出:

$$V_{\text{SDA}} = V_{\text{SGA}} - I_{Q2} R_D - V^- = 1.148 - 0.15 \times 8 - (-3)$$

即

$$V_{\text{SDA}} = 2.95\text{V}$$

点评: 可以注意到, 晶体管 M_A 确实偏置在饱和区。通过设计镜像电流源晶体管的 W/L 比, 可以得到不同的参考电流和偏置电流的值。

练习题 3.15 观察图 3.49(b) 所示的电路。假设电路的参数为 $I_{\text{REF2}} = 0.1\text{mA}$, $V^+ =$

$$V_{GS1} = 2.06\text{V}$$

M_2 的漏-源电压为

$$V_{DS2} = (-V^-) - V_{GS1} = 5 - 2.06 = 2.94\text{V}$$

点评: 由于 $V_{DS2} = 2.94\text{V} > V_{DS}(\text{sat}) = V_{GS2} - V_{TN2} = 2.5 - 1 = 1.5\text{V}$, 所以 M_2 偏置在饱和区。

设计考虑: 在这个例子中, 由于 M_2 和 M_3 是相同的晶体管, 参考电流 I_{REF} 和偏置电流 I_Q 相等。通过重新设计 M_2 、 M_3 和 M_4 的宽长比, 可以得到特定的偏置电流 I_Q 。如果 M_2 和 M_3 不相同, 那么 I_{REF} 和 I_Q 将不同。基于这样的电路结构, 可以有各种不同的设计选择。

练习题 3.16 观察图 3.50 所示的恒流源电路。假设每个晶体管的开启电压均为 $V_{TN} = 1\text{V}$ 。①设计 K_{n4}/K_{n3} 比, 使得 $V_{GS3} = 2\text{V}$; ②求解 K_{n2} 的值, 使得 $I_Q = 100\mu\text{A}$; ③求解 K_{n3} 和 K_{n4} 的值, 使得 $I_{\text{REF}} = 200\mu\text{A}$ 。

答案: ① $K_{n4}/K_{n3} = 1/4$; ② $K_{n2} = 0.1\text{mA}/\text{V}^2$; ③ $K_{n3} = 0.2\text{mA}/\text{V}^2$, $K_{n4} = 0.05\text{mA}/\text{V}^2$ 。

理解测试题 3.15 观察图 3.49(b) 中的电路。假设电路的参数为 $I_{\text{REF2}} = 40\mu\text{A}$, $V^+ = 2.5\text{V}$ 和 $V^- = -2.5\text{V}$, $R_D = 20\text{k}\Omega$ 。晶体管的参数为 $V_{TP} = -0.30\text{V}$, $K_{pC} = 40\mu\text{A}/\text{V}^2$, $K_{pB} = 60\mu\text{A}/\text{V}^2$, $K_{pA} = 75\mu\text{A}/\text{V}^2$ 。求解 I_{Q2} 和所有源-栅电压。

答案: $I_{Q2} = 60\mu\text{A}$, $V_{SGC} = V_{SGB} = 1.30\text{V}$, $V_{SGA} = 1.19\text{V}$ 。

理解测试题 3.16 观察图 3.50 中的电路。假设所有晶体管的开启电压均为 0.7V 。确定 K_{n1} 、 K_{n2} 、 K_{n3} 和 K_{n4} 的值, 使得 $I_{\text{REF}} = 80\mu\text{A}$, $I_Q = 120\mu\text{A}$, $V_{GS3} = 2\text{V}$, $V_{GS1} = 1.5\text{V}$ 。

答案: $K_{n1} = 187.5\mu\text{A}/\text{V}^2$, $K_{n2} = 71.0\mu\text{A}/\text{V}^2$, $K_{n3} = 47.3\mu\text{A}/\text{V}^2$, $K_{n4} = 15.12\mu\text{A}/\text{V}^2$ 。

3.5 多级 MOSFET 电路

目标: 研究多级或多晶体管电路的直流偏置。

在大多数应用中, 单晶体管放大电路不能满足给定的放大倍数、输入电阻以及输出电阻等综合性能指标要求。例如, 需要的电压增益可能超出单个晶体管电路可以获得的放大倍数。

晶体管放大电路可以像图 3.51 所示那样进行串联, 即级联。这可以用来增加小信号放大时的总电压增益, 或提供一个输出阻抗非常小的大于 1 的总电压增益。总电压增益可能不是简单的单级放大倍数的乘积。通常, 需要考虑负载效应。

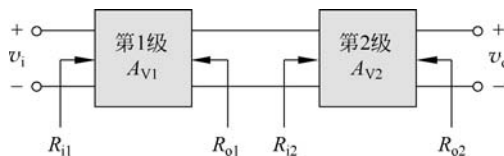


图 3.51 一般的两级放大电路

多级晶体管放大电路的结构形式有很多种, 在这里将研究其中的几种, 以便理解所需的分析方法。

3.5.1 多晶体管电路：级联结构

图 3.52 所示电路为一个共源放大电路后面级联一个源极跟随器放大电路。在下一章将会看到,共源放大电路可提供一个小信号电压增益,源极跟随器则具有较低的输出阻抗。

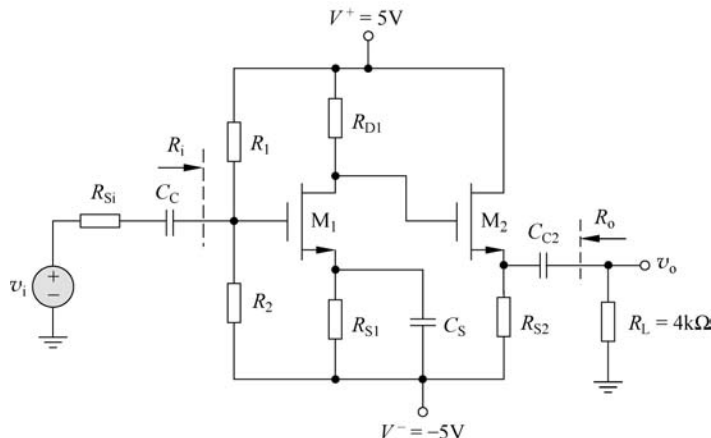


图 3.52 共源放大电路和一个源极跟随器级联

例题 3.17 设计多级 MOSFET 电路的偏置,以满足特定要求。观察图 3.52 所示的电路,晶体管的参数为 $K_{n1} = 500 \mu\text{A}/\text{V}^2$, $K_{n2} = 200 \mu\text{A}/\text{V}^2$, $V_{TN1} = V_{TN2} = 1.2\text{V}$ 和 $\lambda_1 = \lambda_2 = 0$ 。设计电路,使得 $I_{DQ1} = 0.2\text{mA}$, $I_{DQ2} = 0.5\text{mA}$, $V_{DSQ1} = V_{DSQ2} = 6\text{V}$, 且 $R_i = 100\text{k}\Omega$ 。其中令 $R_{Si} = 4\text{k}\Omega$ 。

解: 对输出晶体管 M_2 , 有

$$V_{DSQ2} = 5 - (-5) - I_{DQ2}R_{S2}$$

即

$$6 = 10 - (0.5)R_{S2}$$

由此可得 $R_{S2} = 8\text{k}\Omega$ 。同时,假设晶体管都偏置在饱和区,则有

$$I_{DQ2} = K_{n2}(V_{GS2} - V_{TN2})^2$$

即

$$0.5 = 0.2(V_{GS2} - 1.2)^2$$

由此可得

$$V_{GS2} = 2.78\text{V}$$

由于 $V_{DSQ2} = 6\text{V}$, M_2 的源极电压为 $V_{S2} = -1\text{V}$ 。又由于 $V_{GS2} = 2.78\text{V}$, M_2 的栅极电压必为

$$V_{G2} = -1 + 2.78 = 1.78\text{V}$$

电阻 R_{D1} 为

$$R_{D1} = \frac{5 - 1.78}{0.2} = 16.1\text{k}\Omega$$

对于 $V_{DSQ1} = 6\text{V}$, M_1 的源极电压为

$$V_{S1} = 1.78 - 6 = -4.22\text{V}$$

于是,电阻 R_{S1} 为

$$R_{S1} = \frac{-4.22 - (-5)}{0.2} = 3.9\text{k}\Omega$$

对于晶体管 M_1 ,有

$$I_{DQ1} = K_{n1}(V_{GS1} - V_{TN1})^2$$

即

$$0.2 = 0.50(V_{GS1} - 1.2)^2$$

由此得到

$$V_{GS1} = 1.83\text{V}$$

为了求解 R_1 和 R_2 ,可以写出

$$V_{GS1} = \left(\frac{R_2}{R_1 + R_2} \right) (10) - I_{DQ1} R_{S1}$$

由于

$$\frac{R_2}{R_1 + R_2} = \frac{1}{R_1} \cdot \left(\frac{R_1 R_2}{R_1 + R_2} \right) = \frac{1}{R_1} \cdot R_i$$

而输入电阻指定为 $100\text{k}\Omega$,于是有

$$1.83 = \frac{1}{R_1} 100 \times 10 - 0.2 \times 3.9$$

得出 $R_1 = 383\text{k}\Omega$ 。根据 $R_i = 100\text{k}\Omega$,又可以得出 $R_2 = 135\text{k}\Omega$ 。

点评: 与假设一致,两个晶体管都偏置在饱和区。在下一章将会看到,这正是线性放大电路所需要的。

练习题 3.17 图 3.52 所示电路的晶体管参数和例题 3.17 中所描述的相同。设计电路,使得 $I_{DQ1} = 0.1\text{mA}$, $I_{DQ2} = 0.3\text{mA}$, $V_{DSQ1} = V_{DSQ2} = 5\text{V}$,且 $R_i = 200\text{k}\Omega$ 。

答案: $R_{S2} = 16.7\text{k}\Omega$, $R_{D1} = 25.8\text{k}\Omega$, $R_{S1} = 24.3\text{k}\Omega$, $R_1 = 491\text{k}\Omega$, $R_2 = 337\text{k}\Omega$ 。

3.5.2 多晶体管电路: 共源-共栅结构

图 3.53 给出一个由 N 沟道 MOSFET 组成的共源-共栅电路。晶体管 M_1 接成共源结构, M_2 为共栅结构。后续章节将会讨论,这种电路的一个突出优点是具有更高的频率响应。

例题 3.18 设计共源-共栅电路的偏置,以满足特定要求。图 3.53 所示的电路中,晶体管的参数为 $V_{TN1} = V_{TN2} = 1.2\text{V}$, $K_{n1} = K_{n2} = 0.8\text{mA/V}^2$, $\lambda_1 = \lambda_2 = 0$ 。令 $R_1 + R_2 + R_3 = 300\text{k}\Omega$, $R_S = 10\text{k}\Omega$ 。设计电路,使得 $I_{DQ} = 0.4\text{mA}$, $V_{DSQ1} = V_{DSQ2} = 2.5\text{V}$ 。

解: M_1 源极的直流电压为

$$V_{S1} = I_{DQ} R_S - 5 = 0.4 \times 10 - 5 = -1\text{V}$$

由于 M_1 和 M_2 是相同的晶体管,又由于两个晶体管中的电流相等,于是两个器件的栅-源电压也相等。有

$$I_D = K_n (V_{GS} - V_{TN})^2$$

即

$$0.4 = 0.8(V_{GS} - 1.2)^2$$

由此可得

$$V_{GS} = 1.907V$$

于是

$$V_{G1} = \left(\frac{R_3}{R_1 + R_2 + R_3} \right) (5) = V_{GS} + V_{S1}$$

即

$$\left(\frac{R_3}{300} \right) \times 5 = 1.907 - 1 = 0.907$$

由此可得

$$R_3 = 54.4k\Omega$$

M_2 的源极电压为

$$V_{S2} = V_{DSQ1} + V_{S1} = 2.5 - 1 = 1.5V$$

于是

$$V_{G2} = \left(\frac{R_2 + R_3}{R_1 + R_2 + R_3} \right) \times 5 = V_{GS} + V_{S2}$$

即

$$\left(\frac{R_2 + R_3}{300} \right) \times 5 = 1.907 + 1.5 = 3.407V$$

由此可得

$$R_2 + R_3 = 204.4k\Omega$$

和

$$R_2 = 150k\Omega$$

因此

$$R_1 = 95.6k\Omega$$

M_2 的漏极电压为

$$V_{D2} = V_{DSQ2} + V_{S2} = 2.5 + 1.5 = 4V$$

因此漏极电阻为

$$R_D = \frac{5 - V_{D2}}{I_{DQ}} = \frac{5 - 4}{0.4} = 2.5k\Omega$$

点评：由于 $V_{DS} = 2.5V > V_{GS} - V_{TN} = 1.91 - 1.2 = 0.71V$ ，每个晶体管都偏置在饱和区。

练习题 3.18 图 3.53 所示的电路中，晶体管的参数为 $V_{TN1} = V_{TN2} = 0.8V$, $K_{n1} = K_{n2} = 0.5mA/V^2$, $\lambda_1 = \lambda_2 = 0$ 。令 $R_1 + R_2 + R_3 = 500k\Omega$, $R_S = 16k\Omega$ 。设计电路，使得 $I_{DQ} = 0.25mA$, $V_{DSQ1} = V_{DSQ2} = 2.5V$ 。

答案： $R_3 = 50.7k\Omega$, $R_2 = 250k\Omega$, $R_1 = 199.3k\Omega$, $R_D = 4k\Omega$ 。

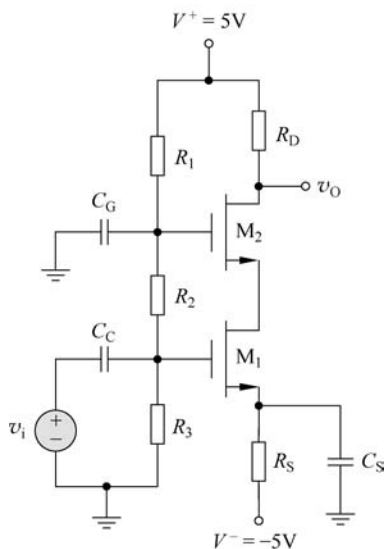


图 3.53 NMOS 共源-共栅放大电路

3.6 结型场效应晶体管

目标: 理解 PN 结 FET(JFET)和肖特基势垒结 FET(MESFET)的工作原理和特性, 理解 JFET 和 MESFET 电路的直流分析方法。

结型场效应晶体管的两种一般类型是 PN 结 FET(PN JFET)和金属-半导体场效应晶体管(MESFET),后者由肖特基势垒结制作而成。

JFET 中的电流流过一个称为沟道的半导体区域,沟道两端各有一个欧姆触点。晶体管的基本工作原理是通过垂直于沟道的电场来调制沟道的导电性。因为调制的电场在反向偏置的 PN 结或肖特基势垒结的空间电荷区感应产生,所以电场是栅极电压的函数。通过栅极电压调制沟道的导电性,从而调制沟道电流。

JFET 虽然比 MOSFET 出现得早,但是 MOSFET 的应用和使用却已经远远超过了 JFET。其中一个原因是加在 MOSFET 栅极和漏极的电压具有相同的极性(同为正或同为负),而加在 JFET 栅极和漏极的电压必须具有相反的极性。由于 JFET 只是在特定的场合中应用,所以只做简单讨论。

3.6.1 PN JFET 和 MESFET 的工作原理

1. PN JFET

图 3.54 所示为一个对称 PN JFET 的简易剖面图。在两个 P 区之间的 N 区沟道中,多数载流子电子由源极流向漏极,因此,JFET 称为多子器件。如图 3.54 所示,两个栅极相连,形成单个栅极。

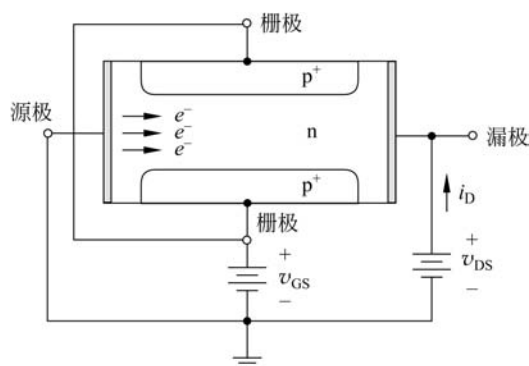


图 3.54 对称 N 沟道 PN 结型场效应晶体管的剖面图

在一个 P 沟道 JFET 中,P 区和 N 区与 N 沟道器件相反,空穴通过沟道从源极流向漏极。P 沟道 JFET 中的电流方向和电压极性也都与 N 沟道器件相反。此外,P 沟道 JFET 的工作频率通常要低于 N 沟道器件,这是因为空穴的迁移率低于电子的迁移率。

图 3.55(a)给出一个栅极零偏置的 N 沟道 JFET。如果源极为地电平,漏极加一个较小的电压,则会在源极和漏极之间产生一个漏极电流 i_D 。由于 N 沟道本质上相当于一个电阻,所以对于较小的 v_{DS} 值, i_D-v_{DS} 特性近似为线性,如图 3.55 所示。

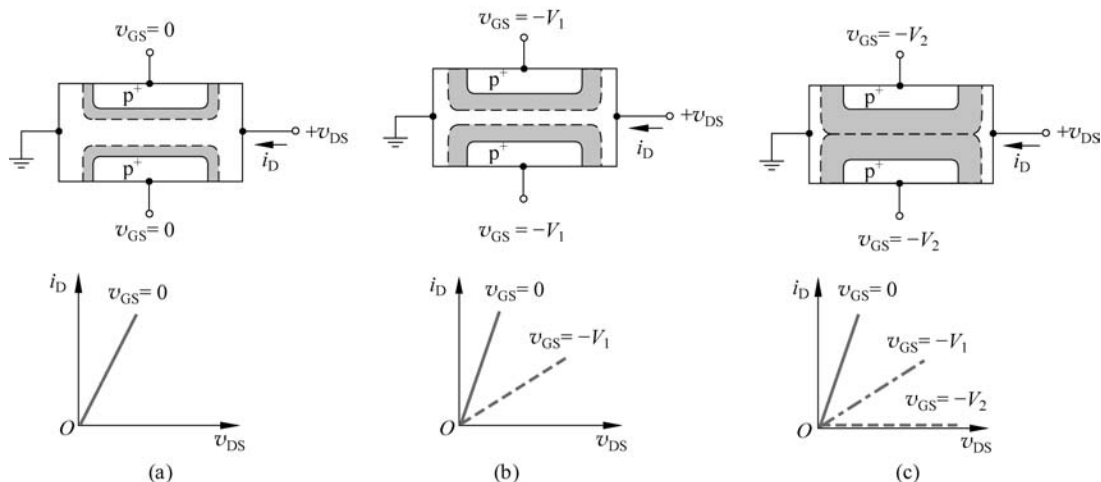


图 3.55 栅极和沟道间的空间电荷区以及漏-源电压较小时的电流-电压特性 (a) 栅极电压为零的情况; (b) 栅极反偏且电压较小时的情况; (c) 栅极电压使沟道夹断时的情况

如果在一个 PN JFET 的栅极加电压, 沟道的导电性将发生变化。如果在 N 沟道 PN JFET 的栅极加一个负电压, 如图 3.55 所示, 则栅极和沟道之间的 PN 结变为反向偏置。空间电荷区加宽, 沟道区变窄, N 沟道的电阻增大, 当 v_{DS} 较小时, i_D-v_{DS} 特性曲线的斜率下降。这些影响如图 3.55(b) 所示。如果加一个更大的负电压, 将得到如图 3.55(c) 所示的情况。反向偏置的栅极和沟道之间的空间电荷区将填满沟道区, 这种情况称为夹断。由于耗尽区将源极和漏极隔开, 夹断时的漏极电流基本上为零。 i_D-v_{DS} 特性曲线如图 3.55(c) 所示, 沟道中的电流受栅极电压的控制。器件某部分的电流受器件另一部分电压的控制, 这是晶体管的基本工作原理。PN JFET 称为“常开”或耗尽型器件, 也就是说, 必须在栅极加电压来关断器件。

如图 3.56(a) 中所示, 考虑栅极电压为零, 即 $v_{GS}=0$, 而漏极电压变化时的情况。随着漏极电压的增加(正电压), 栅极和沟道之间的 PN 结在靠近漏极处变为反向偏置, 且空间电荷区变宽, 延展到沟道中更远的地方。沟道实质上相当于一个电阻, 沟道的有效电阻随空间电荷区的加宽而增加, 因此, i_D-v_{DS} 特性曲线的斜率下降, 如图 3.56(b) 所示。此时有效的沟道电阻沿沟道长度而变化, 由于沟道电流必须保持恒定, 所以沟道上的压降因位置而变化。

如果漏极电压继续增大, 将发生如图 3.56(c) 所示的情况, 沟道将在漏极处夹断, 此时漏极电压的增加将不会导致漏极电流的增加。图中也给出了这种情况下的 i_D-v_{DS} 特性, 夹断点的漏极电压为 $v_{DS}(\text{sat})$ 。因此, 当 $v_{DS} > v_{DS}(\text{sat})$ 时, 晶体管将偏置在饱和区, 在理想情况下漏极电流与 v_{DS} 无关。

2. MESFET

在 MESFET 中, 栅极用肖特基势垒取代了 PN 结。尽管 MESFET 可以用硅材料来制作, 但通常采用砷化镓或其他的化合物半导体材料。

图 3.57 给出一个简单的 GaAs MESFET 的剖面图。一层薄薄的 GaAs 外延层用作有源区; 衬底为高阻抗的 GaAs 材料, 称为半绝缘衬底。这类器件的优点在于: GaAs 中的电

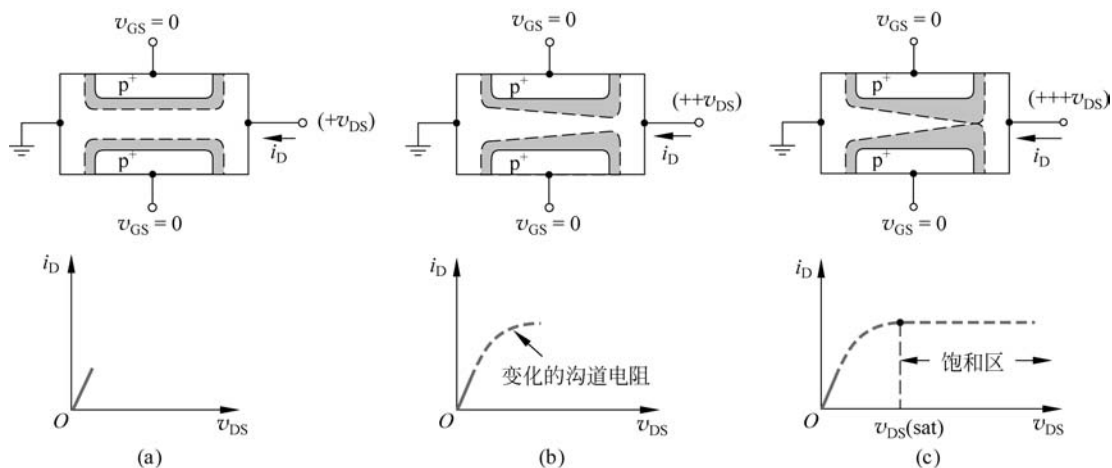


图 3.56 栅极电压为零时,栅极和沟道间的空间电荷区和电流-电压特性 (a) 漏极电压较小的情况; (b) 漏极电压较大时的情况; (c) 漏极电压增大使得漏极夹断时的情况

子迁移率较高,由此具有更小的转换时间和更快的响应;半绝缘的 GaAs 衬底具有较小的寄生电容,而且器件的制作工艺变得简单。

在图 3.57 所示的 MESFET 中,反向偏置的栅-源电压在金属栅极下方感应出一个空间电荷区,与 PN JFET 类似,它用来调制沟道的导电性。如果加在栅极的负电压足够大,则空间电荷区将最终到达衬底,也将发生沟道夹断。同样,由于必须加一个栅极电压来使沟道夹断,也就是使器件截止,图中所示的器件为耗尽型器件。

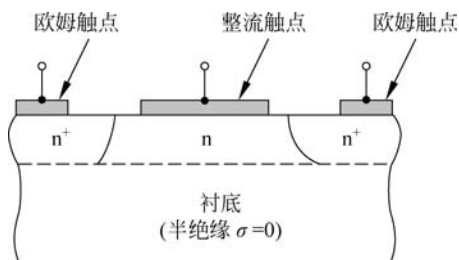


图 3.57 带半绝缘衬底的 N 沟道 MESFET 的剖面图

在另一种类型的 MESFET 中,沟道甚至会在 $v_{GS}=0$ 时夹断,如图 3.58(a) 所示。这种 MESFET 的沟道厚度小于零偏置时的空间电荷区宽度。为了使沟道开启,必须减小耗尽区,也就是说,必须在栅极和半导体结上加一个正向偏置电压。当所加的正向偏置电压较小时,耗尽区正好扩展到沟道的宽度,如图 3.58(b) 所示。开启电压为产生夹断所需要的栅-源电压。与 N 沟道耗尽型器件具有负的开启电压相比,这种 N 沟道 MESFET 的开启电压为正。如果在栅极加一个较大的正向偏置电压,则沟道区域被打开,如图 3.58(c) 所示。加在栅极的正向偏置电压应限制在十分之几伏,以防止出现很大的栅极电流。

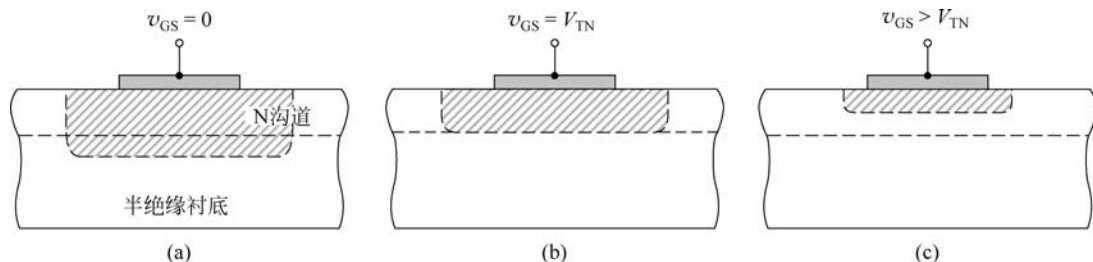


图 3.58 一个增强型 MESFET 的沟道空间电荷区: (a) $v_{GS}=0$; (b) $v_{GS}=V_{TN}$; (c) $v_{GS}>V_{TN}$

这种器件称为 N 沟道增强型 MESFET, 此外还有 P 沟道增强型 MESFET 和增强型 PN JFET。增强型 MESFET 的优点是, 用这些器件进行电路设计时, 器件栅极和源极的电压可以具有相同的极性。不过, 这些器件的输出电压幅度非常小。

3.6.2 电流-电压特性

N 沟道和 P 沟道 JFET 的电路符号如图 3.59 所示, 同时给出栅-源电压和电流方向。当晶体管偏置在饱和区时, 理想的电流-电压特性描述为

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P}\right)^2 \quad (3.32)$$

其中 I_{DSS} 为 $v_{GS} = 0$ 时的饱和电流, V_P 为夹断电压。

N 沟道和 P 沟道 JFET 的电流-电压特性分别如图 3.60(a) 和 (b) 所示。注意 N 沟道 JFET 的夹断电压 V_P 为负, 栅-源电压 v_{GS} 通常也为负, 因此比值 v_{GS}/V_P 为正。同样, P 沟道 JFET 的夹断电压 V_P 为正, 且其栅-源电压 v_{GS} 必须为正, 因此比值 v_{GS}/V_P 也为正。

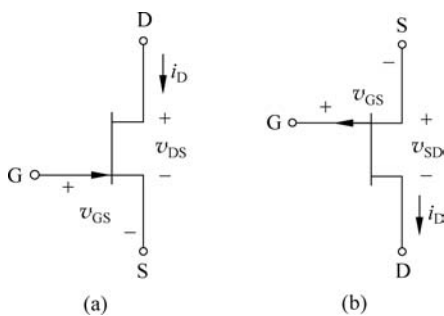


图 3.59 电路符号: (a) N 沟道 JFET;
(b) P 沟道 JFET

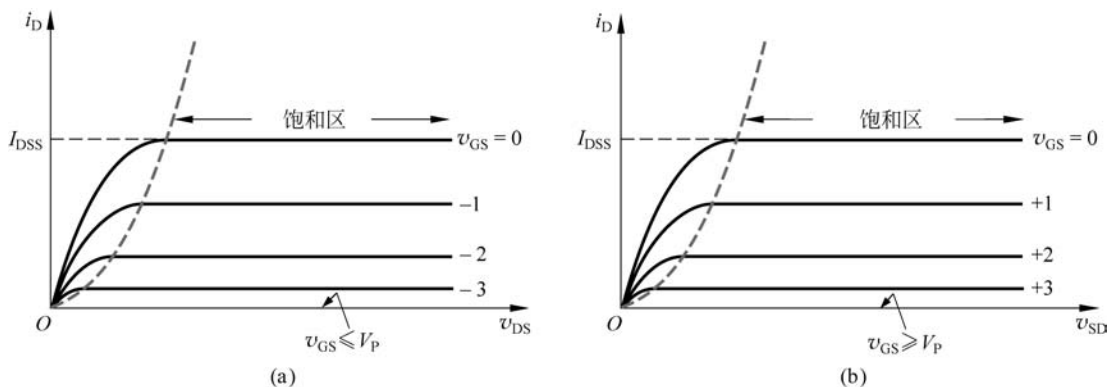


图 3.60 电流-电压特性: (a) N 沟道 JFET; (b) P 沟道 JFET

对于 N 沟道器件, 当 $v_{DS} \geq v_{DS}(\text{sat})$ 时, 进入饱和区, 其中

$$v_{DS}(\text{sat}) = v_{GS} - V_P \quad (3.33)$$

对于 P 沟道器件, $v_{SD} \geq v_{SD}(\text{sat})$ 时, 进入饱和区, 其中

$$v_{SD}(\text{sat}) = V_P - v_{GS} \quad (3.34)$$

例题 3.19 计算一个 N 沟道 PN JFET 的 i_D 和 $v_{DS}(\text{sat})$ 。假设饱和电流为 $I_{DSS} = 2\text{mA}$, 夹断电压为 $V_P = -3.5\text{V}$ 。分别计算 $v_{GS} = 0$ 、 $V_P/4$ 和 $V_P/2$ 时的 i_D 和 $v_{DS}(\text{sat})$ 。

解: 由式(3.32)可得

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P}\right)^2 = (2) \left(1 - \frac{v_{GS}}{(-3.5)}\right)^2$$

因此,对于 $v_{GS}=0$ 、 $V_P/4$ 和 $V_P/2$,可以得出

$i_D=2$ 、 1.13 和 0.5mA 。

由式(3.33),可得

$$v_{DS}(\text{sat}) = v_{GS} - V_P = v_{GS} - (-3.5)$$

因此,对于 $v_{GS}=0$ 、 $V_P/4$ 和 $V_P/2$,有

$v_{DS}(\text{sat})=3.5$ 、 2.63 和 1.75V 。

点评: 可以通过增加 I_{DSS} 来增大 JFET 的电流, I_{DSS} 是晶体管沟道宽度的函数。

练习题 3.19 N 沟道 JFET 的参数为 $I_{DSS}=12\text{mA}$, $V_P=-4.5\text{V}$, $\lambda=0$ 。求解 $V_{GS}=-1.2\text{V}$ 时的 $V_{DS}(\text{sat})$,并计算 $V_{DS}>V_{DS}(\text{sat})$ 时的 I_D 。

答案: $V_{DS}(\text{sat})=3.3\text{V}$, $I_D=6.45\text{mA}$ 。

和 MOSFET 相同, JFET 的 i_D-v_{DS} 曲线在饱和点之后斜率不为零。这个非零的斜率可以通过下式给出,即

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P}\right)^2 (1 + \lambda v_{DS}) \quad (3.35)$$

输出电阻 r_o 定义为

$$r_o = \left(\frac{\partial i_D}{\partial v_{DS}} \right)^{-1} \bigg|_{v_{GS}=\text{const}} \quad (3.36)$$

利用式(3.35),可得

$$r_o = \left[\lambda I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P}\right)^2 \right]^{-1} \quad (3.37a)$$

即

$$r_o \approx [\lambda I_{DQ}]^{-1} = \frac{1}{\lambda I_{DQ}} \quad (3.37b)$$

在第 4 章中讨论 JFET 的小信号等效电路时,将会再次研究输出电阻。

增强型 GaAs MESFET 的电流-电压特性可以制作得和增强型 MOSFET 很相似。因此,对于偏置在饱和区的理想增强型 MESFET,可以写为

$$i_D = K_n (v_{GS} - V_{TN})^2 \quad (3.38a)$$

对于偏置在非饱和区的理想增强型 MESFET,则有

$$i_D = K_n [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2] \quad (3.38b)$$

其中, K_n 为传导参数; V_{TN} 为开启电压,在这里等效于夹断电压。对于 N 沟道增强型 MESFET,开启电压为正。

3.6.3 常见 JFET 电路: 直流分析

有几种常见的 JFET 电路结构,这里通过例子,介绍其中几种电路的直流分析和设计方法。

例题 3.20 设计一个带分压式偏置电路的 JFET 电路。图 3.61(a)所示的电路中,晶体管的参数为 $I_{DSS}=12\text{mA}$, $V_P=-3.5\text{V}$, $\lambda=0$ 。令 $R_1+R_2=100\text{k}\Omega$ 。设计电路,使得直流漏极电流为 $I_D=5\text{mA}$,直流漏-源电压为 $V_{DS}=5\text{V}$ 。

解: 假设晶体管偏置在饱和区,直流漏极电流由下式给出

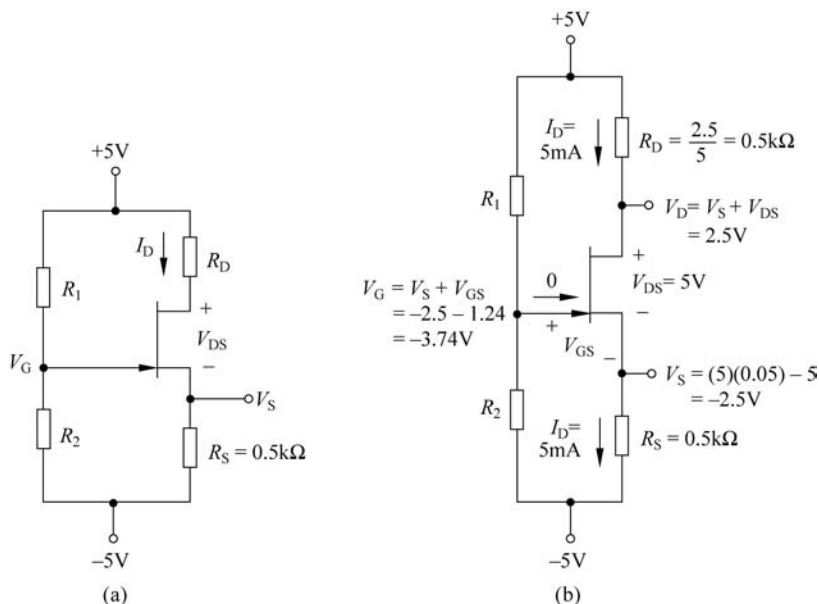


图 3.61 (a) 带分压式偏置的 N 沟道 JFET 电路; (b) 例题 3.20 的 N 沟道 JFET 电路

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

于是有

$$5 = 12 \left(1 - \frac{V_{GS}}{(-3.5)} \right)^2$$

可得

$$V_{GS} = -1.24V$$

由图 3.61(b)可以看出,源极的电压为

$$V_S = I_D R_S - 5 = 5 \times 0.5 - 5 = -2.5V$$

这意味着栅极电压为

$$V_G = V_{GS} + V_S = -1.24 - 2.5 = -3.74V$$

也可以把栅极电压写为

$$V_G = \left(\frac{R_2}{R_1 + R_2} \right) \times 10 - 5$$

即

$$-3.74 = \frac{R_2}{100} \times 10 - 5$$

由此得到

$$R_2 = 12.6k\Omega$$

和

$$R_1 = 87.4k\Omega$$

漏-源电压为

$$V_{DS} = 5 - I_D R_D - I_D R_S - (-5)$$

于是有

$$R_D = \frac{10 - V_{DS} - I_D R_S}{I_D} = \frac{10 - 5 - 5 \times 0.5}{5} = 0.5 \text{ k}\Omega$$

还可以看到

$$V_{DS} = 5 \text{ V} > V_{GS} - V_P = -1.24 - (-3.5) = 2.26 \text{ V}$$

这说明 JFET 确实偏置在饱和区,和最初的假设一致。

点评: 由于假设栅极电流为零,JFET 电路的直流分析基本上和 MOSFET 电路的直流分析相同。

练习题 3.20 图 3.62 所示的电路中,晶体管的参数为 $I_{DSS} = 6 \text{ mA}$, $V_P = -4 \text{ V}$, $\lambda = 0$ 。设计电路,使得直流漏极电流为 $I_{DQ} = 2.5 \text{ mA}$, $V_{DS} = 6 \text{ V}$, R_1 和 R_2 上的总功耗为 2 mW 。

答案: $R_D = 1.35 \text{ k}\Omega$, $R_1 = 158 \text{ k}\Omega$, $R_2 = 42 \text{ k}\Omega$ 。

例题 3.21 计算 P 沟道 JFET 电路中的静态电流和电压值。图 3.63 所示的电路中,晶体管的参数为 $I_{DSS} = 2.5 \text{ mA}$, $V_P = +2.5 \text{ V}$, $\lambda = 0$ 。该晶体管用恒流源来偏置。

解: 由图 3.63 可以写出直流漏极电流为

$$I_D = I_Q = 0.8 \text{ mA} = \frac{V_D - (-9)}{R_D}$$

可得

$$V_D = (0.8)(4) - 9 = -5.8 \text{ V}$$

现在假设晶体管偏置在饱和区,则有

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

即

$$0.8 = 2.5 \times \left(1 - \frac{V_{GS}}{2.5} \right)^2$$

得出 $V_{GS} = 1.086 \text{ V}$, 于是

$$V_S = 1 - V_{GS} = 1 - 1.086 = -0.086 \text{ V}$$

而且

$$V_{SD} = V_S - V_D = -0.086 - (-5.8) = 5.71 \text{ V}$$

同样可以看出

$$V_{SD} = 5.71 \text{ V} > V_P - V_{GS} = 2.5 - 1.086 = 1.41 \text{ V}$$

这验证了 JFET 确实偏置在饱和区,与假设一致。

点评: 和双极型晶体管或 MOS 晶体管的方式相同,结型场效应晶体管也可以用恒流源来偏置。

练习题 3.21 图 3.64 所示电路中的 P 沟道晶体管,其参数为 $I_{DSS} = 6 \text{ mA}$, $V_P = 4 \text{ V}$, $\lambda = 0$ 。计算静态值 I_D 、 V_{GS} 和 V_{SD} 。晶体管偏置在饱和区还是非饱和区?

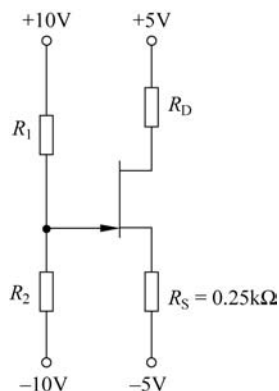


图 3.62 练习题 3.20 的电路

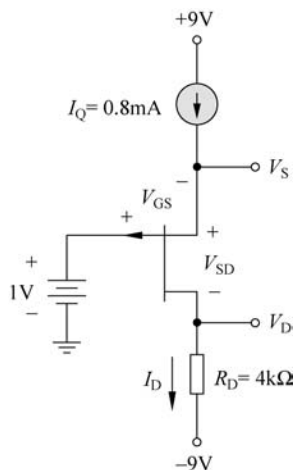


图 3.63 恒流源偏置的 P 沟道 JFET 电路

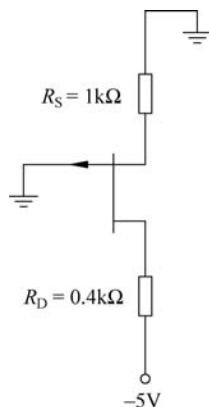


图 3.64 练习题 3.21 的电路

答案: $V_{GS} = 1.81\text{V}$, $I_D = 1.81\text{mA}$, $V_{SD} = 2.47\text{V}$, 饱和区。

例题 3.22 设计一个增强型 MESFET 电路。观察图 3.65(a)所示的电路,晶体管的参数为 $V_{TN} = 0.24\text{V}$, $K_n = 1.1\text{mA/V}^2$, $\lambda = 0$ 。令 $R_1 + R_2 = 50\text{k}\Omega$ 。设计电路,使得 $V_{GS} = 0.50\text{V}$, $V_{DS} = 2.5\text{V}$ 。

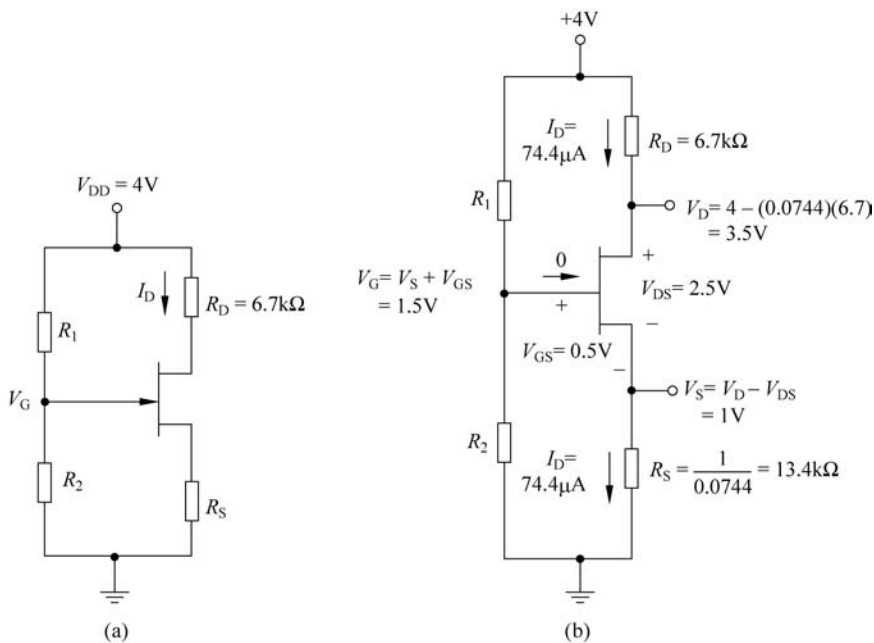


图 3.65 (a) N 沟道增强型 MESFET 电路; (b) 例题 3.22 的 N 沟道 MESFET 电路

解: 由式(3.38a)可得,漏极电流为

$$I_D = K_n (V_{GS} - V_{TN})^2 = 1.1 \times (0.5 - 0.24)^2 = 74.4\mu\text{A}$$

由图 3.65(b)得,漏极电压为

$$V_D = V_{DD} - I_D R_D = 4 - 0.0744 \times 6.7 = 3.5\text{V}$$

因此,源极电压为

$$V_S = V_D - V_{DS} = 3.5 - 2.5 = 1\text{V}$$

则源极电阻为

$$R_S = \frac{V_S}{I_D} = \frac{1}{0.0744} = 13.4\text{k}\Omega$$

栅极电压为

$$V_G = V_{GS} + V_S = 0.5 + 1 = 1.5\text{V}$$

由于栅极电流为零,栅极电压也可由如下的分压器方程给出,即

$$V_G = \left(\frac{R_2}{R_1 + R_2} \right) (V_{DD})$$

即

$$1.5 = \left(\frac{R_2}{50} \right) \times 4$$

由此可得 $R_2 = 18.75\text{k}\Omega$ 和 $R_1 = 31.25\text{k}\Omega$ 。

同样可以看到

$$V_{DS} = 2.5\text{V} > V_{GS} - V_{TN} = 0.5 - 0.24 = 0.26\text{V}$$

这证实了晶体管确实偏置在饱和区,与假设一致。

点评:除了 MESFET 的栅-源电压必须限制在 1V 以下,增强型 MESFET 电路的直流分析与设计和 MOSFET 电路的类似。

练习题 3.22 图 3.66 所示的电路中,晶体管的参数为 $I_{DSS} = 8\text{mA}$, $V_P = 4\text{V}$, $\lambda = 0$ 。设计电路,使得 $R_{in} = 100\text{k}\Omega$, $I_{DQ} = 5\text{mA}$, $V_{SDQ} = 12\text{V}$ 。

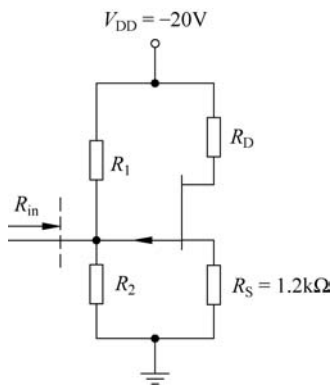


图 3.66 练习题 3.22 的电路

答案: $R_D = 0.4\text{k}\Omega$, $R_1 = 387\text{k}\Omega$, $R_2 = 135\text{k}\Omega$ 。

理解测试题 3.17 图 3.67 所示电路中的 N 沟道增强型 MESFET 的参数为 $K_n = 50\mu\text{A}/\text{V}^2$, $V_{TN} = 0.15\text{V}$ 。求解使 $I_{DQ} = 5\mu\text{A}$ 的 V_{GG} 值。 V_{GS} 和 V_{DS} 的值各为多少?

答案: $V_{GG} = 0.516\text{V}$, $V_{GS} = 0.466\text{V}$, $V_{DS} = 4.45\text{V}$ 。

理解测试题 3.18 图 3.68 所示的反相器电路中, N 沟道增强型 MESFET 的参数为 $K_n = 100\mu\text{A}/\text{V}^2$, $V_{TN} = 0.2\text{V}$ 。要求当 $V_I = 0.7\text{V}$ 时, $V_O = 0.10\text{V}$, 求解 R_D 的值。

答案: $R_D = 267\text{k}\Omega$ 。

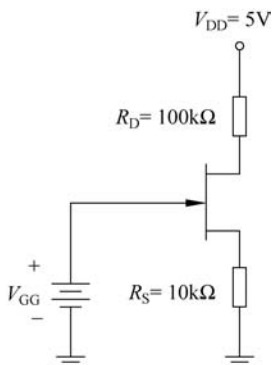


图 3.67 理解测试题 3.17 的电路

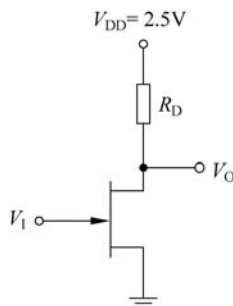


图 3.68 理解测试题 3.18 的电路

3.7 设计应用：带 MOS 晶体管的二极管温度计

目标：将 MOS 晶体管引入到设计应用中，用以改善在第 1 章讨论过的简单二极管温度计的设计。

1. 设计指标

电子温度计的工作温度范围为 $0 \sim 100^\circ\text{F}$ 。

2. 设计方法

将图 1.47 所示二极管温度计的输出二极管电压作用在 NMOS 晶体管的栅极和源极之间，来放大测温范围内的电压。NMOS 晶体管保持在恒定的温度。

3. 器件选型

假设可提供一个 N 沟道耗尽型 MOSFET，它的参数为 $k'_n = 80\mu\text{A}/\text{V}^2$, $W/L = 10$, $V_{\text{TN}} = -1\text{V}$ 。

4. 解决方案

由第 1 章中的设计可知，二极管电压为

$$V_D = 1.12 - 0.522 \left(\frac{T}{300} \right)$$

其中， T 为开氏温度。

观察图 3.69 中的电路。假设二极管处于变化的温度环境中，而电路的其余部分则保持在室温下。由图示电路可以看出 $V_{\text{GS}} = V_D$ ，这里 V_D 为二极管电压而不是漏极电压。需要使 MOSFET 偏置在饱和区，因此

$$I_D = K_n (V_{\text{GS}} - V_{\text{TN}})^2 = \frac{k'_n}{2} \cdot \frac{W}{L} (V_D - V_{\text{TN}})^2$$

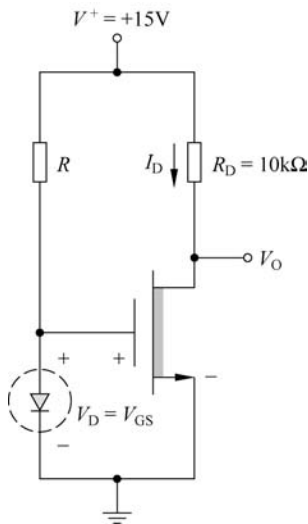


图 3.69 用来测量二极管输出电压随温度变化的设计应用电路

可以求得输出电压为

$$\begin{aligned} V_O &= 15 - I_D R_D \\ &= 15 - \frac{k'_n}{2} \cdot \frac{W}{L} \cdot R_D (V_D - V_{TN})^2 \end{aligned}$$

二极管电流和输出电压可以写为

$$I_D = \frac{0.080}{2} \cdot \frac{10}{1} (V_D + 1)^2 = 0.4 (V_D + 1)^2 \text{ (mA)}$$

和

$$V_O = 15 - [0.4 (V_D + 1)^2] (10) = 15 - 4 (V_D + 1)^2 \text{ (V)}$$

由第 1 章的设计,可以得到表 3.3 所示的关系

表 3.3 电压随温度变化

$T/^{\circ}\text{F}$	V_D/V
0	0.6760
40	0.6372
80	0.5976
100	0.5790

可以求得电路的响应如表 3.4 所示。

表 3.4 电路响应

$T/^{\circ}\text{F}$	I_D/mA	V_D/V
0	1.124	3.764
40	1.072	4.278
80	1.021	4.791
100	0.9973	5.027

图 3.70(a)给出二极管电压随温度变化的曲线,图 3.70(b)则给出 MOSFET 电路的输出电压随温度变化的曲线。可以看出,晶体管电路提供了一个电压增益。这个电压增益是晶体管电路的一个理想特性。

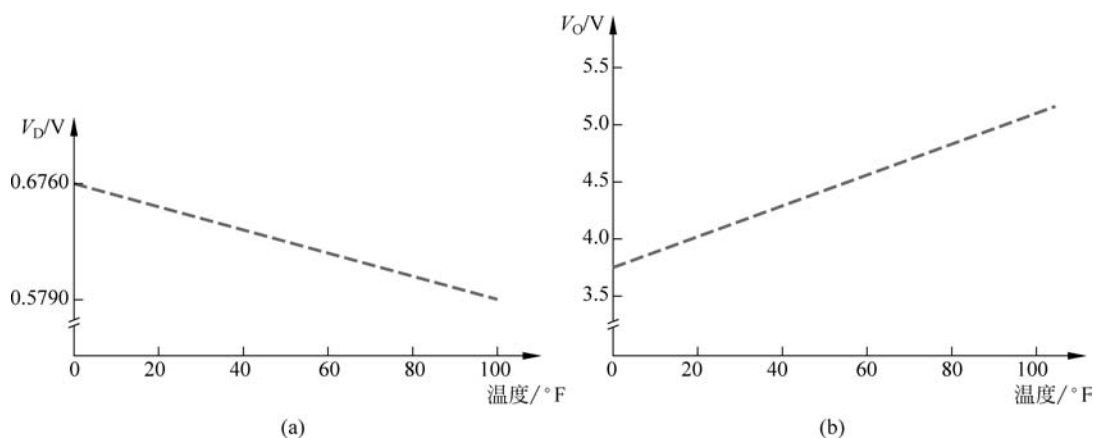


图 3.70 (a) 二极管电压和温度的关系; (b) 电路的输出电压和温度的关系

从方程式可以看出,二极管电流和输出电压不是二极管电压的线性函数,这也就意味着晶体管的输出电压也不是温度的线性函数。在第 9 章将会看到利用运算放大器的一个更好的电路设计。可以注意到,在所有情况下都有 $V_O = V_{DS} > V_{DS}(\text{sat})$,所以晶体管偏置在饱和区,与设计期望一致。

3.8 本章小结

本章重点内容包括:

- (1) 研究了 MOSFET 的物理结构和直流电气特性。
- (2) MOSFET 中的电流受栅极电压的控制。在非饱和偏置工作区,漏极电流也是漏极电压的函数;而在饱和偏置工作区,漏极电流基本上与漏极电压无关。漏极电流直接和晶体管的宽长比成比例,所以这个参数成为 MOSFET 电路设计的主要参数。
- (3) MOSFET 电路的直流分析和设计方法是本章的重点。研究了用 MOSFET 代替电阻,这带来全 MOSFET 化的电路设计。
- (4) MOSFET 的基本应用包括开关电流和电压、实现数字逻辑电路的功能,以及放大时变信号。放大特性和数字应用将分别在下一章和第 16 章中进行研究。
- (5) 介绍了给其他 MOSFET 电路提供恒流源偏置的 MOSFET 电路的分析与设计。在集成电路中使用电流源偏置技术。
- (6) 研究了多级 MOSFET 电路的直流分析和设计。
- (7) 介绍了 JFET 和 MESFET 器件的物理结构和直流电气特性,并讨论了 JFET 和 MESFET 电路的分析和设计。
- (8) 作为一个应用,将 MOSFET 晶体管引入到电路设计中,完善了第 1 章中讨论的简单二极管电子温度计。

通过本章的学习,读者应该具备以下能力:

- (1) 理解和描述 N 沟道和 P 沟道增强型及耗尽型 MOSFET 的结构和一般工作原理。
- (2) 把理想电流-电压关系应用到使用任一四种基本 MOSFET 的不同 MOSFET 电路的分析和设计中。
- (3) 理解如何用 MOSFET 代替电阻负载器件,以建立全 MOSFET 化的电路。
- (4) 定性理解如何用 MOSFET 开关电流和电压、实现数字逻辑功能,以及放大时变信号。
- (5) 理解 MOSFET 恒流源电路的基本工作原理。
- (6) 理解多级 MOSFET 电路的直流分析和设计。
- (7) 理解结型 FET 的一般工作原理和特性。

复习题

- (1) 描述一个 MOSFET 的基本结构和工作原理。定义增强型和耗尽型。
- (2) 概述增强型和耗尽型 MOSFET 的一般电流-电压特性。定义饱和和非饱和偏置区。
- (3) 描述开启电压、宽长比以及漏-源饱和电压的含义。
- (4) 阐述沟道长度调制效应并定义参数 λ 。描述衬底效应并定义参数 γ 。
- (5) 描述一个 N 沟道增强型器件组成的简单共源 MOSFET 电路,并讨论漏-源电压和栅-源电压之间的关系。
- (6) 怎么证明 MOSFET 偏置在饱和区?
- (7) 在一些 MOSFET 电路的直流分析中用到了栅-源电压的二次方程,怎么确定两个解中的哪一个是正确的?
- (8) 怎么使 Q 点在晶体管参数变化的情况下保持稳定?
- (9) 描述栅极和漏极相连的 N 沟道增强型 MOSFET 的电流-电压特性。
- (10) 描述栅极和源极相连的 N 沟道耗尽型 MOSFET 的电流-电压特性。
- (11) 描述一个 MOSFET 或非逻辑电路。
- (12) 阐述 MOSFET 如何放大时变信号。
- (13) 阐述结型 FET 的基本工作原理。
- (14) MESFET 和 PN 结 JFET 之间的区别是什么?

习题

(注意:除非另作说明,在所有习题中都假定晶体管的 $\lambda=0$ 。)

1. MOS 场效应晶体管

3.1 ① NMOS 晶体管的参数为 $V_{TN}=0.4\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$, $W=10\mu\text{m}$, $L=0.8\mu\text{m}$ 。当所加的漏-源电压为 $V_{DS}=0.1\text{V}$, 所加的栅-源电压 V_{GS} 分别为 0、1V、2V 或 3V 时,计算漏极电流。② 所加的漏-源电压为 $V_{DS}=4\text{V}$,重复①。

3.2 NMOS 晶体管, 当 $V_{GS} - V_{TN} = 0.6\text{V}$ 时, 电流为 0.5mA ; 当 $V_{GS} - V_{TN} = 1.0\text{V}$ 时, 电流为 1.0mA 。器件工作在非饱和区。求解 V_{DS} 和 K_n 。

3.3 NMOS 晶体管的 $i_D - v_{DS}$ 特性曲线如图 3.71 所示。①这是一个增强型还是耗尽型器件? ②求解 K_n 和 V_{TN} 的值。③求解 $v_{GS} = 3.5\text{V}$ 和 $v_{GS} = 4.5\text{V}$ 时的 $i_D(\text{sat})$ 值。

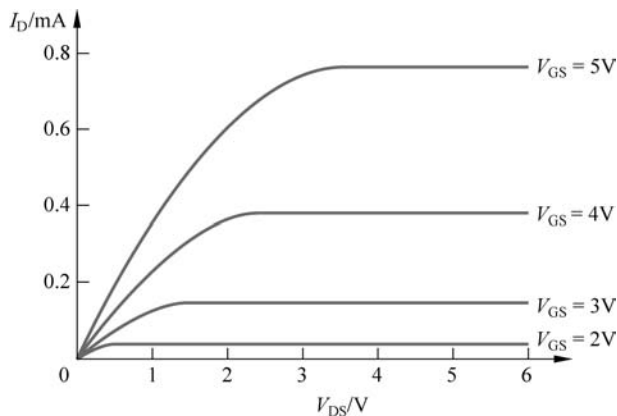


图 3.71 习题 3.3 图

3.4 N 沟道耗尽型 MOSFET 的参数为 $V_{TN} = -2.5\text{V}$, $K_n = 1.1\text{mA/V}^2$ 。① V_{DS} 分别取 0.5V 、 2.5V 、 5V 时, 求解 $V_{GS} = 0$ 时的 I_D ; ②对于 $V_{GS} = 2\text{V}$, 重复①。

3.5 图 3.72 中每个晶体管的开启电压均为 $V_{TN} = 0.4\text{V}$ 。求解每个电路中晶体管的工作区域。

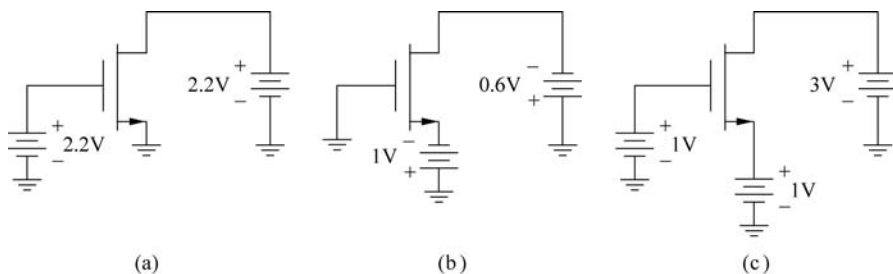


图 3.72 习题 3.5 图

3.6 图 3.73 中每个晶体管的开启电压均为 $V_{TP} = -0.4\text{V}$ 。求解每个电路中晶体管的工作区域。

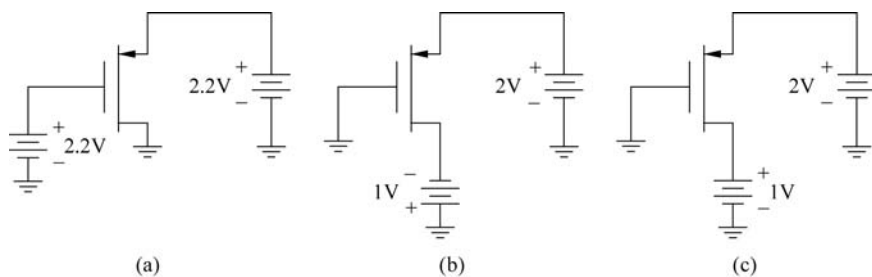


图 3.73 习题 3.6 图

3.7 N 沟道耗尽型 MOSFET 的参数为 $V_{TN} = -1.2\text{V}$, $k'_n = 120\mu\text{A}/\text{V}^2$ 。当 $V_{GS} = 0$, $V_{DS} = 2\text{V}$ 时的漏极电流为 $I_D = 0.5\text{mA}$ 。求解 W/L 比。

3.8 NMOS 晶体管的 $\mu_n = 600\text{cm}^2/(\text{V}\cdot\text{s})$, 当氧化物厚度 t_{ox} 分别为 ① $500\text{\AA}$, ② $250\text{\AA}$, ③ $100\text{\AA}$, ④ $50\text{\AA}$ 和 ⑤ $25\text{\AA}$ 时, 求解工艺传导参数 k'_n 的值。

3.9 N 沟道增强型 MOSFET 的参数为 $V_{TN} = 0.4\text{V}$, $W = 20\mu\text{m}$, $L = 0.8\mu\text{m}$, $t_{ox} = 200\text{\AA}$, $\mu_n = 650\text{cm}^2/(\text{V}\cdot\text{s})$ 。① 计算传导参数 K_n 。② 当 $V_{GS} = V_{DS} = 2\text{V}$ 时, 求解漏极电流。③ 当 $V_{GS} = 2\text{V}$ 时, 什么样的 V_{DS} 值使得器件工作在饱和区的边缘?

3.10 NMOS 器件的参数为 $V_{TN} = 0.8\text{V}$, $L = 0.8\mu\text{m}$, $k'_n = 120\mu\text{A}/\text{V}^2$ 。当晶体管偏置在饱和区且 $V_{GS} = 1.4\text{V}$ 时, 漏极电流 $I_D = 0.6\text{mA}$ 。① 沟道的宽度 W 是多少? ② 当 $V_{DS} = 0.4\text{V}$ 时, 求解漏极电流的值; ③ 什么样的 V_{DS} 值使得器件工作在饱和区的边缘?

3.11 一个特定的 NMOS 器件的参数为 $V_{TN} = 0.6\text{V}$, $L = 0.8\mu\text{m}$, $t_{ox} = 200\text{\AA}$, $\mu_n = 600\text{cm}^2/(\text{V}\cdot\text{s})$ 。当晶体管偏置在饱和区且 $V_{GS} = 3\text{V}$ 时, 所需要的漏极电流为 $I_D = 1.2\text{mA}$ 。求解器件所需的沟道宽度。

3.12 沟道非常短 MOS 晶体管在饱和时的电压关系不符合平方律, 漏极电流转而由以下方程给出

$$I_D = WC_{ox}(V_{GS} - V_{TN})v_{sat}$$

其中, v_{sat} 为饱和速度。假设 $v_{sat} = 2 \times 10^7 \text{cm/s}$, 利用习题 3.11 中的参数, 求解电流。

3.13 P 沟道增强型 MOSFET 的 $k'_p = 50\mu\text{A}/\text{V}^2$ 。当 $V_{SG} = V_{SD} = 2\text{V}$ 时, 漏极电流 $I_D = 0.225\text{mA}$; 当 $V_{SG} = V_{SD} = 3\text{V}$ 时, $I_D = 0.65\text{mA}$ 。求解 W/L 比和 V_{TP} 的值。

3.14 P 沟道增强型 MOSFET 的参数为 $K_p = 2\text{mA}/\text{V}^2$, $V_{TP} = -0.5\text{V}$ 。栅极为地电位, 源极和衬底电极均为 $+5\text{V}$ 。当漏极电压为 ① $V_D = 0\text{V}$, ② $V_D = 2\text{V}$, ③ $V_D = 4\text{V}$, ④ $V_D = 5\text{V}$ 时, 求解 I_D 的值。

3.15 PMOS 晶体管的 i_D-v_{DS} 特性曲线如图 3.74 所示。① 这是一个增强型还是耗尽型器件? ② 求解 K_p 和 V_{TP} 的值。③ 求解 $v_{GS} = 3.5\text{V}$ 和 $v_{GS} = 4.5\text{V}$ 时的 $i_D(\text{sat})$ 值。

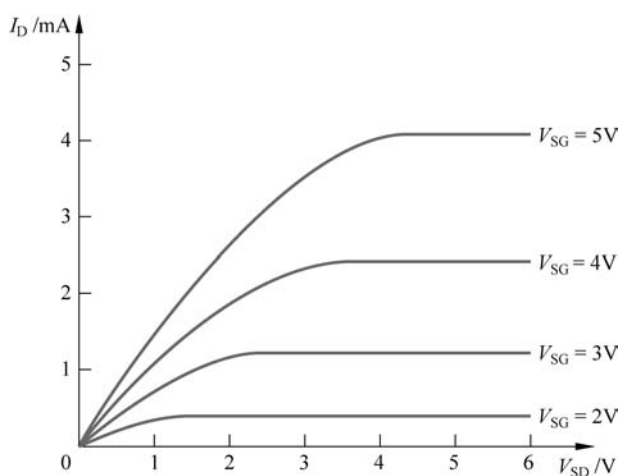


图 3.74 习题 3.15 图

3.16 P 沟道耗尽型 MOSFET 的参数为 $V_{TP} = +2V$, $k'_p = 40\mu A/V^2$, $W/L = 6$ 。对于 ① $V_{SG} = -1V$, ② $V_{SG} = 0$, ③ $V_{SG} = +1V$, 求解 $V_{SD}(\text{sat})$ 的值。如果晶体管偏置在饱和区, 计算每个 V_{SG} 对应的漏极电流值。

3.17 PMOS 晶体管的参数为 $V_{TP} = -0.5V$, $k'_p = 50\mu A/V^2$, $W = 12\mu m$, $L = 0.8\mu m$ 。加源-栅电压 $V_{SG} = 2V$, 当 ① $V_{SD} = 0.2V$, ② $V_{SD} = 0.8V$, ③ $V_{SD} = 1.2V$, ④ $V_{SD} = 2.2V$, ⑤ $V_{SD} = 3.2V$ 时, 求解漏极电流。

3.18 PMOS 晶体管的 $\mu_p = 250\text{cm}^2/(V\cdot s)$, 当氧化物厚度 t_{ox} 分别为 ① $500\text{\AA}$, ② $250\text{\AA}$, ③ $100\text{\AA}$, ④ $50\text{\AA}$ 和 ⑤ $25\text{\AA}$ 时, 求解工艺传导参数 k'_p 的值。

3.19 增强型 NMOS 和 PMOS 器件共同的参数为 $L = 4\mu m$, $t_{ox} = 500\text{\AA}$ 。NMOS 晶体管的 $V_{TN} = +0.6V$, $\mu_n = 675\text{cm}^2/(V\cdot s)$, 沟道宽度为 W_n ; PMOS 器件的 $V_{TP} = -0.6V$, $\mu_p = 375\text{cm}^2/(V\cdot s)$, 沟道宽度为 W_p 。设计两个晶体管的宽度, 使它们在电气上等价, 且当 PMOS 偏置在饱和区, $V_{SG} = 5V$ 时的漏极电流 $I_D = 0.8\text{mA}$ 。 K_n 、 K_p 、 W_n 、 W_p 的值为多少?

3.20 增强型 NMOS 晶体管的参数为 $V_{TN} = 1.2V$, $K_n = 0.20\text{mA}/V^2$, $\lambda = 0.01V^{-1}$ 。当 $V_{GS} = 2.0V$ 和 $V_{GS} = 4.0V$ 时, 分别计算输出电阻 r_o 。 V_A 的值为多少?

3.21 N 沟道增强型 MOSFET 的参数为 $V_{TN} = 0.5V$, $k'_n = 120\mu A/V^2$, $W/L = 4$ 。若要使得 $V_{GS} = 2V$, $r_o \geq 200\text{k}\Omega$, λ 的最大值和 V_A 的最小值是多少?

3.22 增强型 NMOS 晶体管的参数为 $V_{TNO} = 0.8V$, $\gamma = 0.8V^{1/2}$, $\phi_f = 0.35V$ 。当 V_{SB} 为何值时, 衬底效应将导致开启电压变化 $2V$?

3.23 NMOS 晶体管的参数为 $V_{TO} = 0.75V$, $k'_n = 80\mu A/V^2$, $W/L = 15$, $\phi_f = 0.37V$, $\gamma = 0.6V^{1/2}$ 。① 晶体管偏置在 $V_{GS} = 2.5V$, $V_{SB} = 3V$ 和 $V_{DS} = 3V$, 求解漏极电流 I_D 。② 对于 $V_{DS} = 0.25V$, 重复①。

3.24 ① MOS 晶体管的二氧化硅栅极绝缘层厚度为 $t_{ox} = 120\text{\AA}$ 。(I) 计算理想的氧化物击穿电压。(II) 如果要求安全系数为 3, 求解可以加到栅极的最大安全电压。② 氧化物厚度为 $t_{ox} = 200\text{\AA}$, 重复①。

3.25 在一个功率 MOS 晶体管中, 栅极可加的最大电压为 $24V$, 如果指定安全系数为 3, 求解所需的二氧化硅栅极绝缘层的最小厚度。

2. 晶体管的直流分析

3.26 在图 3.75 所示电路中, 晶体管的参数为 $V_{TN} = 0.8V$, $K_n = 0.5\text{mA}/V^2$ 。计算 V_{GS} 、 I_D 和 V_{DS} 。

3.27 图 3.76 所示电路中, 晶体管的参数为 $V_{TN} = 0.8V$, $K_n = 0.25\text{mA}/V^2$ 。当 ① $V_{DD} = 4V$, $R_D = 1\text{k}\Omega$; ② $V_{DD} = 5V$, $R_D = 3\text{k}\Omega$ 时, 画出负载线并标出 Q 点。每种情况下的偏置工作区是什么?

3.28 图 3.77 所示电路中, 晶体管的参数为 $V_{TN} = 0.4V$, $k'_n = 120\mu A/V^2$, $W/L = 80$ 。设计电路, 使得 $I_Q = 0.8\text{mA}$, $R_{in} = 200\text{k}\Omega$ 。

3.29 图 3.78 所示电路中, 晶体管的参数为 $V_{TP} = -0.8V$,

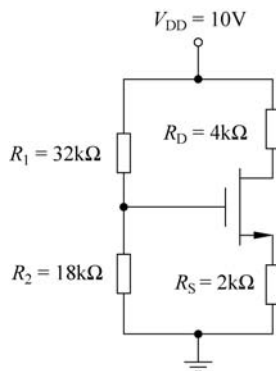


图 3.75 习题 3.26 图

$K_p = 0.20 \text{ mA/V}^2$ 。当① $V_{DD} = 3.5 \text{ V}$, $R_D = 1.2 \text{ k}\Omega$ ② $V_{DD} = 5 \text{ V}$, $R_D = 4 \text{ k}\Omega$ 时,画出负载线并标出 Q 点。每种情况下的偏置工作区是什么?

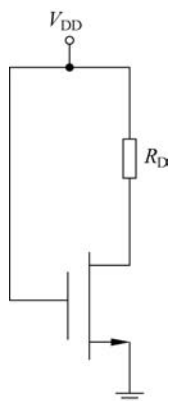


图 3.76 习题 3.27 图

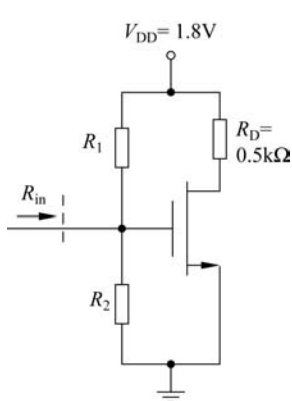


图 3.77 习题 3.28 图

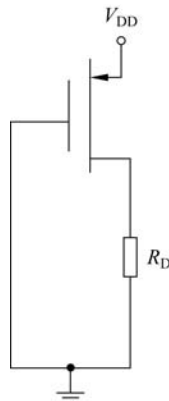


图 3.78 习题 3.29 图

3.30 观察图 3.79 所示的电路,晶体管的参数为 $V_{TP} = -0.8 \text{ V}$, $K_p = 0.5 \text{ mA/V}^2$ 。计算 I_D 、 V_{SG} 和 V_{SD} 。

3.31 图 3.80 所示电路中,晶体管的参数为 $V_{TP} = -0.8 \text{ V}$, $K_p = 200 \mu\text{A/V}^2$,计算 V_S 和 V_{SD} 。

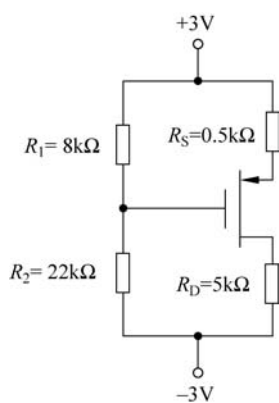


图 3.79 习题 3.30 图

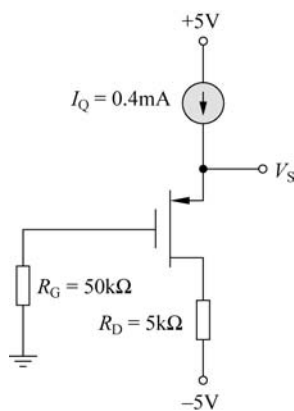


图 3.80 习题 3.31 图

3.32 设计一个 MOSFET 电路,电路结构如图 3.75 所示。晶体管的参数为 $V_{TN} = 0.4 \text{ V}$, $k'_n = 120 \mu\text{A/V}^2$, $\lambda = 0$ 。电路的参数为 $V_{DD} = 3.3 \text{ V}$, $R_D = 5 \text{ k}\Omega$ 。设计电路,使得 $V_{DSQ} \approx 1.6 \text{ V}$, R_S 上的压降约为 0.8 V 。令 $V_{GS} = 0.8 \text{ V}$ 。流过偏置电阻的电流应约为漏极电流的 5% 。

3.33 观察图 3.81 所示的电路。晶体管的参数为 $V_{TN} = 0.4 \text{ V}$, $k'_n = 120 \mu\text{A/V}^2$ 。 R_S 上的压降为 0.2 V 。设计晶体管的 W/L 比,使得 $V_{DS} = V_{DS}(\text{sat}) + 0.4 \text{ V}$,同时求解 R_1 、 R_2 的值,使得 $R_{in} = 200 \text{ k}\Omega$ 。

3.34 图 3.82 所示的电路中,晶体管的参数为 $V_{TN} = 0.4 \text{ V}$, $k'_n = 120 \mu\text{A/V}^2$, $W/L =$

50. ①求解 V_{GS} , 使得 $I_D = 0.35\text{mA}$ 。②求解 V_{DS} 和 $V_{DS}(\text{sat})$ 。

3.35 图 3.83 所示的电路中, 晶体管的参数为 $V_{TN} = 0.4\text{V}$, $k'_n = 120\mu\text{A}/\text{V}^2$, $W/L = 25$ 。计算 V_{GS} 、 I_D 和 V_{DS} 。画出负载线并标出 Q 点。

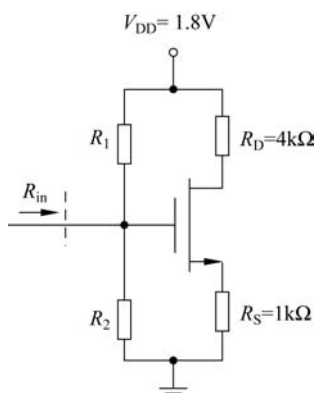


图 3.81 习题 3.33 图

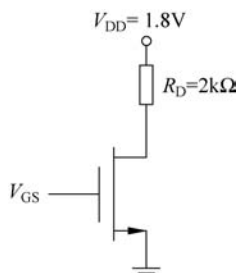


图 3.82 习题 3.34 图

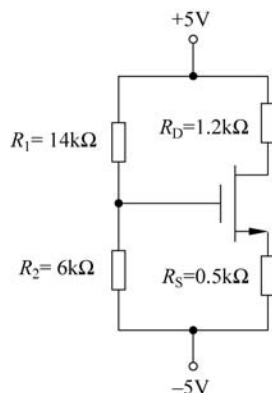


图 3.83 习题 3.35 图

3.36 设计一个 MOSFET 电路, 电路结构如图 3.79 所示。晶体管的参数为 $V_{TP} = -0.6\text{V}$, $k'_p = 50\mu\text{A}/\text{V}^2$, $\lambda = 0$ 。电路的偏置电压为 $\pm 3\text{V}$, 漏极电流应为 0.2mA , 漏-源电压约为 3V , R_S 两端的电压大约和 V_{SG} 相等。此外, 流过偏置电阻的电流要求不超过漏极电流的 10% 。(提示: 为晶体管选择合理的宽长比)

3.37 图 3.84(a)和(b)所示电路的晶体管参数为 $K_n = 0.5\text{mA}/\text{V}^2$, $V_{TN} = 1.2\text{V}$, $\lambda = 0$ 。当① $I_Q = 50\mu\text{A}$, ② $I_Q = 1\text{mA}$ 时, 求解每个晶体管的 v_{GS} 和 v_{DS} 值。

3.38 图 3.85 所示的电路中, 晶体管的参数为 $V_{TN} = 0.6\text{V}$ 和 $K_n = 200\mu\text{A}/\text{V}^2$, 求解 V_S 和 V_D 。

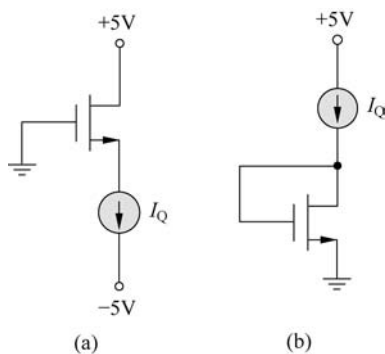


图 3.84 习题 3.37 图

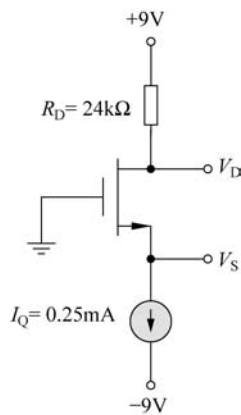


图 3.85 习题 3.38 图

* 3.39 ①设计图 3.86 中的电路, 使得 $I_{DQ} = 0.50\text{mA}$, $V_D = 1\text{V}$ 。晶体管的参数为 $K_n = 0.25\text{mA}/\text{V}^2$, $V_{TN} = 1.4\text{V}$ 。画出负载线并标出 Q 点。②选择最接近理想设计值的标准电阻值, 所得到的 Q 点值是多少? ③如果②中电阻有 $\pm 10\%$ 的容差, 确定 I_{DQ} 的最大值和最

小值。

3.40 图 3.87 所示电路中的 PMOS 晶体管的参数为 $V_{TP} = -0.7\text{V}$, $k'_p = 50\mu\text{A}/\text{V}^2$, $L = 0.8\mu\text{m}$, $\lambda = 0$ 。确定 W 和 R 的取值,使得 $I_D = 0.1\text{mA}$, $V_{SD} = 2.5\text{V}$ 。

3.41 设计图 3.88 中的电路,使得 $V_{SD} = 2.5\text{V}$ 。偏置电阻中的电流不应超过漏极电流的 10%。晶体管的参数为 $V_{TP} = +1.5\text{V}$, $K_p = 0.5\text{mA}/\text{V}^2$ 。

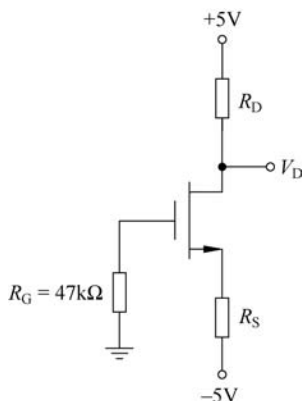


图 3.86 习题 3.39 图

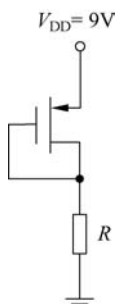


图 3.87 习题 3.40 图

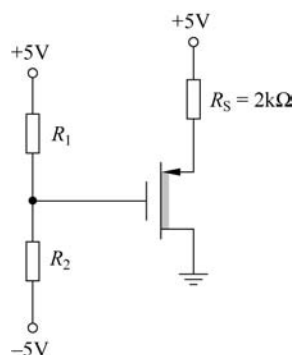


图 3.88 习题 3.41 图

*3.42 ①设计图 3.89 中的电路,使得 $I_{DQ} = 0.25\text{mA}$, $V_D = -2\text{V}$ 。晶体管的标称参数为 $V_{TP} = -1.2\text{V}$, $k'_p = 35\mu\text{A}/\text{V}^2$, $W/L = 15$ 。画出负载线并标出 Q 点。②如果 k'_p 参数的容差为 $\pm 5\%$,求解 Q 点的最大值和最小值。

3.43 图 3.90 所示的电路中,晶体管的参数为 $V_{TP} = -1.75\text{V}$, $K_p = 3\text{mA}/\text{V}^2$ 。设计电路,使得 $I_D = 5\text{mA}$, $V_{SD} = 6\text{V}$,且 $R_{in} = 80\text{k}\Omega$ 。

3.44 图 3.91 所示的电路中,每个晶体管的 $k'_n = 120\mu\text{A}/\text{V}^2$ 。同时,对于 M_1 ,有 $W/L = 4$, $V_{TN} = 0.4\text{V}$;对于 M_2 ,有 $W/L = 1$, $V_{TN} = -0.6\text{V}$ 。①求解输入电压,使得 M_1 和 M_2 都偏置在饱和区。②求解每个晶体管的工作区以及当 v_i 分别为 0.6V 及 1.5V 时的输出电压 v_o 。

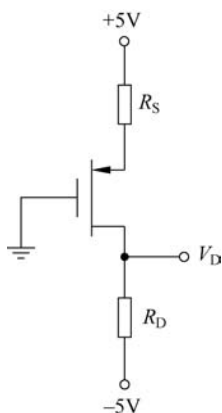


图 3.89 习题 3.42 图

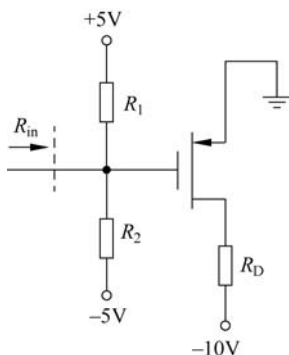


图 3.90 习题 3.43 图

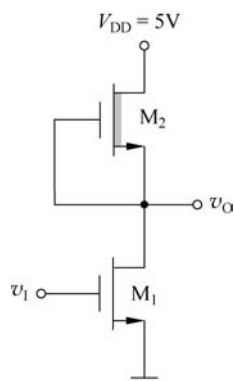


图 3.91 习题 3.44 图

3.45 观察图 3.91 所示的电路,晶体管 M_1 的参数为 $V_{TN}=0.4\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$; 晶体管 M_2 的参数为 $V_{TN}=-0.6\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$, $W/L=1$ 。求解 M_1 的 W/L 比,使得当 $v_1=3\text{V}$ 时, $v_O=0.025\text{V}$ 。

3.46 图 3.92 所示电路中的晶体管具有相同的参数 $V_{TN}=0.4\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$ 。
①如果 M_1 和 M_2 的宽长比为 $(W/L)_1=(W/L)_2=30$, 求解 V_{GS1} 、 V_{GS2} 、 V_O 和 I_D 。
②如果宽长比变为 $(W/L)_1=30$, $(W/L)_2=15$, 重复①。
③如果宽长比变为 $(W/L)_1=15$, $(W/L)_2=30$, 重复①。

3.47 观察图 3.93 所示的电路。
①晶体管的标称参数为 $V_{TN}=0.6\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$, 设计每个晶体管所需的宽长比,使得 $I_{DQ}=0.8\text{mA}$, $V_1=2.5\text{V}$, $V_2=6\text{V}$ 。
②如果每个晶体管的 k'_n 参数分别变化 $+5\%$, -5% , 求解两种情况下 V_1 和 V_2 值的变化。
③如果 M_1 的 k'_n 参数减小 5% , 而 M_2 和 M_3 的 k'_n 参数增大 5% , 求解 V_1 和 V_2 的值。

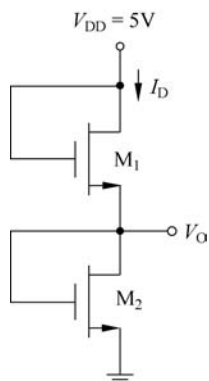


图 3.92 习题 3.46 图

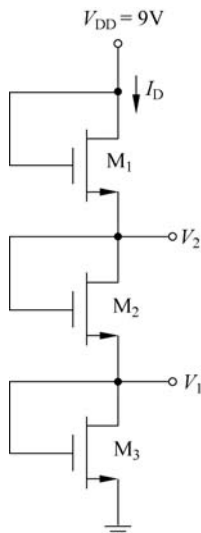


图 3.93 习题 3.47 图

3.48 图 3.36 所示的电路中,所有晶体管的参数为 $V_{TN}=0.6\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$, $\lambda=0$ 。 M_L 的宽长比为 $(W/L)_L=2$ 。设计驱动晶体管的宽长比,使得当 $V_1=5\text{V}$ 时, $V_O=0.15\text{V}$ 。

3.49 图 3.39 所示电路中,晶体管的参数为 $V_{TND}=0.6\text{V}$, $V_{TNL}=-1.2\text{V}$, $\lambda=0$, $k'_n=120\mu\text{A}/\text{V}^2$ 。令 $V_{DD}=5\text{V}$ 。 M_L 的宽长比为 $(W/L)_L=2$ 。设计驱动晶体管的宽长比,使得当 $V_1=5\text{V}$ 时, $V_O=0.10\text{V}$ 。

3. MOSFET 开关和放大电路

3.50 观察图 3.94 所示的电路。电路的参数为 $V_{DD}=3\text{V}$, $R_D=30\text{k}\Omega$ 。晶体管的参数为 $V_{TN}=0.4\text{V}$, $k'_n=120\mu\text{A}/\text{V}^2$ 。
①求解晶体管的宽长比,使得当 $V_1=2.6\text{V}$ 时, $V_O=0.08\text{V}$ 。
②对于 $V_1=3\text{V}$, 重复①。

3.51 图 3.95 所示电路中的晶体管用来开关 LED。晶体管的参数为 $V_{TN}=0.6\text{V}$,

$k'_n = 80 \mu\text{A}/\text{V}^2$, $\lambda = 0$ 。二极管的开启电压为 $V_r = 1.6\text{V}$ 。设计 R_D 和晶体管的宽长比,使得当 $V_1 = 5\text{V}$ 和 $V_{DS} = 0.15\text{V}$ 时, $I_D = 12\text{mA}$ 。

3.52 图 3.96 所示为用来开关 LED 的另一种电路结构。晶体管的参数为 $V_{TP} = -0.6\text{V}$, $k'_p = 40 \mu\text{A}/\text{V}^2$, $\lambda = 0$, 二极管的开启电压为 $V_r = 1.6\text{V}$ 。设计 R_D 和晶体管的宽长比,使得当 $V_1 = 0\text{V}$ 和 $V_{SD} = 0.20\text{V}$ 时, $I_D = 15\text{mA}$ 。

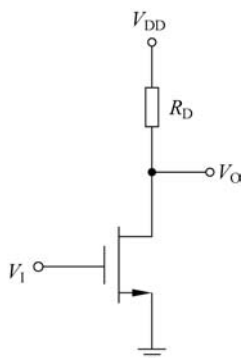


图 3.94 习题 3.50 图

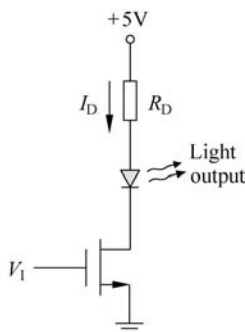


图 3.95 习题 3.51 图

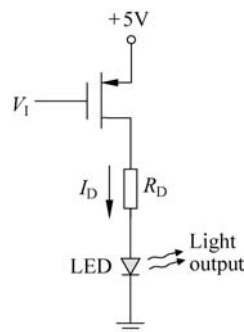


图 3.96 习题 3.52 图

3.53 图 3.46 所示的二输入 NMOS 或非逻辑门电路中,晶体管的参数为 $V_{TN1} = V_{TN2} = 0.6\text{V}$, $\lambda_1 = \lambda_2 = 0$, $k'_{n1} = k'_{n2} = 120 \mu\text{A}/\text{V}^2$ 。漏极电阻 $R_D = 50\text{k}\Omega$ 。①假设 $(W/L)_1 = (W/L)_2$, 求解晶体管的宽长比,使得当 $V_1 = V_2 = 5\text{V}$ 时, $V_O = 0.15\text{V}$ 。②利用①的结果,求解当 $V_1 = 5\text{V}$, $V_2 = 0.2\text{V}$ 时的 V_O 。

3.54 图 3.49(a) 所示的电流源电路中,所有晶体管的参数为 $V_{TN} = 0.4\text{V}$, $k'_n = 120 \mu\text{A}/\text{V}^2$, $\lambda = 0$ 。晶体管 M_1 和 M_2 相匹配。偏置电源为 $V^+ = 2.5\text{V}$ 和 $V^- = -2.5\text{V}$ 。要求电流为 $I_{Q1} = 125 \mu\text{A}$ 和 $I_{REF1} = 225 \mu\text{A}$ 。对于 M_2 ,要求 $V_{DS2}(\text{sat}) = 0.5\text{V}$; 对于 M_1 ,要求 $V_{DS1} = 2\text{V}$ 。①求解晶体管的 W/L 比; ②求解 R_D 。

3.55 图 3.49(b) 所示的电流源电路中,所有晶体管的参数为 $V_{TP} = -0.4\text{V}$, $k'_p = 50 \mu\text{A}/\text{V}^2$, $\lambda = 0$ 。偏置电源为 $V^+ = 5\text{V}$ 和 $V^- = -5\text{V}$ 。要求电流为 $I_{Q2} = 200 \mu\text{A}$ 和 $I_{REF2} = 125 \mu\text{A}$ 。对于 M_B ,要求 $V_{SDB}(\text{sat}) = 0.8\text{V}$; 对于 M_A ,要求 $V_{SDA} = 4\text{V}$ 。晶体管 M_A 和 M_B 相匹配。①求解晶体管的 W/L 比; ②求解 R_D 。

3.56 观察图 3.50 所示的电路。每个晶体管的开启电压和工艺传导参数均为 $V_{TN} = 0.6\text{V}$, $k'_n = 120 \mu\text{A}/\text{V}^2$ 。令所有晶体管的 $\lambda = 0$ 。假设 M_1 和 M_2 相匹配。设计宽长比,使得 $I_Q = 0.35\text{mA}$, $I_{REF} = 0.15\text{mA}$, $V_{DS2}(\text{sat}) = 0.5\text{V}$ 。求解 R_D ,使得 $V_{DS1} = 3.5\text{V}$ 。

4. 结型场效应晶体管

3.57 N 沟道耗尽型 JFET 的源极和栅极连接在一起。请问什么样的 V_{DS} 值能保证这两个两端器件偏置在饱和区? 在此偏置状态下的漏极电流是多少?

3.58 某 N 沟道 JFET 的参数为 $I_{DSS} = 6\text{mA}$, $V_P = -3\text{V}$ 。计算 $V_{DS}(\text{sat})$ 。如果 $V_{DS} > V_{DS}(\text{sat})$, 在以下条件下求解 I_D : ① $V_{GS} = 0$; ② $V_{GS} = -1\text{V}$; ③ $V_{GS} = -2\text{V}$; ④ $V_{GS} = -3\text{V}$ 。

3.59 某 P 沟道 JFET 偏置在饱和区,其中 $V_{SD} = 5\text{V}$ 。若当 $V_{GS} = 1\text{V}$ 时 $I_D = 2.8\text{mA}$;

$V_{GS}=3\text{V}$ 时 $I_D=0.30\text{mA}$, 求解 I_{DSS} 和 V_P 。

3.60 观察图 3.97 所示的 P 沟道 JFET 电路。求解使晶体管偏置在饱和区的 V_{DD} 的范围。如果 $I_{DSS}=6\text{mA}$, $V_P=2.5\text{V}$, 求解 V_S 。

3.61 观察一个 GaAs MESFET 电路。当器件偏置在饱和区时, 可以发现, 当 $V_{GS}=0.35\text{V}$ 时, $I_D=18.5\mu\text{A}$; 当 $V_{GS}=0.50\text{V}$ 时, $I_D=86.2\mu\text{A}$ 。求解传导参数 k 和开启电压 V_{TN} 。

3.62 GaAs MESFET 的开启电压 $V_{TN}=0.24\text{V}$ 。最大允许栅-源电压 $V_{GS}=0.75\text{V}$ 。当晶体管偏置在饱和区时, 最大漏极电流为 $I_D=250\mu\text{A}$ 。传导参数 k 的值是多少?

3.63 图 3.98 所示的电路中, 晶体管的参数为 $I_{DSS}=10\text{mA}$, $V_P=-5\text{V}$ 。求解 I_{DQ} 、 V_{GSQ} 和 V_{DSQ} 。

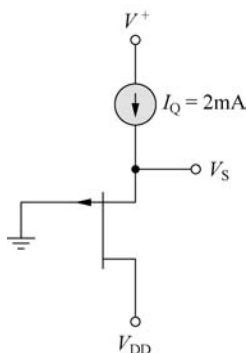


图 3.97 习题 3.60 图

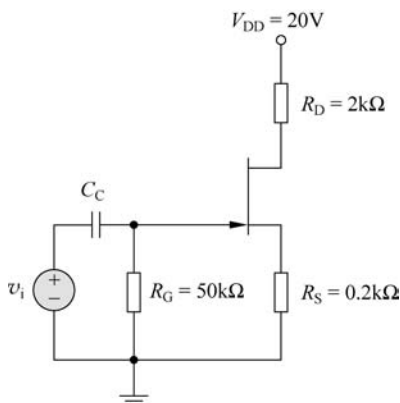


图 3.98 习题 3.63 图

3.64 观察图 3.99 所示的 N 沟道 JFET 源极跟随器电路。要求输入电阻为 $R_{in}=500\text{k}\Omega$, $I_{DQ}=5\text{mA}$, $V_{DSQ}=8\text{V}$, $V_{GSQ}=-1\text{V}$, 求解 R_S 、 R_1 和 R_2 以及所需晶体管的 I_{DSS} 和 V_P 的值。

3.65 图 3.100 所示电路中的晶体管参数为 $I_{DSS}=8\text{mA}$, $V_P=4\text{V}$ 。设计电路, 使得 $I_D=5\text{mA}$ 。假设 $R_{in}=100\text{k}\Omega$, 求解 V_{SG} 和 V_{SD} 。

3.66 图 3.101 所示的电路中, 晶体管的参数为 $I_{DSS}=7\text{mA}$, $V_P=3\text{V}$ 。令 $R_1+R_2=100\text{k}\Omega$ 。设计电路, 使得 $I_{DQ}=5.0\text{mA}$, $V_{SDQ}=6\text{V}$ 。

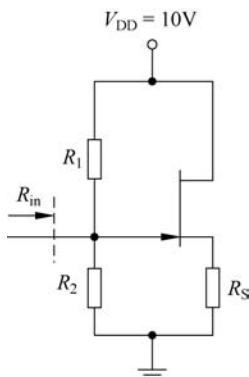


图 3.99 习题 3.64 图

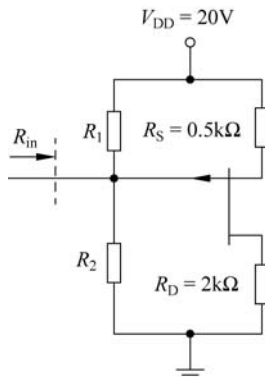


图 3.100 习题 3.65 图

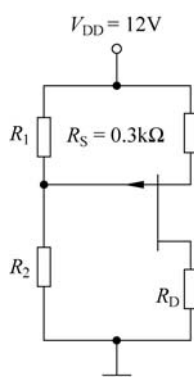


图 3.101 习题 3.66 图

3.67 图 3.102 所示电路中的晶体管参数为 $I_{DSS} = 8\text{mA}$, $V_P = -4\text{V}$ 。求解 V_G 、 I_{DQ} 、 V_{GSQ} 和 V_{DSQ} 。

3.68 观察图 3.103 所示的电路,求得 V_{DS} 的静态值为 $V_{DSQ} = 5\text{V}$ 。如果 $I_{DSS} = 10\text{mA}$,求解 I_{DQ} 、 V_{GSQ} 和 V_P 。

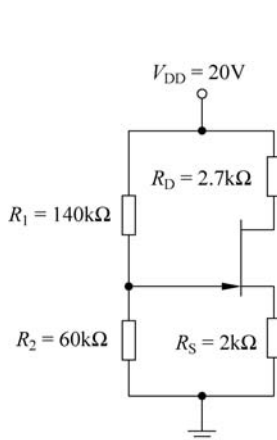


图 3.102 习题 3.67 图

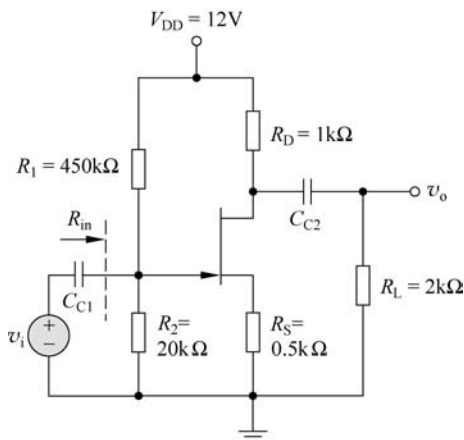


图 3.103 习题 3.68 图

3.69 图 3.104 所示的电路中,晶体管的参数为 $I_{DSS} = 4\text{mA}$, $V_P = -3\text{V}$ 。设计 R_D ,使得 $V_{DS} = |V_P|$, I_D 的值是多少?

3.70 观察图 3.105 所示的源极跟随器电路,晶体管的参数为 $I_{DSS} = 2\text{mA}$, $V_P = 2\text{V}$ 。设计电路,使得 $I_{DQ} = 1\text{mA}$, $V_{SDQ} = 10\text{V}$,且流过 R_1 和 R_2 的电流为 0.1mA 。

3.71 图 3.106 所示的电路中,GaAs MESFET 的参数为 $k = 250\mu\text{A}/\text{V}^2$, $V_{TN} = 0.20\text{V}$ 。令 $R_1 + R_2 = 150\text{k}\Omega$ 。设计电路,使得 $I_D = 40\mu\text{A}$, $V_{DS} = 2\text{V}$ 。

3.72 图 3.107 所示的电路中,GaAs MESFET 的开启电压为 $V_{TN} = 0.15\text{V}$ 。令 $R_D = 50\text{k}\Omega$ 。求解所需的传导参数的值,使得当 $V_I = 0.75\text{V}$ 时, $V_O = 0.70\text{V}$ 。

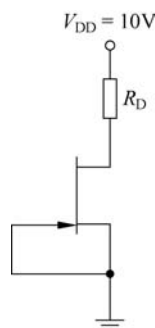


图 3.104 习题 3.69 图

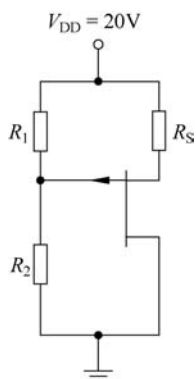


图 3.105 习题 3.70 图

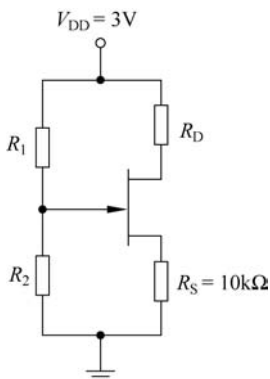


图 3.106 习题 3.71 图

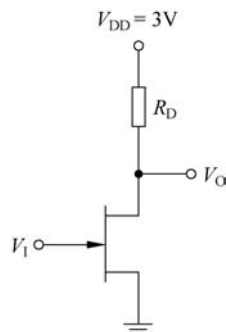


图 3.107 习题 3.72 图

5. 计算机仿真题

3.73 利用计算机仿真,验证练习题 3.5 的结果。

3.74 ①利用计算机仿真,画出图 3.41 所示 CMOS 电路的电压传输特性曲线。其中使用例题 3.11 中给出的参数。② M_N 的宽长比加倍,在此情况下,重复①。

3.75 ①利用计算机仿真,画出当 $V_2=0, 0 \leq V_1 \leq 5V$ 时,图 3.46 所示 NMOS 电路的电压传输特性曲线。其中使用例题 3.13 给出的电路和晶体管参数。②当 $0 \leq V_1 = V_2 \leq 5V$ 时,重复①。

3.76 利用计算机仿真,验证例题 3.17 中对图 3.52 所示多晶体管电路的分析结果。

6. 设计习题

(注意:所有的设计都应该和计算机仿真联系起来。)

*3.77 观察图 3.30 所示的 PMOS 电路。设计电路,使得 $I_{DQ}=100\mu A$,且 Q 点位于负载线饱和区的中心。假设 $R_1+R_2=500k\Omega$,且晶体管的参数与练习题 3.6 中给出的相同。

*3.78 观察图 3.39 所示带耗尽型负载的电路。假设电路偏置在 $V_{DD}=3.3V$,晶体管的开启电压为 $V_{TND}=0.40V, V_{TNL}=-0.75V$ 。同时假设 $k'_n=80\mu A/V^2$ 。设计电路,使得 $V_1=3.3V$ 时, $V_O=0.05V$,且最大功耗为 $150\mu W$ 。

*3.79 重新设计图 3.50 中的恒流源电路。偏置电压为 $V^+=3.3V, V^-=-3.3V$ 。所有晶体管的参数为 $V_{TN}=0.4V, k'_n=100\mu A/V^2$ 。要求电流为 $I_{REF}=100\mu A, I_Q=60\mu A$ 。同时指定 $V_{DS2}(sat)=0.6V, V_{GS1}=V_{GS2}, V_{DS1}=2.5V$ 。求解所有的宽长比和 R_D 的值(注意:要求最小的宽长比大于 1)。

*3.80 观察图 3.52 所示的多晶体管电路。偏置电压为 $V^+=3.3V, V^-=-3.3V$ 。晶体管的参数为 $V_{TN}=0.4V, k'_n=100\mu A/V^2$ 。设计电路,使得 $I_{DQ1}=100\mu A, I_{DQ2}=250\mu A, V_{DSQ1}=V_{DSQ2}=3.3V$,且 $R_i=200k\Omega$ 。