第 5 章

CHAPTER 5

锁存器与触发器

锁存器和触发器是数字电路中最基本的存储器件，两者共同的特点是能够存储 1 位二值信息。

按照逻辑功能进行划分，锁存器/触发器可分为 SR 锁存器/触发器、D 锁存器/触发器和 JK 触发器。根据动作特点进行划分，锁存器/触发器又可分为门控锁存器、脉冲触发器和边沿触发器 3 种类型。

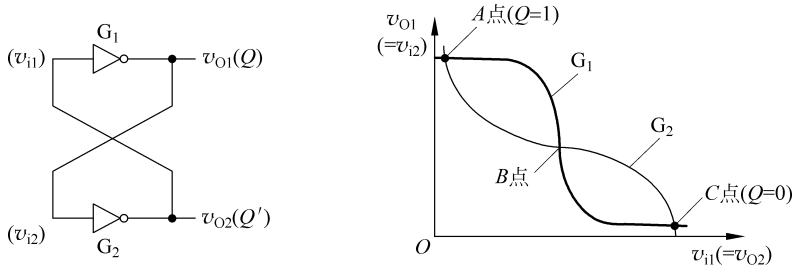
锁存器是构成触发器的基础，而触发器是构成时序逻辑电路的基础。本章主要讲述锁存器和触发器的电路结构、逻辑功能和动作特点。

5.1 基本锁存器及其描述方法

5.1
微课视频

逻辑代数中变量和函数只有 0 和 1 两种取值，相应地，存储电路应该具有两个稳定的物理状态，一个状态表示 0，另一个状态表示 1。

最基本的存储电路为双稳(bi-stable)电路，如图 5-1(a)所示，由两个非门交叉耦合构成。所谓交互耦合，是指第一个门电路的输出作为第二个门电路的输入(正向连接)，第二个门电路的输出又作为第一个门电路的输入(反馈连接)。



(a) 双稳电路　　(b) 特性曲线

图 5-1　双稳电路及其特性曲线

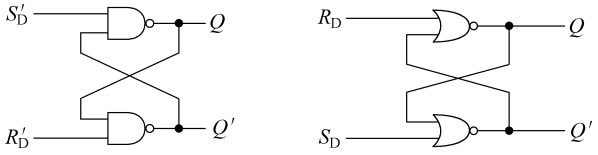
双稳电路的特性曲线如图 5-1(b)所示，由图中可以看出，双稳电路有两个稳态点 $A(v_{O1}=1, v_{O2}=0)$ 和 $C(v_{O1}=0, v_{O2}=1)$ 和一个介稳态点 B。对于 CMOS 反相器构成的双稳电路，处于 B 点时 $v_{O1}=v_{O2}\approx(1/2)V_{DD}$。由于非门的输出与输入为反相关系，并且交互耦合为正反馈连接，因此当双稳电路处于 B 点时不能保持，由于内部噪声和外部干扰的影响，必然

会转换到 A 点或 C 点。所以,介稳态点不是稳定的状态。

若将反相器 G_1 的输出 v_{O1} 命名为 Q,则 G_2 的输出 v_{O2} 为 Q',并且定义 $Q=0$,$Q'=1$ 时表示存储的数据为 0,定义 $Q=1$,$Q'=0$ 时表示存储的数据为 1。因此,特性曲线中 A 点表示存储的数据为 1,也称为 1 状态;C 点表示存储的数据为 0,也称为 0 状态。

双稳电路的状态由链路构成的瞬间门电路的状态决定,并且能够永久地保持下去。因为没有输入端,所以无法控制双稳电路的状态。

若将双稳电路中的反相器扩展为二输入与非门或者二输入或非门,就可以构成两种基本锁存器(latch),如图 5-2 所示。二输入与非门(或者或非门)的一个输入端用于交叉耦合连接,另一个则作为输入端。通过两个输入信号的共同作用就可以设置或者保持锁存器的状态。



(a) 由与非门交互耦合构成　　(b) 由或非门交互耦合构成

图 5-2　两种基本 SR 锁存器

为了便于分析与设计,将两个与非门交叉耦合构成的锁存器与输出 Q 相对应的输入端命名为 S'_D,与 Q' 对应的输入端命名为 R'_D,如图 5-2(a)所示,其中非号表示输入端低电平有效。将两个或非门交叉耦合构成的锁存器与输出 Q 相对应的输入端命名为 R_D,与 Q' 对应的输入端命名为 S_D,如图 5-2(b)所示,两个输入端高电平有效。下标 D 表示锁存器的输入信号不受其他信号的控制,是直接(directly)作用的。

为了方便用数学方法来描述锁存器在输入信号作用下状态的变化关系,将输入信号作用前锁存器所处的状态称为现态(current state),用 Q 表示,将输入信号作用后锁存器所处的状态称为次态(next state),用 Q^* 表示。

下面对由与非门构成的锁存器的功能进行分析。

(1) 当 $S'_D=1$、$R'_D=1$ 时,锁存器相当于双稳电路,由反馈回路维持原来的状态不变。

(2) 当 $S'_D=0$、$R'_D=1$ 时,$Q^*=1$,即在输入 $S'_DR'_D=01$ 的作用下,锁存器的次态为 1。

(3) 当 $S'_D=1$、$R'_D=0$ 时,$Q^*=0$,即在输入 $S'_D\,R'_D=10$ 的作用下,锁存器的次态为 0。

由于 S'_D 有效时将锁存器置 1(set),R'_D 有效时将锁存器置 0(reset),所以称 S'_D 为置 1 输入端,R'_D 为置 0 输入端。相应地,将这种锁存器称为 SR 锁存器(set-reset latch)。

(4) 当 $S'_D=0$、$R'_D=0$ 时,通过分析可知这时 Q^* 和 $Q^{*\prime}$ 同时为 1。这个状态既不是前面定义的 0 状态也不是定义的 1 状态,而是一种错误的状态。因此,对于由与非门构成的基本 SR 锁存器,在正常应用的情况下,不允许 S'_D 和 R'_D 同时有效。

同理,对由或非门构成的锁存器的功能进行分析。

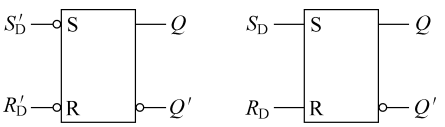
(1) 当 $S_D=0$、$R_D=0$ 时,锁存器相当于双稳电路,$Q^*=Q$(保持功能)。

(2) 当 $S_D=1$、$R_D=0$ 时,$Q^*=1$,即将锁存器的次态设置为 1(置 1 功能)。

(3) 当 $S_D=0$、$R_D=1$ 时,$Q^*=0$,即将锁存器的次态设置为 0(置 0 功能)。

(4) 当 $S_D=1$、$R_D=1$ 时，Q^* 和 $Q^{*\prime}$ 同时为 0，这个状态同样是错误的，所以对于或非门构成的基本 SR 锁存器，在正常应用的情况下，不允许 S_D 和 R_D 同时有效。

两种基本 SR 锁存器的图形符号如图 5-3 所示，图中端口框外的“○”表示该端口为低电平有效。



(a) 由与非门构成　　(b) 由或非门构成

图 5-3　基本 SR 锁存器图形符号

从两种基本 SR 锁存器的分析过程可以看出，锁存器的次态既和输入信号有关，也和现态有关，所以锁存器的次态是输入信号和现态的逻辑函数，即

$$Q^* = F(S'_D, R'_D, Q) \quad \text{（对于与非门构成的锁存器）}$$

或

$$Q^* = F(S_D, R_D, Q) \quad \text{（对于或非门构成的锁存器）}$$

既然锁存器的次态是逻辑函数，就可以用逻辑函数的表示方法——真值表(特性表)、函数表达式(特性方程)、卡诺图和波形图表示。又因为锁存器具有 0 和 1 两种状态，输入信号的变化可能会引起状态的变化，所以其功能还可以用状态转换图或激励表表示。

1) 特性表

特性表即真值表，是以表格的形式描述存储单元的次态与输入信号和现态之间的关系。基本锁存器的特性表如表 5-1 所示。由于在正常应用的情况下，不允许两个输入信号同时有效，所以同时有效的输入取值组合作为无关项进行处理。

表 5-1　基本 SR 锁存器特性表

(a) 与非门构成的锁存器特性表				(b) 或非门构成的锁存器特性表			
S'_D	R'_D	Q	Q^*	S_D	R_D	Q	Q^*
1	1	0	0	0	0	0	0
1	1	1	1	0	0	1	1
0	1	0	1	1	0	0	1
0	1	1	1	1	0	1	1
1	0	0	0	0	1	0	0
1	0	1	0	0	1	1	0
0	0	0	×	1	1	0	×
0	0	1	×	1	1	1	×

2) 特性方程

由特性表画出锁存器的卡诺图，再进行化简即可得到锁存器的函数表达式，习惯称为特性方程。

由与非门构成的锁存器其卡诺图如图 5-4(a)所示，化简可得

$$Q^* = (S'_D)' + R'_D \cdot Q = S_D + R'_D \cdot Q$$

其中两个输入信号 S'_D 和 R'_D 应满足 $S'_D + R'_D = 1$ 的约束条件。

同理，由或非门构成的锁存器其卡诺图如图 5-4(b)所示，化简可得

$$Q^* = S_D + R'_D \cdot Q$$

其中两个输入信号 S_D 和 R_D 应满足 $S_D R_D = 0$ 的约束条件。

Q \ $S_D'R_D'$	00	01	11	10
0	×	1	0	0
1	×	1	1	0

(a) 表5-1(a)卡诺图

Q \ S_DR_D	00	01	11	10
0	0	0	×	1
1	1	0	×	1

(b) 表5-1(b)卡诺图

图 5-4　基本 SR 锁存器的卡诺图

从上面两个函数式可以看出，虽然由与非门构成的锁存器和由或非门构成的锁存器电路形式不同，但两者具有相同的特性方程，而且约束条件也是等价的。因此，今后不用再区分锁存器具体的电路形式，可以直接根据特性方程进行分析和设计。

3）状态转换图与激励表

将存储单元两个状态之间的转换关系及其所需要的输入条件用图形的方式表示称为状态转换图（简称为状态图），用表格的形式表示则称为激励表。

锁存器有 0 和 1 两个状态，根据输入信号的不同组合既能设置也可以保持。图 5-5 为基本 SR 锁存器的状态图，表 5-2 为其激励表。

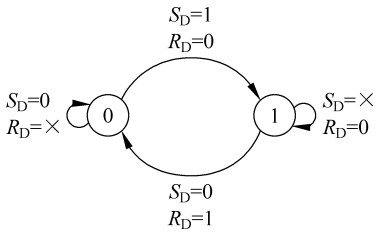


图 5-5　基本 SR 锁存器状态转换图

表 5-2　基本 SR 锁存器激励表

Q	Q^*	S_D	R_D
0	0	0	×
0	1	1	0
1	0	0	1
1	1	×	0

思考与练习

5-1　基本 SR 锁存器有哪几种功能？分别说明其输入条件。

5-2　若应用基本 SR 锁存器时不遵守 $S_DR_D=0$ 的约束条件，会出现什么问题？

74LS279 是 4SR 锁存器，其内部逻辑及引脚如图 5-6 所示。其中两个锁存器提供了两个置 1 端 S_1' 和 S_2'。由于 S_1' 和 S_2' 同为与非门的输入端，故置 1 信号 $S'=S_1'S_2'$。

利用基本 SR 锁存器的保持功能可以实现开关消抖。基本开关电路如图 5-7(a)所示，开关切换时在触点接触瞬间由于簧片震颤会产生若干个不规则的脉冲。假若这些脉冲作用于时序电路可能会引发逻辑错误。

应用锁存器可以消除多余的脉冲，应用电路如图 5-7(b)所示。工作原理如下：

(1) 当开关由位置 1 切换到 2 时，由于上拉电阻的作用使 $R'=1$，簧片震颤使 S' 随机变化。当 $S'=0$ 时将锁存器置 1，当 $S'=1$ 时锁存器保持，因此状态 Q 能够保持 1 不变。

(2) 当开关由位置 2 切换回 1 时，由于上拉电阻的作用使 $S'=1$，簧片震颤使 R' 随机变化。当 $R'=0$ 将锁存器置 0，当 $R'=1$ 时锁存器保持，因此状态 Q 能够保持 0 不变。

综上分析，应用锁存器能够消除开关触点接触瞬间由于簧片震颤产生的多余脉冲，从而提高开关工作的可靠性。

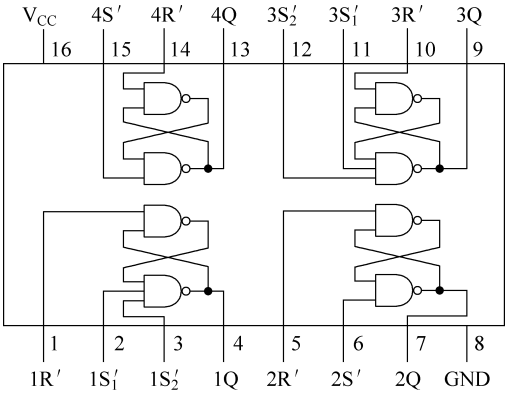
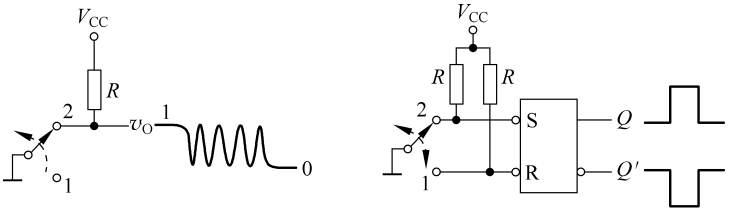


图 5-6　74LS279



(a) 基本开关电路及输出波形　　(b) 锁存器开关消抖电路及输出波形

图 5-7　开关电路及消抖原理

5.2　门控锁存器

5.2
微课视频

基本锁存器的输入信号不受其他信号的控制，因此输入信号的任何变化都可能引起锁存器状态的变化。当数字系统中有多个存储单元时，我们希望能够协调这些存储单元的动作，使它们同步工作，就像阅兵一样(见图 5-8)，这就需要给存储单元引入控制信号。

图 5-8　阅兵

协调存储单元工作的控制信号称为时钟(clock)或时钟脉冲(clock pulse),用 CLK 或 CP 表示。为讨论方便,将时钟分为低电平、上升沿、高电平和下降沿 4 个阶段,如图 5-9 所示。

引入了时钟的锁存器称为门控锁存器(gated latch)。图 5-10 是门控 SR 锁存器,在基本 SR 锁存器的基础上引入了 G_3 和 G_4 组成的门控电路。由于输入 S 和 R 受时钟 CLK 的控制,不再直接起作用,所以没有下标 D。

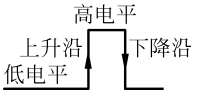


图 5-9 时钟脉冲

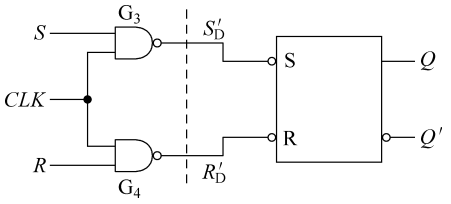


图 5-10 门控 SR 锁存器

下面对门控 SR 锁存器的工作原理进行分析。

(1) CLK 为低电平时。

由于 $S'_D=(S\cdot CLK)'=1$,$R'_D=(R\cdot CLK)'=1$,所以锁存器不受输入信号 S、R 的控制,处于保持状态(可理解为不工作)。

(2) CLK 为高电平时。

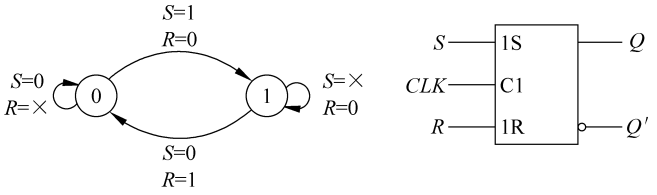
由于 $S'_D=(S\cdot CLK)'=S'$,$R'_D=(R\cdot CLK)'=R'$,因此输入信号 S 和 R 的变化决定了 S'_D 和 R'_D 的变化,因此门控锁存器将根据输入信号 S 和 R 实现其相应的功能。

门控 SR 锁存器的特性方程可从基本锁存器的特性方程推出。因为 $S'_D=(S\cdot CLK)'$,$R'_D=(R\cdot CLK)'$,所以当时钟 CLK 为高电平时,$S'_D=S'$,$R'_D=R'$,代入到基本锁存器的特性方程即可得到门控锁存器的特性方程为

$$Q^* = S + R'\cdot Q$$

上式在 $CLK=1$ 时成立。

门控锁存器的状态转换图和图形符号如图 5-11 所示,其中 C1 为时钟输入端。



(a) 状态转换图　　(b) 图形符号

图 5-11 门控 SR 锁存器状态转换图及图形符号

门控 SR 锁存器和基本锁存器一样,具有置 0、置 1 和保持 3 种功能。由于门控 SR 锁存器在两个输入信号同时有效时仍然会导致锁存器状态错误。因此,门控 SR 锁存器同样需要遵守 $SR=0$ 的约束条件。

为了消除约束,第一种改进思路是让 R 和 S 相反,即取 $R=S'$,如图 5-12 所示,这样使门控 SR 锁存器的输入信号始终满足 $SR=0$ 的约束条件。这种改进方法虽然消除了约束,

却改变了锁存器的逻辑功能，因此这种锁存器不再是 SR 锁存器，而称为 D 锁存器。

由于 $S=D$，$R=D'$，代入 SR 锁存器的特性方程即可得到门控 D 锁存器的特性方程

$$Q^* = S + RQ' = D + (D')' \cdot Q$$
$$= D + D \cdot Q = D$$

上式在 $CLK=1$ 时成立。

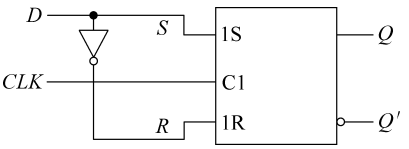
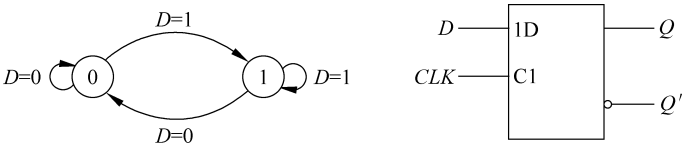


图 5-12　门控 D 锁存器

由 D 锁存器的特性方程可以推出：当 CLK 为高电平时，若 $D=0$ 则 $Q^*=0$；若 $D=1$ 则 $Q^*=1$，因此门控 D 锁存器只具有置 0 和置 1 两种功能，其状态转换图和图形符号如图 5-13 所示。



(a) 状态转换图　　(b) 图形符号

图 5-13　D 锁存器状态转换图及图形符号

由于门控 D 锁存器在时钟有效电平期间输出始终跟随输入信号发生变化，因此称为“透明的”D 锁存器。

【例 5-1】 对于图 5-12 所示的门控 D 锁存器，时钟 CLK 和输入信号 D 的电压波形如图 5-14 所示。画出在 CLK 和 D 作用下锁存器输出 Q 和 Q' 的电压波形。假设锁存器的初始状态为 0。

分析：门控 D 锁存器在 CLK 高电平期间工作，输出是透明的，而在时钟为低电平期间不工作而处于保持状态，所以门控 D 锁存器的输出 Q 和 Q' 的电压波形如图 5-15 所示。

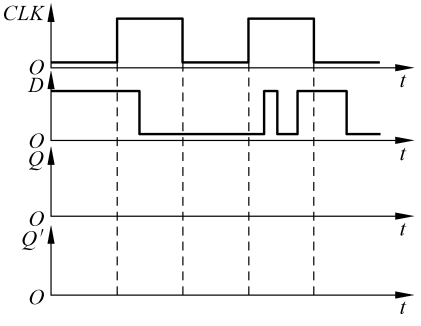


图 5-14　例 5-1 电压波形图

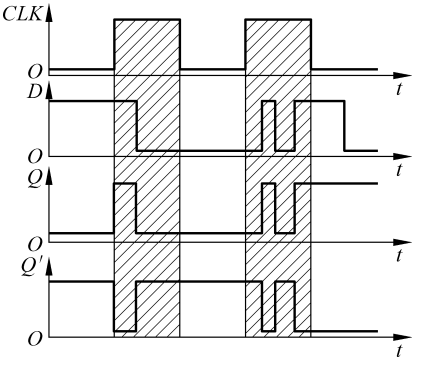


图 5-15　例 5-1 输出波形图

思考与练习

5-3　门控锁存器有哪几种类型？各具有什么功能？

5.3
微课视频

5.3 脉冲触发器

门控锁存器在时钟有效电平期间始终处于工作状态，所以输入信号的变化随时可能引起输出信号的变化，因此受干扰时产生误动作的概率大。另外，由于门控 D 锁存器的输出是透明的，无法构成移位寄存器和计数器这两类常用的时序逻辑器件，所以门控锁存器在应用上有一定的局限性。

为了提高抗干扰能力，希望存储电路只在时钟的边沿瞬间更新状态，由于工作时间很短，从而不会出现门控锁存器那样因干扰可能产生误动作的情况。

只在时钟边沿瞬间工作的存储电路称为触发器(flip-flop)。相应地，将在时钟有效电平期间工作的存储电路称为锁存器。

SR 触发器的实现方法之一是采用主从式结构，如图 5-16 所示。具体做法是将两级门控 SR 锁存器级联，第一级称为主(master)锁存器，时钟 $CLK_1=CLK$；第二级称为从(slave)锁存器，时钟 $CLK_2=CLK'$。

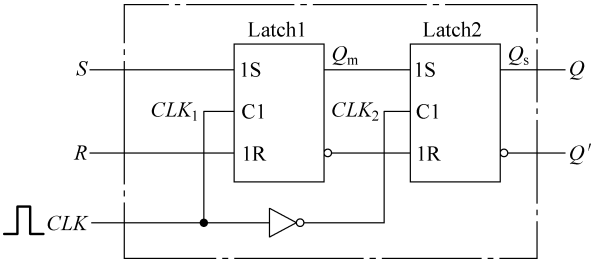


图 5-16 主从式 SR 触发器

下面对主从式 SR 触发器的工作原理进行分析。

(1) 时钟脉冲在低电平期间。

由于 $CLK=0$，所以 $CLK_1=0$，$CLK_2=1$，因此主锁存器保持，从锁存器处于工作状态。

当主锁存器的状态 $Q_m=1$ 时分析可知从锁存器的状态 $Q_S=1$，当 $Q_m=0$ 时 $Q_S=0$，即在 $CLK=0$ 期间，触发器的状态与主锁存器状态相同，即 $Q=Q_m$。

(2) 时钟脉冲上升沿到来时。

当 CLK 上升沿到来时，主锁存器开始工作，接收输入 S 和 R 信号，根据逻辑功能更新 Q_m 的状态。从锁存器从工作转为保持，触发器的状态保持 CLK 为低电平期间的状态不变。

(3) 时钟脉冲在高电平期间。

由于 $CLK=1$，所以 $CLK_1=1$，$CLK_2=0$，主锁存器处于工作状态，从锁存器依然保持，所以触发器的状态保持不变。

(4) 时钟脉冲下降沿到来时。

当 CLK 下降沿到来时，主锁存器将由工作转为保持，保持时钟脉冲 CLK 下降沿到来瞬间 Q_m 的状态。从锁存器开始工作，将主锁存器的状态 Q_m 传递给 Q_S，因此触发器的状态是在时钟下降沿到来瞬间进行更新，状态 Q 是由时钟下降沿到来瞬间输入信号 S 和 R 决定的。

经过上述分析可知，当时钟脉冲 CLK 上升沿到来时，触发器已经开始工作，但必须等到脉冲下降沿到来时才能进行状态更新，所以触发器完成一次状态更新需要经过一个完整的时钟脉冲，所以主从式触发器为脉冲触发器。同时，将这种上升沿开始工作、下降沿才能输出的动作特点称为延迟输出，用“┐”表示。图 5-17 是脉冲 SR 触发器的图形符号。

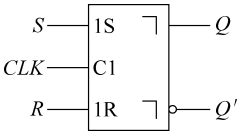
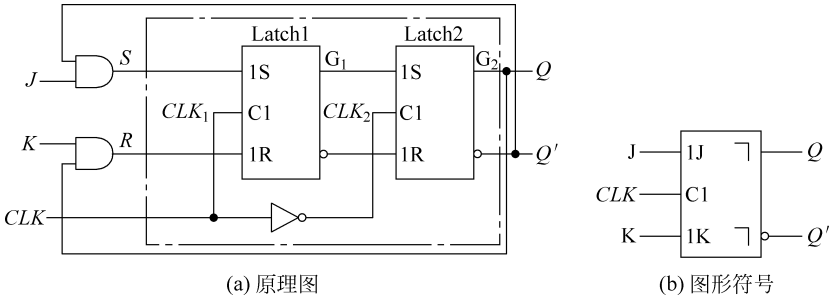


图 5-17　脉冲 SR 触发器的图形符号

由于脉冲 SR 触发器中的主锁存器在时钟脉冲为高电平期间始终处于工作状态，所以其抗干扰能力还没有得到有效的改善。

另外，脉冲 SR 触发器对输入信号 S 和 R 仍有约束。为了消除约束，第二种改进思路是利用触发器的输出 Q 和 Q' 互为相反的特点来满足约束条件。具体做法是将脉冲 SR 触发器的输出 Q 反馈到 R 端与 K 信号相与，将 Q' 反馈到 S 端与 J 信号相与，如图 5-18 所示。这种改进方法同样改变了触发器的逻辑功能，所以这种触发器不再是 SR 触发器，而称为 JK 触发器。



(a) 原理图　　(b) 图形符号

图 5-18　脉冲 JK 触发器的原理图及图形符号

对于图 5-18 所示的 JK 触发器，由于 $S=J\cdot Q'$、$R=K\cdot Q$，因此 $S\cdot R=J\cdot Q'\cdot K\cdot Q=0$，所以 JK 触发器对输入信号 J、K 没有限制。

将 S 和 R 的表达式代入 SR 触发器的特性方程即可推出 JK 触发器的特性方程：

$$\begin{aligned} Q^* &= S + R'\cdot Q \\ &= J\cdot Q' + (K\cdot Q)'\cdot Q \\ &= J\cdot Q' + (K' + Q')\cdot Q \\ &= J\cdot Q' + K'\cdot Q \end{aligned}$$

将 J、K 的 4 种取值组合代入到上述特性方程中即可得到表 5-3 所示 JK 触发器的特性表。

表 5-3　JK 触发器特性表

J	K	Q^*	功 能 说 明
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	Q'	翻转

从表 5-3 的 JK 触发器特性表可以看出，JK 触发器除了具有置 0、置 1 和保持 3 种功能外，还增加了一种翻转(toggle)功能，即当时钟脉冲下降沿到来时，触发器的次态与现态相反。因此，JK 触发器的状态转换图如图 5-19 所示。

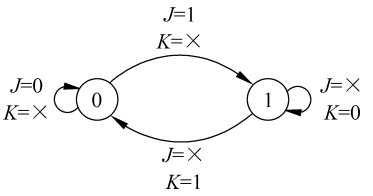


图 5-19　JK 触发器状态转换图

由于脉冲 JK 触发器将 Q 反馈到 K 端、将 Q' 反馈到 J 端，所以当 $Q=0$ 时输入信号 K 不能正常发挥作用(相当于 $K=0$)，在 J 信号的作用下只能将触发器置成 1 或保持，所以触发器一旦被置 1 后不可能再返回到 0 状态。同理，当 $Q=1$ 时 J 信号不能正常发挥作用(相当于 $J=0$)，在 K 信号的作用下只能将触发器置成 0 或保持，所以触发器被置 0 后也不可能再返回到 1 状态。因此，脉冲 JK 触发器存在一次翻转现象，即触发器在每个脉冲周期内只能翻转一次，当触发器受到干扰发生误翻后就不可能返回原来的状态。

【例 5-2】 对于图 5-18 所示的脉冲 JK 触发器，已知时钟脉冲 CLK、输入信号 J、K 的波形如图 5-20 所示。分析触发器的工作过程，画出输出 Q 和 Q' 的波形。假设触发器的初始状态为 0。

分析：

(1) 在第 1 个时钟高电平期间，$JK=10$，所以内部主锁存器被置 1，在 CLK 的下降沿到来时触发器的状态更新为 1。

(2) 在第 2 个时钟脉冲高电平期间，K 信号因干扰而变化。起初 $JK=00$，主锁存器保持 1 状态，后 K 信号因干扰而跳变为 1，瞬间使 $JK=01$，主锁存器因干扰被置为 0。由于 JK 触发器存在一次翻转现象，所以主锁存器不可能再翻回 1 状态，进而当时钟脉冲下降沿到来时，触发器状态更新为 0。

(3) 在第 3 个时钟高电平期间，J 信号有一次变化。起初 $JK=11$，主锁存器翻转为 1。由于存在一次翻转现象，主锁存器的状态在高电平期间不可能再次发生翻转，所以当时钟脉冲下降沿到来时，触发器状态更新为 1。

(4) 在第 4 个时钟高电平期间，因 $JK=00$，故触发器内部主锁存器的状态保持不变，所以时钟脉冲下降沿到来时，触发器状态保持为 1。

由上述分析可画出输出 Q 和 Q' 的波形，如图 5-21 所示。

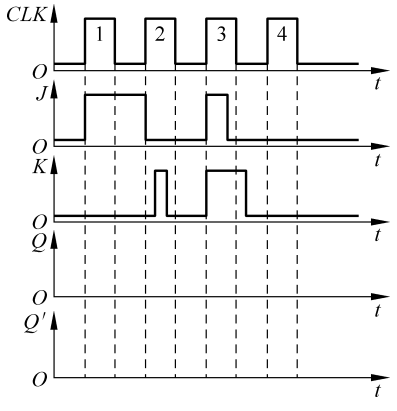


图 5-20　例 5-2 电压波形图

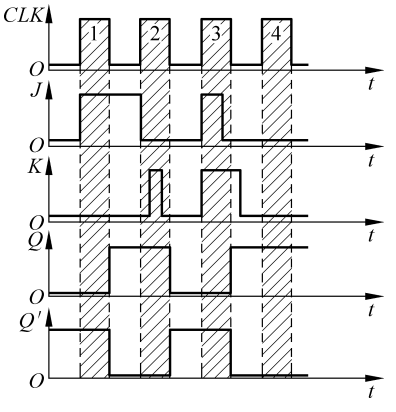


图 5-21　例 5-2 输出波形图

思考与练习

5-4　脉冲 SR 触发器是否存在一次翻转现象？试分析说明。

5-5　为什么脉冲 JK 触发器存在一次翻转现象？试分析说明。

5.4　边沿触发器

5.4
微课视频

边沿触发器只在时钟脉冲的边沿工作，其余时间均处于保持状态。由于工作时间极短，所以受到干扰的概率很小，因此具有很强的抗干扰能力。

边沿 D 触发器由两级门控 D 锁存器构成，如图 5-22 所示。

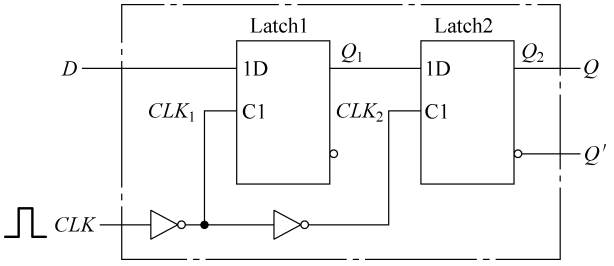


图 5-22　边沿 D 触发器

下面对边沿触发器的工作原理进行分析。

(1) 时钟脉冲在低电平期间。

由于 $CLK=0$，因此 $CLK_1=1$，$CLK_2=0$，所以锁存器 FF_1 工作，其输出 Q_1 随输入信号 D 变化($Q_1=D$)，锁存器 FF_2 保持原来的状态(上次时钟作用后的状态)不变。

(2) 时钟脉冲上升沿到来时。

由于 CLK_1 由高电平跳变为低电平，所以锁存器 FF_1 由工作转为保持，Q_1 锁定了上升沿到来瞬间输入 D 的值。与此同时，CLK_2 由低电平跳变为高电平，锁存器 FF_2 开始工作，其输出 Q 跟随 Q_1 变化，这时 $Q=Q_1=D$(D 为时钟 CLK 上升沿到来瞬间的值)。

(3) 时钟脉冲在高电平期间。

由于 $CLK=1$，因此 $CLK_1=0$，$CLK_2=1$，所以 FF_1 保持，FF_2 跟随，因此 $Q=Q_1=D$ 保持不变。

(4) 时钟脉冲下降沿到来时。

由于 CLK_1 由低电平跳变为高电平，锁存器 FF_1 开始工作，接收下一个周期输入 D 的数据。CLK_2 由高电平跳变为低电平，锁存器 FF_2 由工作转为保持，保持时钟脉冲上升沿到来时输入 D 的值不变。

由上述分析可知，图 5-22 所示 D 触发器的次态仅仅取决于时钟脉冲上升沿到达时刻输入信号 D 的值，其余时间均保持不变，即上升沿之前和之后输入信号 D 的变化对触发器的状态都没有影响。边沿触发器这一特点有效地提高了触发器的抗干扰能力，提高了触发器工作的可靠性。

图 5-22 所示的边沿 D 触发器的图形符号如图 5-23 所示，时钟 C1 前框内的“>”表示边

沿触发方式，框外无“○”时表示上升沿触发，有“○”时表示下降沿触发。

在特性表的时钟脉冲栏，通常用“↑”表示上升沿触发，用“↓”表示下降沿触发。图 5-22 所示的边沿 D 触发器的特性表如表 5-4 所示。

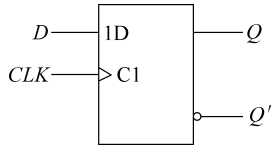


图 5-23　边沿 D 触发器图形符号

表 5-4　边沿 D 触发器特性表

CLK	D	Q^*
↑	0	0
↑	1	1
其他	×	Q

【例 5-3】 对于图 5-22 所示的边沿触发器，若输入 D 和时钟 CLK 的波形如图 5-24 所示，画出输出 Q 的波形。假设触发器的初始状态为 0。

分析：由于边沿触发器只在时钟脉冲的边沿工作，所以对于图 5-22 所示的 D 触发器，其次态仅仅取决于时钟上升沿到来时刻输入 D 的值：$D=0$ 则 $Q^*=0$，$D=1$ 则 $Q^*=1$。因此，输出 Q 的波形如图 5-25 所示。

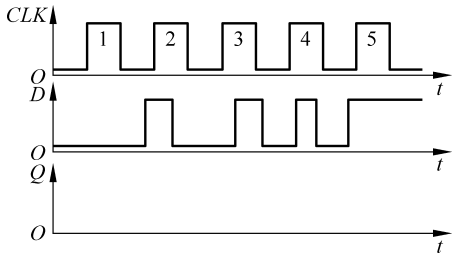


图 5-24　例 5-2 电压波形图

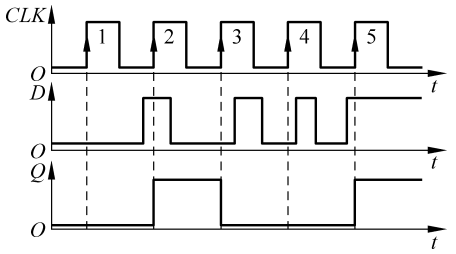
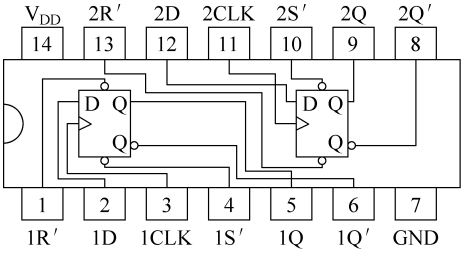


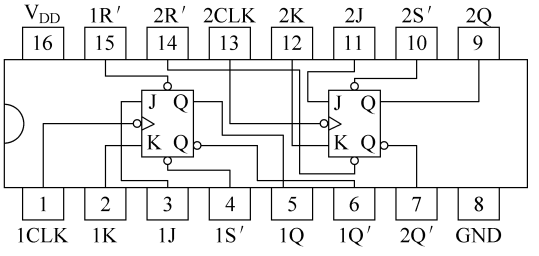
图 5-25　例 5-2 输出波形图

74HC74 是在时钟脉冲上升沿工作的双 D 触发器。除了时钟脉冲 CLK、输入 D 和输出 Q 和 Q′端口外，74HC74 还附加有异步清零端 R′和异步置 1 端 S′，其内部结构示意和引脚图如图图 5-26(a)所示，功能表如表 5-5(a)所示。

74HC112 是在时钟脉冲下降沿工作的双 JK 触发器。74HC112 同样附加有异步清零端 R′和异步置 1 端 S′，其内部结构示意和引脚图如图 5-26(b)所示，功能表如表 5-5(b)所示。



(a) 74HC74



(b) 74HC112

图 5-26　两种常用的边沿触发器

表 5-5　两种常用边沿触发器功能表

(a) 74HC74

输入				输出		功能说明
S'	R'	CLK	D	Q	Q'	
0	1	×	×	1	0	异步置 1
1	0	×	×	0	1	异步清 0
0	0	×	×	1^*	1^*	错误状态
1	1	↑	0	0	1	置 0
1	1	↑	1	1	0	置 1
1	1	0	×	Q_0	Q'_0	保持

(b) 74HC112

输入					输出		功能说明
S'	R'	CLK	J	K	Q	Q'	
0	1	×	×	×	1	0	异步置 1
1	0	×	×	×	0	1	异步清 0
0	0	×	×	×	0^*	0^*	错误状态
1	1	↓	0	0	Q_0	Q'_0	保持
1	1	↓	0	1	0	1	置 0
1	1	↓	1	0	1	0	置 1
1	1	↓	1	1	Q'_0	Q_0	翻转
1	1	0	×	×	Q_0	Q'_0	保持

注：* 表示不稳定状态，是错误的；Q_0 表示原来的状态。

思考与练习

5-6　边沿触发器与脉冲触发器相比，有什么优点？

5.5　逻辑功能和动作特点

5.5
微课视频

本章讲述了基本锁存器、门控锁存器、脉冲触发器和边沿触发器的电路结构和工作原理。

根据逻辑功能的不同特点进行划分，分为 SR 锁存器/触发器、D 锁存器/触发器，JK 触发器 3 种。SR 锁存器/触发器具有置 0、置 1 和保持 3 种功能，D 锁存器/触发器具有置 0 和置 1 两种功能，JK 触发器具有置 0、置 1、保持和翻转 4 种功能。

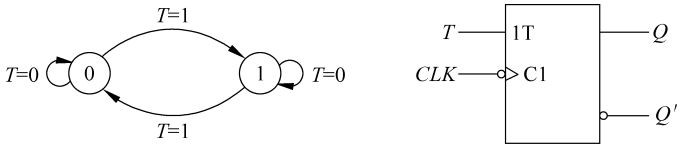
从动作特点进行划分，又可以分为门控锁存器、脉冲触发器和边沿触发器 3 种类型。门控锁存器在时钟脉冲的有效电平期间工作，脉冲触发器在时钟脉冲的上升沿开始工作，但到下降沿才能进行状态更新，而边沿触发器只在时钟脉冲的上升沿或下降沿工作。

逻辑功能和动作特点是从两个不同的角度考查锁存器/触发器的功能和特点。从理论上讲，SR、D、JK 触发器都可以采用边沿触发电路形式实现，而同种功能的触发器也可以用脉冲、边沿等不同的电路形式实现，从而具有不同的动作特点。

如果将 JK 触发器的两个输入端 J、K 相连，则当 $J=K=0$ 时保持，$J=K=1$ 翻转。这种只具有保持和翻转功能的触发器称为 T 触发器。将 $J=K=T$ 代入 JK 触发器的特性方程即可得到 T 触发器的特性方程

$$\begin{aligned} Q^* &= J \cdot Q' + K' \cdot Q \\ &= T \cdot Q' + T' \cdot Q \\ &= T \oplus Q \end{aligned}$$

T 触发器的状态转换图如图 5-27(a)所示，下降沿工作的边沿 T 触发器的图形符号如图 5-27(b)所示。



(a) 状态转换图　　(b) 图形符号

图 5-27　T 触发器的状态转换图及图形符号

若将 JK 触发器的输入信号 J、K 都接高电平，则构成只具有翻转功能的 T′触发器，其特性方程为

$$Q^{*}=J\cdot Q'+K'\cdot Q=1\cdot Q'+1'\cdot Q=Q'$$

T 触发器和 T′触发器为 JK 触发器两种不同的应用方式。另外，将 D 触发器的 Q' 反馈到 D 端，也可以构成 T′触发器。

D 触发器和 JK 触发器是两种常用的触发器。D 触发器虽然只具有置 0 和置 1 两种功能，但使用很方便。JK 触发器功能强大，合理应用可以简化电路设计，同时还可以作为 SR 触发器、T 触发器和 T′触发器使用。

思考与练习

5-7　SR、D、JK、T 和 T′触发器各有什么功能？写出其各自的特性方程。

5-8　门控锁存器、脉冲触发器和边沿触发器各有什么动作特点？

5.6
微课视频

5.6　锁存器与触发器的动态特性

为了保证锁存器/触发器能够可靠地进行状态更新，锁存器/触发器的输入信号、时钟/时钟脉冲之间在时序上还应该满足一定的关系。

下面以常用的门控锁存器和边沿触发器为例，分析锁存器和触发器的动态特性。

5.6.1　门控锁存器的动态特性

由与非门构成的门控锁存器如图 5-28(a)所示，其中基本 SR 锁存器由与非门 G_1 和 G_2 交叉耦合构成。假设所有与非门的传输延迟时间均为 t_{pd}。

1. 输入信号的宽度

对于基本 SR 锁存器，当 $S'_D=0$、$R'_D=1$ 时，在 S'_D 的作用下，经过与非门 G_1 使 $Q=1$。再在 Q 和 R'_D 的共同作用下，经过与非门 G_2 使 $Q'=0$；当 $S'_D=1$、$R'_D=0$ 时，在 R'_D 的作用下，经过与非门 G_2 使 $Q'=1$。再在 Q' 和 R'_D 的共同作用下，经过与非门 G_1 使 $Q=0$。因此，为了确保基本 SR 锁存器可靠工作，输入信号 S'_D 和 R'_D 的保持时间应该满足

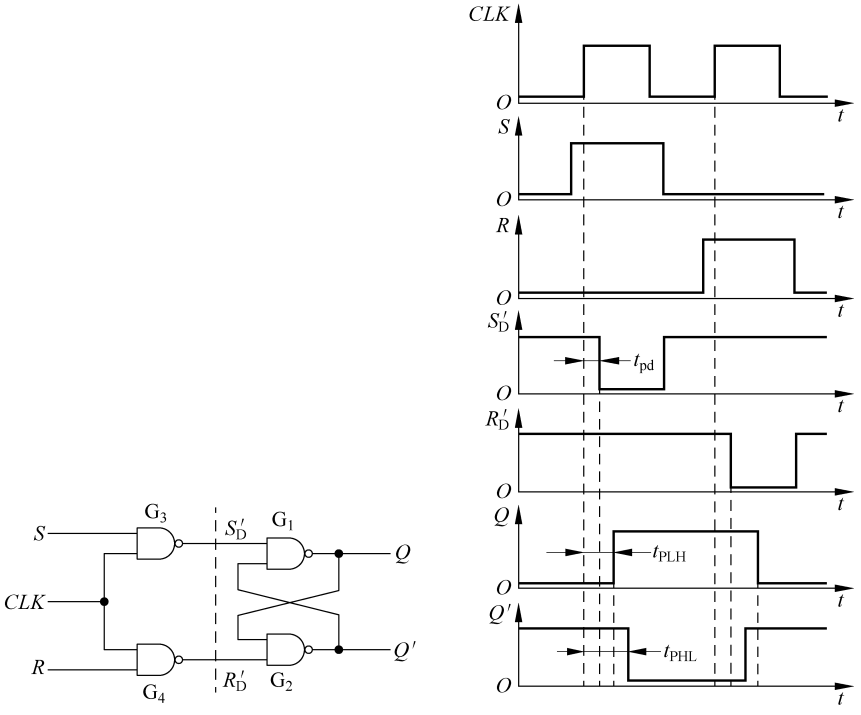
$$t_{W(S'_D)}\geqslant 2t_{pd},\quad t_{W(R'_D)}\geqslant 2t_{pd}$$

其中，t_W 表示输入信号的保持时间，也称为宽度。

对于图 5-28(a)所示的门控锁存器，为了满足基本 SR 锁存器输入信号宽度的要求，要求输入信号 S 和 R 与时钟 CLK 同时为高电平的保持时间应满足

$$t_{W(S\cdot CLK)} \geqslant 2t_{pd}, \quad t_{W(R\cdot CLK)} \geqslant 2t_{pd}$$

门控锁存器具体的工作波形如图 5-28(b)所示。



(a) 电路图　　(b) 工作波形图

图 5-28　门控锁存器动态特性分析

2. 门控锁存器的传输延迟时间

由于基本 SR 锁存从输入信号 S'_D和 R'_D改变到输出状态 Q 和 Q'更新完成的延迟时间为 $2t_{pd}$，再考虑门控与非门的传输延迟时间，所以门控锁存器从时钟和输入信号同时为高电平开始算起，到输出状态 Q 和 Q'更新完成的传输延迟时间为 $3t_{pd}$。

5.6.2　边沿触发器的动态特性

为了保证触发器在时钟脉冲的边沿能够可靠地采集输入数据，触发器的输入信号与时钟脉冲之间应满足一定的时序要求。

下面以边沿 D 触发器为例，介绍触发器的动态参数。

触发器的动态参数主要包括建立时间、保持时间、传输延迟时间三个重要的时序参数。上升沿工作的边沿 D 触发器的三种时序参数的定义如图 5-29 所示。

1. 建立时间

建立时间(setup time)是指时钟脉冲的有效沿到来之前，触发器的输入信号必须到达并且稳定的最短时间，用 t_{SU} 表示。也就是说，为了确保触发器在时钟脉冲的有效沿能够稳定地采集输入数据，输入信号至少应先于时钟脉冲的有效沿到达触发器的输入端，这个提前的时间 t_{SU} 就是建立时间。如果建立时间不够，输入数据将不能可靠地存入触发器。

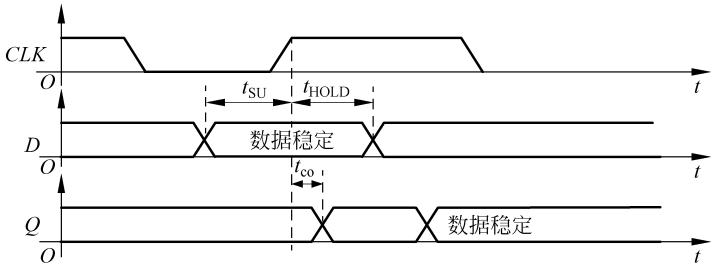


图 5-29 D 触发器三种时序参数的定义

对于上升沿工作的 D 触发器来说，t_{SU} 具体是指时钟 CLK 的上升沿到来之前输入信号 D 必须稳定的最短时间，如图 5-29 所示。

2. 保持时间

保持时间(hold time)是指时钟脉冲的有效沿作用后，触发器的输入信号必须维持的最短时间，用 t_{HOLD} 表示。如果保持时间不够，输入数据同样不能可靠地存入触发器。

对于 D 触发器，t_{HOLD} 具体是指时钟 CLK 上升沿作用后输入信号 D 必须维持的最短时间，如图 5-29 所示。

3. 时钟到输出时间

时钟到输出时间(Clock-to-Output time)是从时钟的有效沿开始算起，到触发器进行状态更新的延迟时间，用 t_{CO} 表示。

对于 D 触发器，t_{CO} 具体是指时钟 CLK 上升沿作用后输入数据 D 传输到输出端 Q 的延迟时间，如图 5-29 所示。

明确建立时间 t_{SU}、保持时间 t_{HOLD} 和时钟到输出时间 t_{CO} 的含义后，就可以通过触发器的时序参数来推算时序电路稳定工作时应满足的条件。这部分内容将在第 6 章中的“竞争-冒险”一节作进一步的分析。

5.7 设计项目

抢答器通常用于专项知识竞赛，以测试选手对知识掌握的熟练程度和反应速度。

抢答的基本原理：主持人掌握着一个复位开关，用来将抢答器复位和启动抢答计时。抢答开始后，若有选手按下抢答按钮，立即锁存并驱动指示电路显示选手的状态或编号，同时封锁时钟禁止电路工作，并将第一个抢中选手的状态或编号一直保持到主持人将抢答器复位为止。

抢答器的主要功能有两个：一是分辨出选手抢答的先后顺序，锁定首先抢中选手的状态；二是封锁时钟，使抢答器对其他选手的抢答不响应。这两个功能均可以通过锁存器或触发器来实现。

四人抢答器的原理电路如图 5-30 所示，其中 74HC175 内部有 4 个 D 触发器，MR'为复位端，低电平有效。主持人掌握 S_0 按钮，4 位选手分别掌握着 S_1、S_2、S_3 和 S_4 按钮，D_1、D_2、D_3 和 D_4 分别为其状态指示灯。

当主持人按下 S_0 后将 4 个 D 触发器清 0，这时 $Q_0'\sim Q_3'$为高电平，因此 4 个发光二极管 $D_1\sim D_4$ 均不亮，同时与门 U2:B 输出为高电平，因此时钟脉冲 $DCLK$ 可以通过与门 U2:A

为 74HC175 提供时钟。

当有选手按下抢答按钮，例如 1 号选手按下 S_1 时，在时钟脉冲作用下将 Q_0 置 1，这时 Q_0' 为低电平驱动发光二极管 D_1 亮，同时与门 U2:B 输出为低电平使与门 U2:A 输出为低电平，从而将 74HC175 的时钟脉冲封锁。由于 74HC175 没有时钟脉冲而停止工作，所以对此后其他选手的按键没有响应。直到主持人将抢答电路复位，Q_0'～Q_3' 恢复高电平，与门 U2:B 输出为高电平，74HC175 的时钟恢复，才能进行下一轮抢答。

取时钟脉冲 *DCLK* 为 100kHz 时，可识别选手抢答的最小时差为 10μs。图 5-28 中限流电阻 R_1～R_4 的阻值按驱动 ϕ5 发光二极管参数设计。

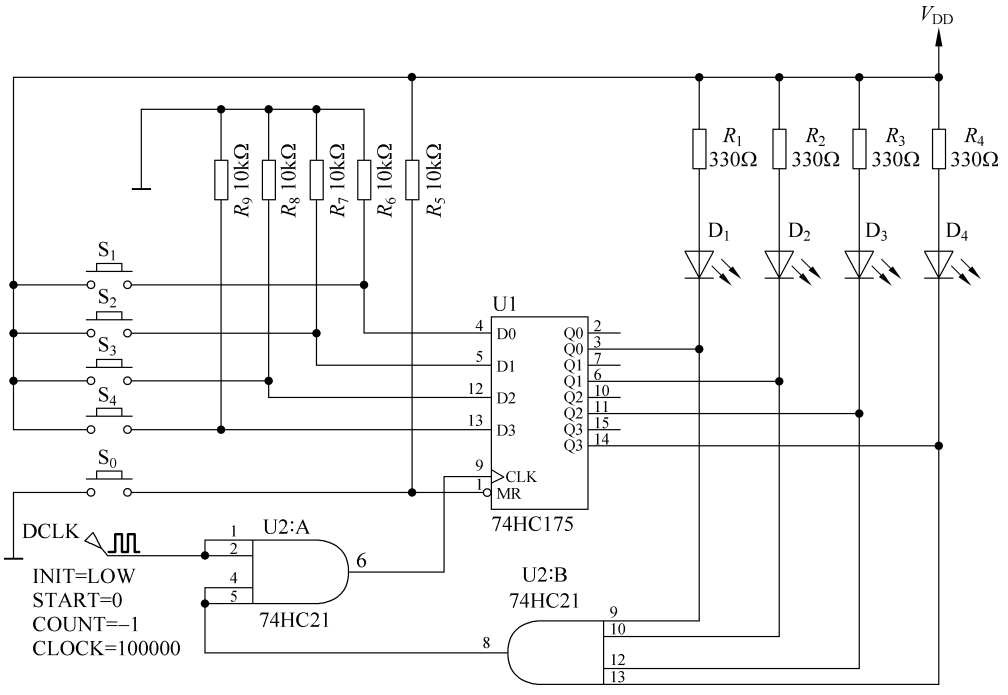


图 5-30　四人抢答器参考设计图

本章小结

锁存器和触发器是数字电路中两种基本的存储器件，一个锁存器/触发器能够存储一位二值信息。

锁存器有 SR 锁存器和 D 锁存器两种类型，其中 SR 锁存器具有置 0、置 1 和保持三种功能，而 D 锁存器只具有置 0 和置 1 两种功能。

触发器有 SR 触发器、D 触发器和 JK 触发器三种类型，其中 SR 触发器具有置 0、置 1 和保持三种功能，D 触发器只具有置 0 和置 1 两种功能，而 JK 触发器具有置 0、置 1、保持和翻转四种功能。

将 JK 触发器的 J 端和 K 端连接到一起，就构成了只有保持和翻转功能的 T 触发器。将 JK 触发器的 J 端和 K 端接高电平，就构成了只有翻转功能的 T′触发器。另外，将 D 触发器的输出 Q' 连接到 D 端，也可以构成 T′触发器。

按照动作特点,可以将存储电路分为门控锁存器、脉冲触发器和边沿触发器三种类型,其中门控锁存器在时钟的有效电平期间工作,脉冲触发器在时钟脉冲的上升沿已经开始工作,但延迟到时钟脉冲的下降沿才能输出,而边沿触发器只在时钟脉冲的边沿工作。

74HC74 是上升沿工作的双 D 触发器,而 74HC112 是下降沿工作的双 JK 触发器。

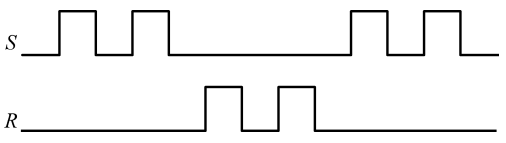
为了保证触发器能够可靠地工作,触发器的输入信号应满足建立时间和保持时间的要求,其中建立时间是指输入信号先于时钟脉冲到达并且稳定的最短时间,而保持时间是指在时钟脉冲作用后,输入信号还应该保持不变的最短时间。

锁存器/触发器是构成时序逻辑电路的基础。

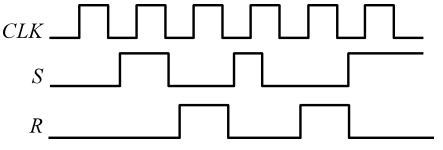
习题

5.1 基本 SR 锁存器的输入信号 S 和 R 的波形如图题 5-1 所示,画出锁存器状态 Q 和 Q' 的波形。

5.2 门控 SR 锁存器的时钟脉冲 CLK 和输入信号 S 和 R 的波形如图题 5-2 所示,画出锁存器状态 Q 和 Q' 的波形(设 Q 的初始状态为 0)。

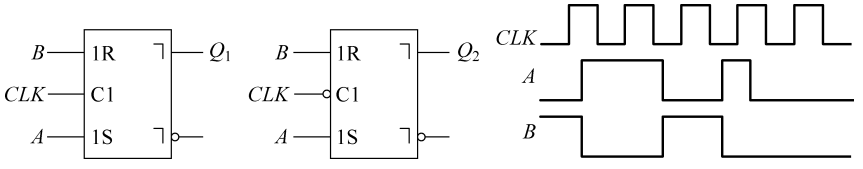


图题 5-1



图题 5-2

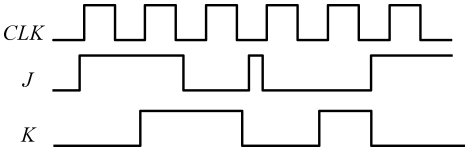
5.3 脉冲 SR 触发器的时钟 CLK 以及输入信号 A、B 的波形如图题 5-3 所示,分别画出触发器状态 Q_1 和 Q_2 的波形。设触发器的初始状态为 0。



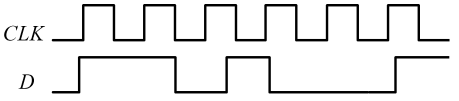
图题 5-3

5.4 设脉冲 JK 触发器的初始状态为 0。时钟 CLK 以及输入 J、K 的波形如图题 5-4 所示,画出触发器状态 Q 的波形。

5.5 设边沿 D 触发器在时钟脉冲的上升沿工作,时钟 CLK 以及输入 D 的波形如图题 5-5 所示,画出触发器状态 Q 的波形。设触发器的初始状态为 0。



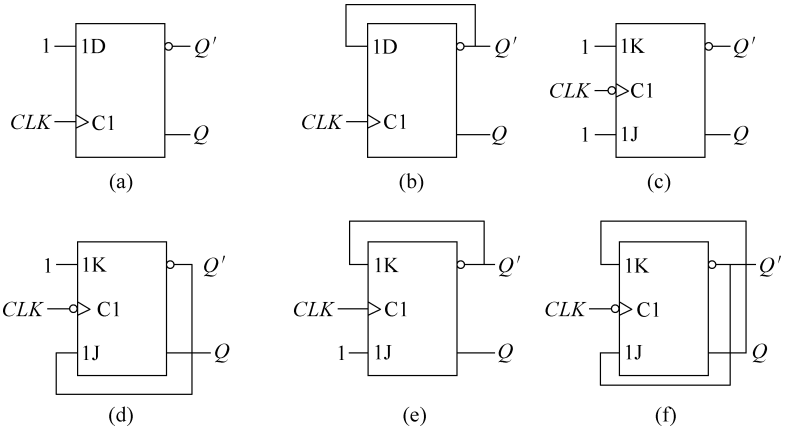
图题 5-4



图题 5-5

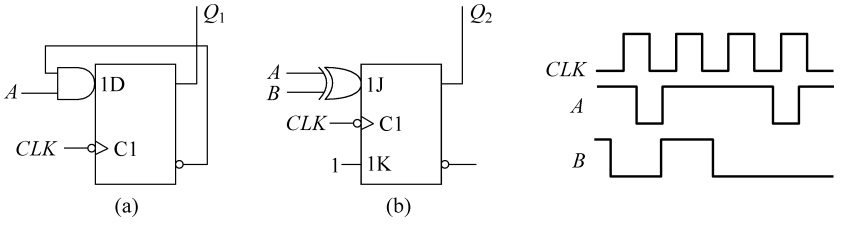
5.6　设边沿D触发器在时钟脉冲的下降沿工作，初始状态为0，时钟CLK以及输入D的波形如图题5-5所示，画出触发器状态Q的波形。

5.7　触发器应用电路如图题5-7所示。设触发器的初态为0。画出在时钟序列CLK的作用下各触发器状态Q的波形。



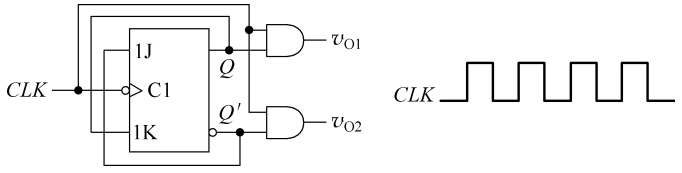
图题　5-7

5.8　分析图题5-8所示的时序电路。画出在时钟序列CLK和输入A、B的作用下Q_1和Q_2的波形。设触发器的初始状态为0。



图题　5-8

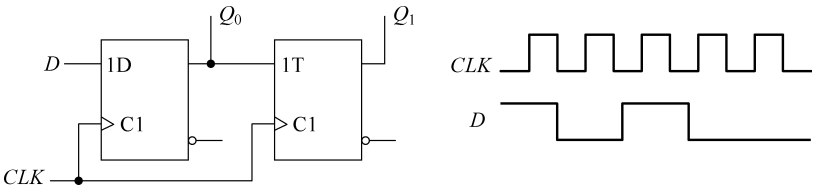
5.9　两相时钟源电路如图题5-9所示。画出在时钟序列CLK的作用下触发器的状态Q、Q'以及输出v_{O1}、v_{O2}的波形。设触发器的初始状态为0。



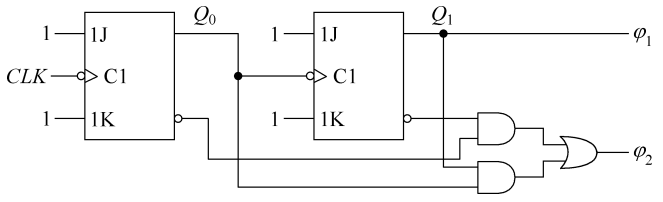
图题　5-9

5.10　分析图题5-10所示的时序电路。已知CLK和D的波形，画出Q_0和Q_1的波形。设触发器的初始状态均为0。

5.11　两相脉冲产生电路如图题5-11所示。画出在脉冲序列CLK的作用下φ_1、φ_2的输出波形，并说明φ_1、φ_2的相位差。设触发器的初始状态为0。

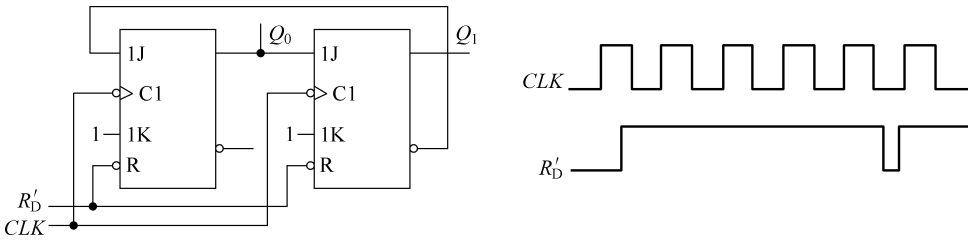


图题 5-10



图题 5-11

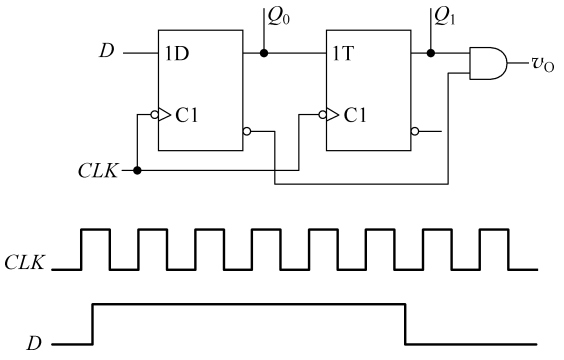
5.12 分析图题 5-12 所示的时序电路。已知 CLK 和 R'_D 的波形，画出触发器状态 Q_0、Q_1 的波形。设触发器的初始状态为 0。



图题 5-12

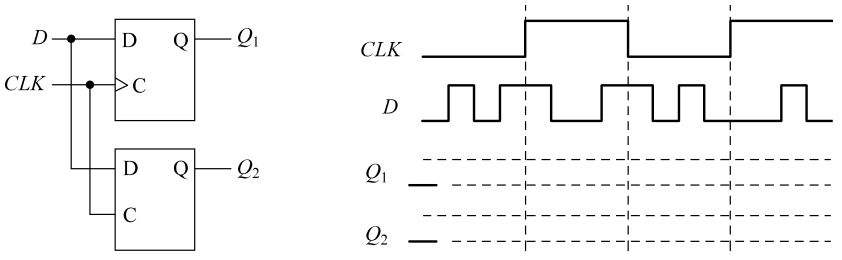
5.13 若定义一种新触发器的逻辑功能为 $Q^* = X \oplus Y \oplus Q$，分别用 JK 触发器、D 触发器和门电路实现这种触发器。

5.14 分析图题 5-14 所示的时序电路。已知 CLK 和 D 的波形，画出触发器状态 Q_0、Q_1 及输出 v_O 的波形。设触发器的初始状态均为 0。



图题 5-14

5.15　分析图题 5-15(a)的所示电路，画出在图 5.15(b)所示的时钟脉冲 CLK 和输入信号 D 作用下 D 触发器状态 Q_1 和 D 锁存器状态 Q_2 的波形。设 Q_1 和 Q_2 的初始状态均为 0。



(a) 电路图　　(b) 波形图

图题　5-15