

第 3 章

CHAPTER 3

CMOS 电流源与电流镜

主要符号

v_{ds}, V_{DS}, v_{DS}

v_{gs}, V_{GS}, v_{GS}

V_{OD}

L, W

$i_{out}, I_{OUT}, i_{OUT}$

r_{out}

V_{TH}, V_{THN}, V_{THP}

μ_n, μ_p

C_{ox}

K_n, K_p

$\lambda, \lambda_n, \lambda_p$

g_m

r_o

g_{mb}

含 义

交流小信号、静态直流和总漏-源电压

交流小信号、静态直流和总栅-源电压

MOSFET 的过驱动电压

MOSFET 沟道的长度和宽度

交流小信号、静态直流和总电流源输出电流

电流源的小信号输出电阻

MOSFET、NMOS 及 PMOS 的阈值电压

表面电子、空穴迁移率

单位面积 MOSFET 栅电容 $= \epsilon_{ox} / t_{ox}$

NMOS 及 PMOS 的工艺常数(或称为“跨导参数”)

MOSFET、NMOS 及 PMOS 的沟道长度调制系数

MOSFET 的跨导

晶体管的小信号输出电阻

MOSFET 体效应引起的跨导

3.1 引言

电流源是模拟集成电路中的一种基本元件,它为放大器提供偏置电流和负载。在交流小信号等效电路中,电流源相当于一个很大的等效电阻。在模拟集成电路中采用电流源作为放大级的偏置元件和负载已经被广泛应用。由电流源提供电路偏置和负载,比使用电阻更经济,特别是对于很小的偏置电流,电流源占用的芯片面积更小。

本章讨论如何采用 CMOS 工艺中的 MOSFET 器件设计电流源电路。理想的电流源具有无穷大的输出电阻,也就是电流源的输出电流不受输出端电压变化的影响。而实际的电流源电路受限于器件特性,具有有限的输出电阻,而且还会消耗一定的电压裕度。因此,在电流源电路的设计中,就要考虑这两方面的特性。在 MOSFET 电流源的基础上,进一步地采用电流镜结构,以便得到精度更高的电流源。电流镜结构广泛地用于模拟集成电路的设计中。

3.2 MOSFET 电流源

3.2.1 简单电流源

图 3-1 所示的是一种电流源的实现方法,电路图如图 3-1(a)所示。当 NMOS 晶体管处于饱和区时,如果忽略沟道长度调制效应,NMOS 晶体管的漏极电流可以提供一個电流近乎恒定的电流源。控制 M_1 栅极上的偏置电压 V_{BIAS} ,即 M_1 的栅源电压,就可以得到不同的电流值。然而,考虑到实际 NMOS 晶体管的沟道长度调制效应,NMOS 晶体管漏极的输出电流会受到漏源电压的影响,即处于饱和区的 NMOS 电流源的输出电压 v_{OUT} 会影响到输出电流 i_{OUT} ,其 I/V 特性如图 3-1(b)所示。

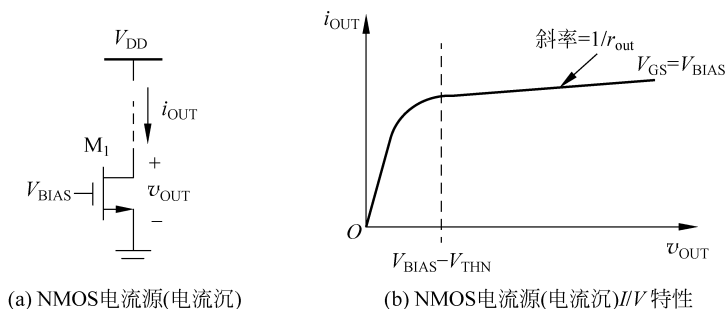


图 3-1 采用 NMOS 晶体管的电流源(电流沉)

当栅-源电压 $v_{\text{GS}} = V_{\text{BIAS}}$ 时,工作在饱和区的 NMOS 晶体管 M_1 的漏极输出电流为

$$i_{\text{OUT}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{BIAS}} - V_{\text{THN}})^2 (1 + \lambda v_{\text{OUT}}) \quad (3.1)$$

对于特定的输出电压 $v_{\text{OUT}} = V_{\text{OUT}}$,即输出电压固定在一个直流值上,而不考虑其变化,则有

$$i_{\text{OUT}} \approx I_{\text{OUT}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{BIAS}} - V_{\text{THN}})^2 (1 + \lambda V_{\text{OUT}}) \quad (3.2)$$

为了保证电流源的性能,NMOS 晶体管处于饱和区,因此,输出节点的电压应保证

$$v_{\text{OUT}} \geq V_{\text{BIAS}} - V_{\text{THN}} \quad (3.3)$$

即输出电压应至少达到 NMOS 晶体管的饱和电压。此 NMOS 电流源的小信号输出电阻表示为

$$r_{\text{out}}^{-1} = \frac{\partial i_{\text{OUT}}}{\partial v_{\text{OUT}}} \approx \lambda I_{\text{OUT}} \quad (3.4)$$

该电阻为 NMOS 晶体管的输出电阻。输出电阻越大,电流源越接近理想电流源。

这种电流源也可以采用 PMOS 晶体管来实现,如图 3-2 所示。为了区分图 3-1 所示的采用 NMOS 晶体管的电流源,根据输出端的电流方向,有时将图 3-1 所示的电流源称为“沉电流源”(sink current source),简称“电流沉”(current sink);而图 3-2 所示的采用 PMOS 管的电流源称为“源电流源”(source current source),简称“电流源”(current source)。但在很多场合,并不区分 NMOS 电流沉和 PMOS 电流源,统称为“电流源”。

同样地,为了保证电流源的性能,PMOS 晶体管处于饱和区,因此,输出节点的电压应保证

$$|v_{\text{OUT}} - V_{\text{DD}}| \geq |V_{\text{BIAS}} - V_{\text{DD}}| - |V_{\text{THP}}| \quad (3.5)$$

即

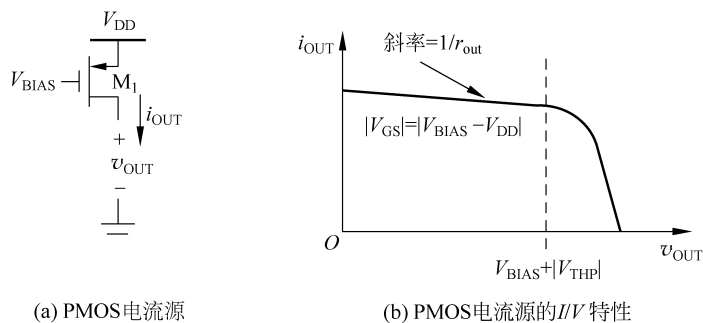


图 3-2 采用 PMOS 晶体管的电流源

$$v_{OUT} \leq V_{BIAS} + |V_{THP}| \quad (3.6)$$

此 PMOS 电流源的小信号输出电阻为 $1/(\lambda_p I_{OUT})$ 。

【例 3.1】 求基本电流源的输出电流。对于图 3-1 所示的 NMOS 基本电流源,如果想要获得 1mA 的电流输出,在不考虑沟道长度调制效应的情况下, M_1 的输入偏置电压(即栅-源电压)应该是多少? 输出电压 v_{OUT} 最低应该为多少? 已知 NMOS 的参数为 $W=5\mu\text{m}$, $L=1\mu\text{m}$, $V_{THN}=0.7\text{V}$, $K_n=110\mu\text{A}/\text{V}^2$, $\lambda=0.04\text{V}^{-1}$ 。在考虑沟道长度调制效应的情况下,计算当 $v_{OUT}=2\text{V}$ 和 $v_{OUT}=4\text{V}$ 时的输出电流。

解: 图 3-1 所示的电流源正常工作时需将 NMOS 晶体管偏置在其饱和区,因此,根据式(3.1),忽略沟道长度调制效应,当栅-源电压 $v_{GS}=V_{BIAS}$ 时,这里 $K_n=\mu_n C_{ox}=110\mu\text{A}/\text{V}^2$,有

$$i_{OUT} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{BIAS} - V_{THN})^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{5 \times 10^{-6}}{1 \times 10^{-6}} \times (V_{BIAS} - 0.7)^2 = 1\text{mA}$$

由此得到 $V_{BIAS} \approx 2.607\text{V}$,可见很难算得一个很精确的电压值。输出电压 v_{OUT} 最低值为

$$v_{OUT} \geq V_{BIAS} - V_{THN} = 2.607 - 0.7 = 1.907\text{V}$$

考虑沟道长度调制效应,如果 $v_{OUT}=2\text{V}$,则有

$$\begin{aligned} i_{OUT} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{BIAS} - V_{THN})^2 (1 + \lambda v_{OUT}) \\ &= \frac{1}{2} \times 110 \times 10^{-6} \times \frac{5 \times 10^{-6}}{1 \times 10^{-6}} \times (2.607 - 0.7)^2 (1 + 0.04 \times 2) \approx 1.08\text{mA} \end{aligned}$$

考虑沟道长度调制效应,如果 $v_{OUT}=4\text{V}$,则有

$$\begin{aligned} i_{OUT} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{BIAS} - V_{THN})^2 (1 + \lambda v_{OUT}) \\ &= \frac{1}{2} \times 110 \times 10^{-6} \times \frac{5 \times 10^{-6}}{1 \times 10^{-6}} \times (2.607 - 0.7)^2 (1 + 0.04 \times 4) \approx 1.16\text{mA} \end{aligned}$$

可见,由于存在沟道长度调制效应,基本电流源的输出电流容易受到输出电压的影响。

3.2.2 共源共栅电流源

基本电流源的性能不是很好,受沟道长度调制的影响,此电流源的小信号输出电阻较小,输出电流 i_{OUT} 容易受到输出节点 v_{OUT} 电压的影响。

电流源的输出电阻可以采用图 3-3(a)所示的思路来提高。在 MOS 晶体管的源极增加一个负反馈电阻,这样可以增加小信号输出电阻,计算小信号输出电阻的等效电路如图 3-3(b)所示,则有

$$v_s = -v_{gs2} \quad (3.7)$$

$$v_{bs2} = -v_s \quad (3.8)$$

而 i_{out} 全部流经 r_s , 则 r_s 上的电压降为

$$v_s = i_{out} r_s \quad (3.9)$$

流经 r_{o2} 上的电流为 $i_{out} - g_{mb2} v_{bs2} - g_{m2} v_{gs2}$, 因而有

$$(i_{out} - g_{mb2} v_{bs2} - g_{m2} v_{gs2}) r_{o2} + v_s = v_{out} \quad (3.10)$$

结合式(3.7)~式(3.10),可以计算出电路的输出电阻为

$$r_{out} = \frac{v_{out}}{i_{out}} = r_s + r_{o2} + [(g_{m2} + g_{mb2}) r_{o2}] r_s \approx (g_{m2} r_{o2}) r_s \quad (3.11)$$

其中 $g_{m2} r_{o2} \gg 1$ 并且 $g_{m2} \gg g_{mb2}$ 。可见 r_s 的引入,增加了电流源电路的输出电阻。

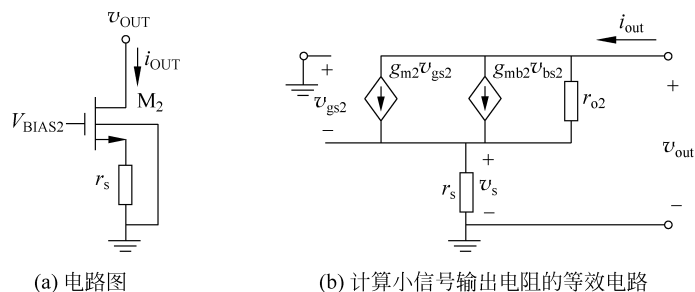


图 3-3 采用源极负反馈电阻来提高输出电阻的技术

根据上述原理,可以考虑采用一个工作在饱和区的 MOS 晶体管来代替电阻 r_s , 如图 3-4(a)所示,称为“共源共栅电流源”(cascode^① current source)。小信号等效电路如图 3-4(b)所示,由于 M_1 的栅极偏置在固定直流电压下,在小信号等效电路中 M_1 的栅极连接到交流地上,即 $v_{gs1} = 0$, 这样 M_1 的作用等效为一个 r_{o1} 电阻。因此,根据图 3-3 和式(3.11),式(3.11)中的 $r_s = r_{o1}$, 得到小信号输出电阻为

$$r_{out} = r_{o1} + r_{o2} + [(g_{m2} + g_{mb2}) r_{o2}] r_{o1} \approx (g_{m2} r_{o2}) r_{o1} \quad (3.12)$$

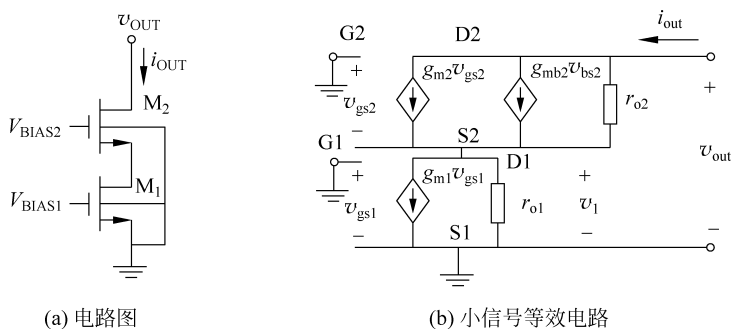


图 3-4 共源共栅电流源

^① cascode 是 cascade triode 的缩写,是“级联三极管”意思,在 MOS 电路中常称为“共源共栅”。

由此可见,共源共栅电流源具有非常大的输出电阻,电流源更加接近理想电流源。为了保证电流源的性能,所有 NMOS 晶体管应处于饱和区,因此,输出节点的电压应保证

$$v_{\text{OUT}} \geq (V_{\text{GS1}} - V_{\text{THN}}) + (V_{\text{GS2}} - V_{\text{THN}}) \quad (3.13)$$

即输出节点处的最小电压为两个过驱动电压(V_{OD})之和。

【例 3.2】 求共源共栅电流源的输出电流。对于图 3-4 所示的共源共栅电流源,如果想要获得 0.1mA 的电流输出,在不考虑沟道长度调制效应的情况下, M_1 的输入偏置电压(即栅-源电压)应该是多少? M_2 栅极的偏置电压 V_{BIAS2} 最低应该是多少? 输出电压 v_{OUT} 最低应该为多少? 已知 NMOS 的参数为 $V_{\text{THN}}=0.7\text{V}$, $K_n=110\mu\text{A}/\text{V}^2$, $\lambda=0.04\text{V}^{-1}$ 。假设所有 NMOS 晶体管的尺寸都为 $W=20\mu\text{m}$, $L=1\mu\text{m}$ 。

解: 图 3-4 所示的电流源正常工作时,需将所有 NMOS 晶体管偏置在其饱和区,共源共栅电流源的电流由流经处于饱和区 M_1 的漏极电流确定,因此,根据式(3.1),忽略沟道长度调制效应,当栅-源电压 $v_{\text{GS1}}=V_{\text{BIAS1}}$ 时,这里 $K_n=\mu_n C_{\text{ox}}=110\mu\text{A}/\text{V}^2$,有

$$i_{\text{OUT}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{BIAS1}} - V_{\text{THN}})^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}} \times (V_{\text{BIAS1}} - 0.7)^2 = 0.1\text{mA}$$

由此得到 $V_{\text{BIAS1}} \approx 1.0015\text{V}$ 。

M_1 的过驱动电压 V_{OD1} 为

$$V_{\text{OD1}} = V_{\text{BIAS1}} - V_{\text{THN}} = 1.0015 - 0.7 = 0.3015\text{V}$$

M_2 处于饱和区,忽略沟道长度调制效应及体效应,则有

$$i_{\text{OUT}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{GS2}} - V_{\text{THN}})^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}} \times (V_{\text{GS2}} - 0.7)^2 = 0.1\text{mA}$$

由此也得到 $V_{\text{GS2}} \approx 1.0015\text{V}$ 。

M_2 栅极的偏置电压 V_{BIAS2} 最低应满足

$$V_{\text{BIAS2}} \geq V_{\text{OD1}} + V_{\text{GS2}} = 0.3015 + 1.0015 = 1.303\text{V}$$

而输出电压 v_{OUT} 的最低值为

$$v_{\text{OUT}} \geq V_{\text{OD1}} + V_{\text{OD2}} = V_{\text{OD1}} + (V_{\text{GS2}} - V_{\text{THN}}) = 0.3015 + (1.0015 - 0.7) = 0.603\text{V}$$

【例 3.3】 求共源共栅电流源的小信号等效输出电阻。对于图 3-4 所示的共源共栅电流源,所有晶体管都处于饱和区,可获得 0.1mA 的电流输出,共源共栅电流源的小信号输出电阻是多少? 已知 NMOS 的参数为 $V_{\text{THN}}=0.7\text{V}$, $K_n=110\mu\text{A}/\text{V}^2$, $\lambda=0.04\text{V}^{-1}$,假设所有 NMOS 晶体管的尺寸都为 $W=20\mu\text{m}$, $L=1\mu\text{m}$ 。

解: 所有 NMOS 晶体管都处于饱和区,根据式(3.12),为了计算此共源共栅电流源的小信号输出电阻,如果忽略体效应,需要计算出 r_{o1} 、 r_{o2} 、 g_{m2} 。流经晶体管的电流为 0.1mA,根据式(2.39),有

$$g_{\text{m2}} = \sqrt{\left(2K_n \frac{W}{L}\right) I_{\text{D}}} = \sqrt{\left(2 \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}}\right) \times 0.1 \times 10^{-3}} = 663.3\mu\text{A}/\text{V}$$

根据式(2.40),有

$$r_{\text{o1}} = r_{\text{o2}} = \frac{1}{\lambda I_{\text{D}}} = \frac{1}{0.04 \times 0.1 \times 10^{-3}} = 250\text{k}\Omega$$

由此,根据式(3.12),得

$$r_{out} \approx (g_{m2} r_{o2}) r_{o1} = 663.3 \times 10^{-6} \times 250 \times 10^3 \times 250 \times 10^3 \approx 41.456 \text{M}\Omega$$

可见此共源共栅电流源具有很大的输出电阻。

3.3 MOS 电流镜

图 3-1 和图 3-2 所示的电流源的输出电流 i_{OUT} 容易受到工艺、温度及电源的影响, i_{OUT} 由栅-源电压 v_{GS} 和阈值电压 V_{TH} 决定, 想要获得高精度的电压基准不是一件很容易的事情, 而且不同芯片、不同晶圆上的器件阈值电压可能会有 $\pm 10\%$ 左右的变化。即便能够提供精确的偏置电压, 而 μ_n 和 V_{TH} 受温度的影响, 也很难获得准确的电流。因此, 需要寻找实现电流源的其他方式。

3.3.1 基本电流镜

为了获得更为精确的电流, 电流源的设计常常是基于对电流基准的复制, 电流镜就是完成这样的复制功能的电路结构, 如图 3-5 所示。 M_1 和 M_2 构成一个电流镜, 两个工作在饱和区且具有相同栅-源电压的相同晶体管传输相同电流, 输出 I_{OUT} 将复制参考电流基准 I_{REF} 。至于电流基准如何产生, 将在基准源一章中讨论。

电流镜中器件的尺寸也可以不一样。电流镜中两个 MOS 晶体管均处于饱和区, 忽略沟道长度调制效应, 如果仅考虑直流量, 可以写为

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{THN1})^2 \quad (3.14a)$$

$$I_{OUT} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{THN2})^2 \quad (3.14b)$$

由于两个 MOS 晶体管在版图设计时可以相距很近, 因此失配很小, 这样两个 MOS 晶体管的阈值电压及工艺参数 $\mu_n C_{ox}$ 可以认为是相等的, 可得

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \quad (3.15)$$

电流镜电路的特点是: I_{OUT} 与 I_{REF} 的比值由器件尺寸的比率决定, 不受工艺和温度的影响。设计者可以通过器件的尺寸比来调整输出电流的大小。另外, 从式(3.15)也可以看出, 电流镜可作为电流放大器来使用。

【例 3.4】 图 3-6 所示的所有晶体管都处于饱和区, 忽略沟道长度调制效应, 试写出各个输出电流的表达式。

解: 所有晶体管都处于饱和区, 并且忽略沟道长度调制效应, 那么各个输出电流的表达式为

$$I_{OUT1} = \frac{(W/L)_{N2}}{(W/L)_{N1}} I_{REF}$$

$$I_{OUT2} = \frac{(W/L)_{N3}}{(W/L)_{N1}} \frac{(W/L)_{P2}}{(W/L)_{P1}} I_{REF}$$

可见利用电流镜, 可以非常方便地得到需要的电流值。

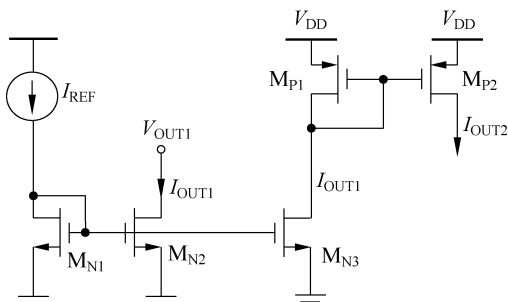


图 3-6 电流镜的电流复制

图 3-5 所示的基本电流镜在不考虑沟道长度调制效应的情况下,输出电压的最小值和图 3-1 所示的电流源一样,需要保证 M_2 处于饱和区, $v_{OUT} \geq V_{GS} - V_{THN} = V_{OD}$, 即输出节点处电压的最小值为一个过驱动电压。此过驱动电压由流经工作在饱和区 MOS 晶体管上的电流确定,根据工作在饱和区的 MOS 晶体管漏极电流公式(2.12),可得

$$V_{OD} = V_{GS} - V_{THN2} = \sqrt{\frac{2I_{OUT}}{\mu_n C_{ox}} \left(\frac{L}{W} \right)_2} = \sqrt{\frac{2I_{REF}}{\mu_n C_{ox}} \left(\frac{L}{W} \right)_1} \quad (3.16)$$

在电流镜电路的实际设计中,通常采用叉指 MOS 管,每个“叉指”的沟道长度相等,复制倍数由叉指数决定,减小由于漏源区边缘扩散所产生的误差,以减小因器件的失配造成的电流失配。如图 3-7(a) 所示的 4 倍电流的电流镜电路,采用图 3-7(b) 所示的叉指结构的版图设计,假设晶体管每个叉指具有相同的失配,若每个叉指的宽度为 $(10 \pm 0.1) \mu\text{m}$, 则 M_1 和 M_2 实际的宽度为 $W_1 = (10 \pm 0.1) \mu\text{m}$ 、 $W_2 = 4(10 \pm 0.1) \mu\text{m}$, 则 $I_{OUT}/I_{REF} = 4(10 \pm 0.1)/(10 \pm 0.1) = 4$, 可见可以得到较好的匹配。若采用如图 3-7(c) 所示的版图,则 M_1 和 M_2 的实际的宽度为 $W_1 = (10 \pm 0.1) \mu\text{m}$ 、 $W_2 = (40 \pm 0.1) \mu\text{m}$, 则 $I_{OUT}/I_{REF} = (40 \pm 0.1)/(10 \pm 0.1) \approx 4 \pm 0.03$, 就产生了较大的电流失配。

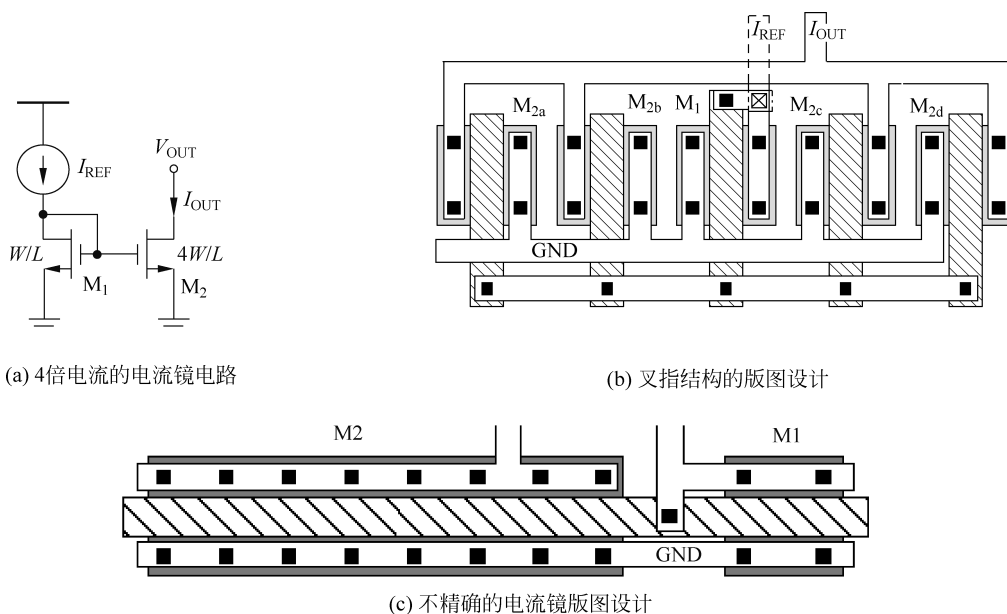
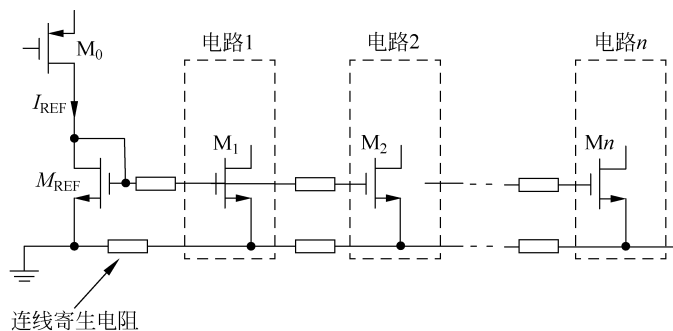
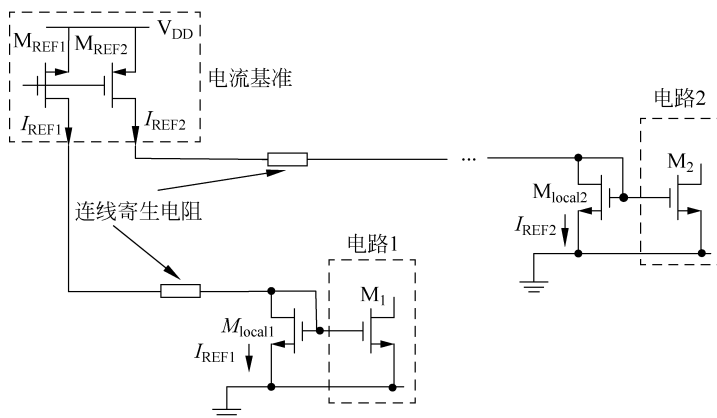


图 3-7 电流镜电路的版图设计

电流镜在芯片上的分布可以采用电压方式或者电流方式。电压方式的好处是节省布线,包括地线只需要两根线,并且节省器件个数,对节省芯片面积有好处。但电流镜在芯片上的分布采用电压传递的方式有明显的缺点,如图 3-8(a) 所示,长连线寄生电阻上的压降会影响电流镜复制晶体管的栅源电压,从而造成复制晶体管出现不同的偏置。同时,由于复制晶体管和被复制侧的晶体管分布在芯片上的不同位置,因此晶体管的失配也较大,会造成较大电流失配。因此,应尽量采用电流传递、本地电流镜复制的方式,如图 3-8(b) 所示,这样连线上寄生电阻的电压降不会影响电流镜对管对电流的复制精度,并且电流镜晶体管可以实现较好的匹配,这样就可以达到减小电流失配的目的。



(a) 电压传递方式的电流镜



(b) 电流传递方式的电流镜

图 3-8 电流镜在芯片上的分布设计

3.3.2 共源共栅电流镜

在以上基本电流镜的讨论中,忽略了沟道长度调制效应的影响。实际上,这一效应给电流镜带来了很大的误差。考虑沟道长度调制效应,对于图 3-5 所示的基本电流镜,有

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS1}) \quad (3.17a)$$

$$I_{OUT} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS2}) \quad (3.17b)$$

其中两个 NMOS 晶体管具有相等的阈值电压 V_{TH} 和工艺参数 $\mu_n C_{ox}$, 则有

$$I_{OUT} = \frac{(W/L)_2 (1 + \lambda V_{DS2})}{(W/L)_1 (1 + \lambda V_{DS1})} I_{REF} \quad (3.18)$$

当 $V_{DS1} = V_{DS2}$ 时,电路具有良好的电流复制性能,但由于 M_2 受输出端的影响, V_{DS2} 很少能够等于 V_{DS1} , 这样就造成了电流复制的误差。同时,也应注意到,对于特定的漏-源电压偏差 ($V_{DS2} - V_{DS1}$),随着沟道长度调制系数 λ 的减小(也就是具有更大输出电阻),电流镜的精度将明显提高。基本电流镜输出节点处的小信号输出电阻等于 $1/(\lambda I_{OUT})$ 。

从增加小信号输出电阻来提高电流源质量的角度考虑,可以在基本电流镜的基础上,在输出侧采用图 3-4 所示的共源共栅电流源结构,如图 3-9 所示。可见图 3-9 所示的电流源输出部分的小信号输出电

阻比较大,输出电流受输出节点电压的影响较小。但是,在这个电路中,也不能保证 M_2 的 V_{DS2} 电压等于 M_1 的 V_{DS1} 电压,因此,图 3-9 所示的电路也不能进行精确的电流复制。

为了提高电流复制精度,抑制沟道长度调制的影响,可以采用如图 3-10 所示的结构,由于在电流镜的输入侧和输出侧均采用共源共栅结构,因此称为“共源共栅电流镜”(cascode current mirror)。在图 3-10 所示电路中, $V_B = V_{GS0} + V_X = V_{GS0} + V_{GS1}$, 同时 $V_B = V_{GS3} + V_Y$, 如果使 $(W/L)_3/(W/L)_0 = (W/L)_2/(W/L)_1$, 那么 $V_{GS3} = V_{GS0}$, $V_X = V_Y$, 则电流镜能够进行精确的电流复制。

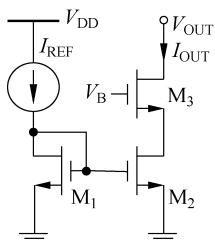


图 3-9 输出侧为共源共栅电流源的基本电流镜

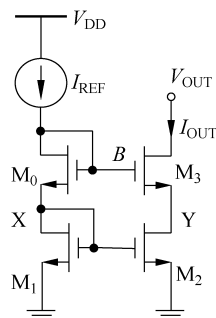


图 3-10 共源共栅电流镜

显而易见,图 3-10 所示的共源共栅电流镜的小信号输出电阻与图 3-9 及图 3-4 所示的共源共栅电流源是一致的,即

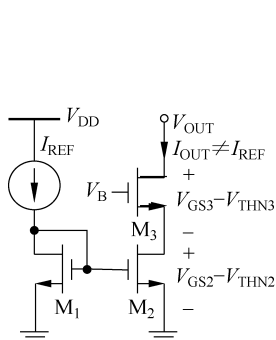
$$r_{out, mirror} = r_{o2} + r_{o3} + [(g_{m3} + g_{mb3})r_{o3}]r_{o2} \approx (g_{m3}r_{o3})r_{o2} \quad (3.19)$$

从式(3.19)可见共源共栅结构增大了电流镜的输出电阻,也就是提高了电流源的性能,使 Y 点电压免受输出电压 V_{OUT} 的影响。

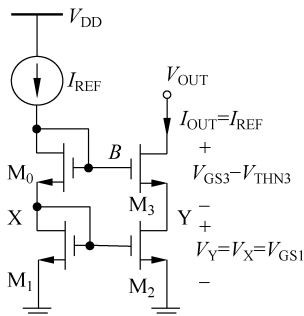
共源共栅电流镜具有很好的电流复制性能,并且也具有很大的输出电阻。但是在图 3-10 所示的共源共栅电流镜结构中,为了能够进行精确复制,要保证 $V_Y = V_X = V_{GS1}$, 并且要保证所有 MOS 晶体管处于饱和区,其输出节点处的电压应保证

$$v_{OUT} \geq V_{GS1} + (V_{GS3} - V_{THN3}) = (V_{GS1} - V_{THN1}) + (V_{GS3} - V_{THN3}) + V_{THN1} \quad (3.20)$$

即输出节点处的最小电压为两个过驱动电压(V_{OD})加上一个阈值电压(V_{THN})。对比图 3-4 或图 3-9 所示的共源共栅电流源,要保证所有 MOS 晶体管处于饱和区,输出节点处的最小电压可以等于 $(V_{GS2} - V_{THN2}) + (V_{GS3} - V_{THN3})$, 即两个过驱动电压之和。由此可见,共源共栅电流镜额外占用了输出节点的电压裕度。图 3-11 清楚地显示了这点。



(a) 共源共栅电流源的情况



(b) 共源共栅电流镜的情况

图 3-11 共源共栅电流源与共源共栅电流镜对输出电压的要求

【例 3.5】 求共源共栅电流镜的输出电压范围。对于图 3-10 所示的共源共栅电流镜, $I_{\text{REF}} = 0.1\text{mA}$, 输出电压 v_{OUT} 最低应该为多少? 已知 NMOS 的参数为 $V_{\text{THN}} = 0.7\text{V}$, $K_n = 110\mu\text{A}/\text{V}^2$, $\lambda = 0.04\text{V}^{-1}$ 。假设所有 NMOS 晶体管的尺寸都为 $W = 20\mu\text{m}$, $L = 1\mu\text{m}$ 。

解: 图 3-10 所示的电流镜正常工作时需将所有 NMOS 晶体管偏置在其饱和区, $V_Y = V_X = V_{\text{GS1}}$, 因此, 为了便于计算, 忽略沟道长度调制效应, 这里 $K_n = \mu_n C_{\text{ox}} = 110\mu\text{A}/\text{V}^2$, 由于所有晶体管尺寸一样, 因此, $I_{\text{OUT}} = I_{\text{REF}} = 0.1\text{mA}$ 。

$$I_{\text{OUT}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{GS1}} - V_{\text{THN}})^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}} \times (V_{\text{GS1}} - 0.7)^2 = 0.1\text{mA}$$

由此得到 $V_{\text{GS1}} \approx 1.0015\text{V}$ 。

M_1 的过驱动电压 V_{OD1} 为

$$V_{\text{OD1}} = V_{\text{GS1}} - V_{\text{THN}} = 1.0015 - 0.7 = 0.3015\text{V}$$

对于 M_3 , 其处于饱和区, 并忽略沟道长度调制效应及体效应, 则有

$$I_{\text{OUT}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} V_{\text{OD3}}^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}} \times V_{\text{OD3}}^2 = 0.1\text{mA}$$

由此也得到 $V_{\text{OD3}} \approx 0.3015\text{V}$ 。

因此, 图 3-10 所示的共源共栅电流源输出电压 v_{OUT} 的最低值为

$$\begin{aligned} v_{\text{OUT}} &\geq V_{\text{GS1}} + (V_{\text{GS3}} - V_{\text{THN3}}) = V_{\text{OD1}} + V_{\text{OD3}} + V_{\text{THN1}} \\ &= 0.3015 + 0.3015 + 0.7 = 1.303\text{V} \end{aligned}$$

3.3.3 大摆幅的共源共栅电流镜

共源共栅电流镜的输出侧占用更多电压裕度的根本原因在于: 被复制一侧的共源 MOS 晶体管 (图 3-11 所示的 M_1) 的漏极连接到了栅极上, 这样虽然可以保证 M_1 处于饱和区, 但 M_1 的 V_{DS} 必须等于 V_{GS} , 并且 M_1 和 M_2 的漏极电位相等, 这样就消耗了额外的电压裕度。实际上, 处于饱和区的 M_1 的 V_{DS} 电压的最小允许电压应该可以低至 $V_{\text{GS}} - V_{\text{THN}}$ 。为了解决这个问题, 可以将图 3-11 改造为图 3-12 所示的电路结构, 复制一侧的共源 MOS 晶体管 M_1 的栅极并不再连接在漏极, 而是连接在共栅管 M_0 的漏极, 即图 3-12 所示的 Z 点。这样, M_1 管的漏源就有可能降低到一个过驱动电压值。为了能让电路正常工作, 必须考查 V_B 的电压的选择, 使 M_1 和 M_0 都处于饱和区。为了使 M_1 处于饱和区, 应满足 $V_X \geq V_Z - V_{\text{THN1}}$, 而 $V_X = V_B - V_{\text{GS0}}$; 为了使 M_0 处于饱和区, 应满足 $V_Z \geq V_B - V_{\text{THN0}}$, 而 $V_Z = V_{\text{GS1}}$, 由此得

$$V_{\text{GS0}} + (V_{\text{GS1}} - V_{\text{THN1}}) \leq V_B \leq V_{\text{GS1}} + V_{\text{THN0}} \quad (3.21)$$

即当 $V_{\text{GS0}} - V_{\text{THN0}} \leq V_{\text{THN1}}$ 时 V_B 有解, 因此, 在电路设计时, 注意 M_0 的过驱动电压要小于一个 M_1 晶体管的阈值电压。

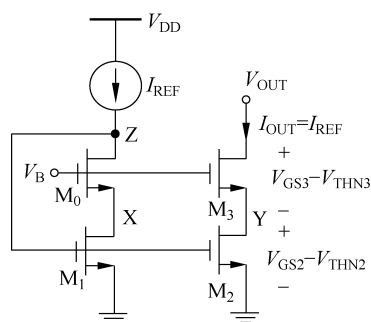


图 3-12 大摆幅的共源共栅电流镜

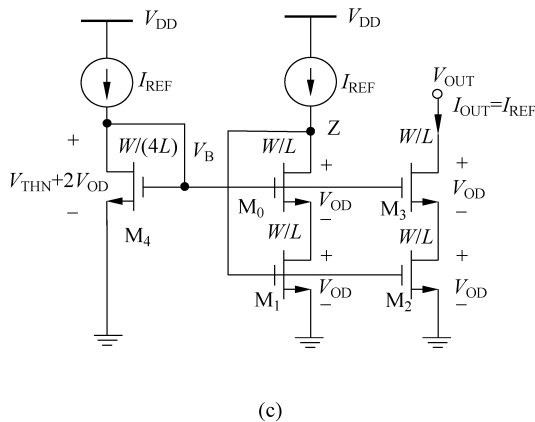


图 3-13 大摆幅共源共栅电流镜共栅电压的产生电路

在图 3-12 中,所有 MOS 晶体管都处于饱和区,当选择 $V_B = V_{GS0} + (V_{GS1} - V_{THN1}) = V_{GS3} + (V_{GS2} - V_{THN2})$ 时,电流镜消耗最小的电压裕度,即其输出节点的最小电压可以降低至

$$v_{\text{OUT},\min} = (V_{\text{GS3}} - V_{\text{THN3}}) + (V_{\text{GS2}} - V_{\text{THN2}}) \quad (3.22)$$

即输出端最低电压可以为两个过驱动电压,并且也可以精确复制电流。

现在的问题是如何获得 V_B 电压。从电流镜消耗最小电压裕度时的 V_B 电压表达式来看, V_B 的电压要大于或等于一个 V_{GS} 电压加上一个过驱动电压 ($V_{OD} = V_{GS} - V_{THN}$), 或者也可以是两个过驱动电压加上一个阈值电压, 即 $V_{B, \min} = 2V_{OD} + V_{THN}$ 。图 3-13 给出了几种电路的方案。在图 3-13(a) 中, M_5 提供 $V_{GS5} \approx V_{GS0}$, M_4 和 R_B 提供 $V_{DS4} = V_{GS4} - R_B I_1 \approx V_{GS1} - V_{THN1} = V_{OD1}$ 。但是, 这种电路结构有两方面的误差: 一是 M_0 存在体效应, 而 M_5 不存在体效应, 同样, M_4 存在体效应, 而 M_1 不存在体效应, 这都会造成提供的栅-源电压和过驱动电压与需要的电压不能很好地保证一致; 二是电阻 R_B 在集成电路工艺中误差较大, 很难精确控制 $R_B I_1$ 使之等于 M_1 管的阈值电压 V_{THN1} 。

图 3-13(b)中采用了一个栅漏连接的 M_6 代替电阻,通过选取很大的 W/L ,在电流 I_1 较小的情况下,让 V_{GS6} 逼近其阈值电压 V_{THN6} ,因此 $V_{DS4} \approx V_{GS4} - V_{THN6} \approx V_{OD}$, M_5 仍提供 $V_{GS5} \approx V_{GS0}$,得到 $V_B = V_{DS4} + V_{GS5} \approx V_{OD} + V_{GS0}$ 。此电路不需要电阻,但仍然由于体效应而存在误差。

在图 3-13(c) 电路中, 假设 $M_0 \sim M_3$ 采用相同的尺寸 (W/L), 流经的参考电流为 I_{REF} , 可将电流镜中 $M_0 \sim M_3$ 需要的过驱动电压记为 V_{OD} , 忽略沟道长度调制效应和体效应, 即

$$I_{\text{REF}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{GS}} - V_{\text{THN}})^2 = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} V_{\text{OD}}^2 \quad (3.23)$$

M_4 的栅漏连接在一起, 让 M_4 的宽长比(W/L)是 $M_0 \sim M_3$ 宽长比的 $1/4$, 并流过相同的参考电流 I_{REF} , 则有

$$I_{\text{REF}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{4L} (V_{\text{GS4}} - V_{\text{THN}})^2 \quad (3.24)$$

由式(3.23)和式(3.24), 得到 M_4 上的栅-源电压为

$$V_{\text{GS4}} = V_{\text{THN}} + 2V_{\text{OD}} \quad (3.25)$$

因此有 $V_{\text{B}} = V_{\text{GS4}} = V_{\text{THN}} + 2V_{\text{OD}}$ 。此电路只需一个晶体管便可以产生需要的 V_{B} 偏置电压。但 M_0 存在体效应, 而 M_4 没有体效应。因此, 在这几种方案中, 在设计时都要留出一定的余量, 以便保证 $M_0 \sim M_3$ 始终处于饱和区中。

在图 3-13 所示的电路方案中, 需要单独设计一个电路来产生偏置电压 V_{B} 。为了降低功耗, 可以去掉这个单独的偏置产生电路, 将其与共源共栅电流镜电路结合起来, 形成一个称为“自偏置大摆幅共源共栅电流镜”电路, 如图 3-14 所示。结合图 3-12 和图 3-13, M_1 的栅极连接到 M_0 的漏极, 其电位为 $V_{\text{THN}} + V_{\text{OD}}$, 在参考电流这一侧电路支路增加一个电阻 R , 使 $I_{\text{REF}} R = V_{\text{OD}}$, 这样, M_0 和 M_3 栅极的偏置电压就是需要的偏置电压 $V_{\text{B}} = V_{\text{THN}} + 2V_{\text{OD}}$ 。

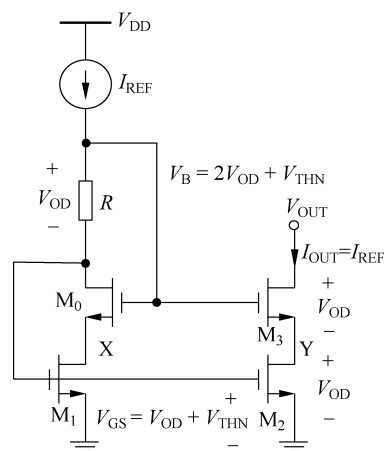


图 3-14 自偏置大摆幅共源共栅电流镜

【例 3.6】 求大摆幅共源共栅电流镜的输出电压范围。对于图 3-12 所示的大摆幅共源共栅电流镜, $I_{\text{REF}} = 0.1 \text{ mA}$ 。偏置电压 V_{B} 最低是多少? 输出电压 v_{OUT} 最低应该为多少? 已知 NMOS 的参数为 $V_{\text{THN}} = 0.7 \text{ V}$, $K_{\text{n}} = 110 \mu\text{A}/\text{V}^2$, $\lambda = 0.04 \text{ V}^{-1}$ 。假设所有 NMOS 晶体管的尺寸都为 $W = 20 \mu\text{m}$, $L = 1 \mu\text{m}$ 。

解: 图 3-12 所示的大摆幅电流镜正常工作时需将所有 NMOS 晶体管偏置在其饱和区, 为了便于计算, 忽略沟道长度调制效应, 这里 $K_{\text{n}} = \mu_{\text{n}} C_{\text{ox}} = 110 \mu\text{A}/\text{V}^2$, 由于所有晶体管尺寸一样, 因此, $I_{\text{OUT}} = I_{\text{REF}} = 0.1 \text{ mA}$ 。

$$I_{\text{REF}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} V_{\text{OD1}}^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}} \times V_{\text{OD1}}^2 = 0.1 \text{ mA}$$

由此计算出 M_1 的过驱动电压 V_{OD1} 为

$$V_{\text{OD1}} = 0.3015 \text{ V}$$

对于 M_0 , 其处于饱和区, 并忽略沟道长度调制效应及体效应, 则有

$$I_{\text{REF}} = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L} V_{\text{OD0}}^2 = \frac{1}{2} \times 110 \times 10^{-6} \times \frac{20 \times 10^{-6}}{1 \times 10^{-6}} \times V_{\text{OD0}}^2 = 0.1 \text{ mA}$$

由此也得到 $V_{\text{OD0}} \approx 0.3015 \text{ V}$ 。为了能使 M_1 和 M_0 都偏置在饱和区, v_{B} 最低电压应满足

$$V_{\text{B, min}} = V_{\text{OD1}} + V_{\text{OD0}} + V_{\text{THN}} = 0.3015 + 0.3015 + 0.7 = 1.303 \text{ V}$$

由上述分析可知, 由于所有处于饱和区的 NMOS 晶体管的尺寸一样, 且流经相同电流, 如果忽略沟道长度调制效应及体效应, 这些晶体管的过驱动电压是一样的, 因此, 图 3-12 所示的共源共栅电流源输出电压 v_{OUT} 的最低值为

$$v_{\text{OUT, min}} = V_{\text{OD3}} + V_{\text{OD2}} = 0.3015 + 0.3015 = 0.603 \text{ V}$$

3.3.4 威尔逊电流镜

还有一种电流镜,如图 3-15(a)所示,是著名的“威尔逊电流镜”,采用 NMOS 晶体管形式。威尔逊电流镜采用电流负反馈结构,使其具有很大输出电阻,输出电阻 r_{out} 的小信号等效电路如图 3-15(b)所示。由于 M_2 采用二极管方式连接,其等效小信号输出电阻为 $(r_{o2} \parallel 1/g_{m2})$ 。由于 r_{o2} 比 $1/g_{m2}$ 大很多, M_2 的输出电阻等效为 $1/g_{m2}$ 。忽略体效应的影响,有

$$v_{gs3} = \frac{i_x}{g_{m2}} \quad (3.26)$$

$$v_{gs1} + v_{gs3} = -g_{m3} v_{gs3} r_{o3} \quad (3.27)$$

将 v_{gs1} 用 v_{gs3} 表示,则式(3.27)可化简为

$$v_{gs1} = -(1 + g_{m3} r_{o3}) v_{gs3} = -\frac{(1 + g_{m3} r_{o3}) i_x}{g_{m2}} \quad (3.28)$$

对图 3-15(b)所示的电路采用 KVL 定律,可以得到

$$v_x = (i_x - g_{m1} v_{gs1}) r_{o1} + \frac{i_x}{g_{m2}} \quad (3.29)$$

将 v_{gs1} 代入式(3.29)并化简,得到输出电阻 r_{out} 为

$$\begin{aligned} r_{\text{out}} = \frac{v_x}{i_x} &= r_{o1} + \frac{1}{g_{m2}} + \frac{g_{m1}}{g_{m2}} r_{o1} (1 + g_{m3} r_{o3}) \\ &\approx r_{o1} + r_{o1} (1 + g_{m3} r_{o3}) \quad \text{当 } g_{m1} = g_{m2} = g_{m3} \text{ 时} \end{aligned} \quad (3.30)$$

其中, r_{o1} 和 r_{o3} 分别为 M_1 、 M_3 的输出电阻。

图 3-15 所示的威尔逊电流镜在输出端的最低输出电压应保证

$$v_{\text{OUT}} \geq V_{\text{GS2}} + (V_{\text{GS1}} - V_{\text{THN1}}) = (V_{\text{GS1}} - V_{\text{THN1}}) + (V_{\text{GS2}} - V_{\text{THN2}}) + V_{\text{THN2}} \quad (3.31)$$

和共源共栅电流镜一样,威尔逊电流镜也消耗了额外的电压裕度。

图 3-15(a)所示的电路还存在一个问题: M_2 、 M_3 的漏极电压 V_{DS2} 、 V_{DS3} 不相等,因此导致它们的漏极电流 I_{D2} 、 I_{D3} 不相等。这个问题可以通过添加一个二极管连接的 MOSFET 来解决,如图 3-15(c)所示。这种修改保证了 M_2 、 M_3 具有相同的漏极电压,从而获得相同的漏极电流。

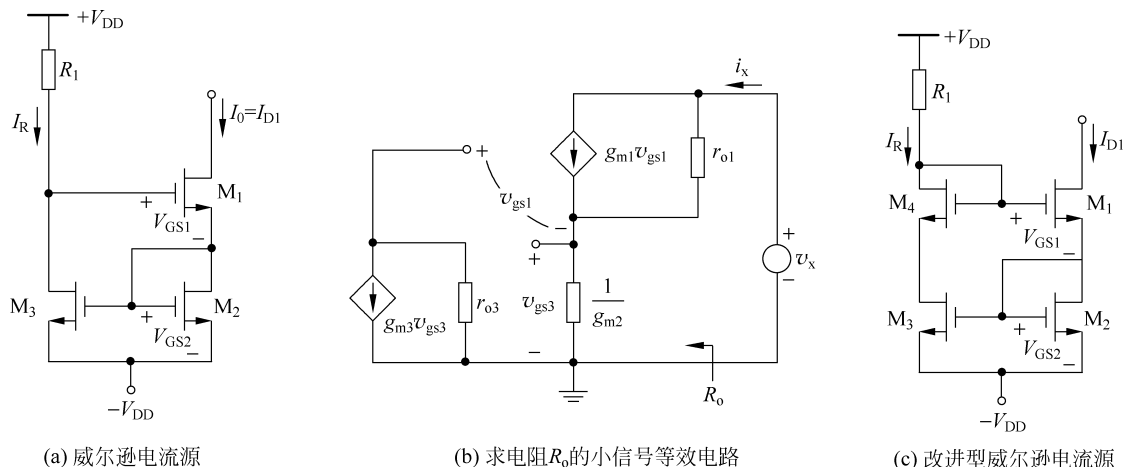


图 3-15 威尔逊电流镜

r_{o2} , 这样, 可以进一步提高电流镜的输出电阻, 忽略体效应影响, 即

(3.32)

cascode current mirror),其输出电阻可以达到 $g_m^2 r_o^3$ 量级。

被做在单独的 n 阱中, 因此, 可以消除体效应对电路的影响。

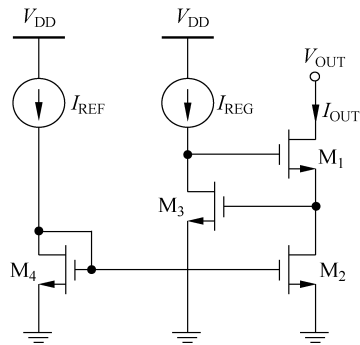


图 3-16 调节型共源共栅电流镜

3.4 本章小结

出电阻,在对输出电阻要求高的应用中,可以考虑采用这种结构。

习题

- 的输出电流。

- $$20\,\mu\text{m}, L=1\,\mu\text{m}, V_{\text{THN}}=0.7\text{V}, K_n=110\,\mu\text{A}/\text{V}^2, \lambda=0.04\text{V}^{-1}.$$

- 在考虑沟道长度调制效应的情况下,分别计算当 $v_{\text{OUT}}=1\text{V}$ 和 $v_{\text{OUT}}=3\text{V}$ 时的输出电流。

4. 对于图 3-2 所示的 PMOS 基本电流源,晶体管处于饱和区,获得 $100\mu\text{A}$ 的电流输出,求出此

PMOS 电流源的小信号输出电阻是多少? 已知 PMOS 晶体管的参数为 $W=20\mu\text{m}$, $L=1\mu\text{m}$, $V_{\text{THP}}=-0.7\text{V}$, $K_{\text{p}}=50\mu\text{A}/\text{V}^2$, $\lambda=0.05\text{V}^{-1}$ 。

5. 对于图 3-17 所示的 PMOS 共源共栅电流源, $V_{\text{DD}}=5\text{V}$, 如果想要获得 0.1mA 的电流输出, 在不考虑沟道长度调制效应的情况下, M_1 的输入偏置电压 V_{BIAS1} 应该是多少? M_2 的栅极偏置电压 V_{BIAS2} 最高应该是多少? 输出电压 v_{OUT} 最高应该为多少? 已知 PMOS 的参数为 $V_{\text{THP}}=-0.7\text{V}$, $K_{\text{p}}=50\mu\text{A}/\text{V}^2$, $\lambda=0.05\text{V}^{-1}$ 。假设所有 PMOS 晶体管的尺寸都为 $W=20\mu\text{m}$, $L=1\mu\text{m}$ 。

6. 对于图 3-17 所示的 PMOS 共源共栅电流源, 所有晶体管都处于饱和区, 获得 0.1mA 的电流输出, 共源共栅电流源的小信号输出电阻是多少? 已知 PMOS 的参数为 $V_{\text{THP}}=-0.7\text{V}$, $K_{\text{p}}=50\mu\text{A}/\text{V}^2$, $\lambda=0.05\text{V}^{-1}$ 。假设所有 PMOS 晶体管的尺寸都为 $W=20\mu\text{m}$, $L=1\mu\text{m}$ 。

7. 对于图 3-10 所示的共源共栅电流镜, $I_{\text{REF}}=0.1\text{mA}$ 。如果想要获得 $I_{\text{OUT}}=0.2\text{mA}$ 的电流输出, 如何设计此共源共栅电流镜电路中的器件尺寸? 输出电压 v_{OUT} 最低应该为多少? 已知 NMOS 的参数为 $V_{\text{THN}}=0.7\text{V}$, $K_{\text{n}}=110\mu\text{A}/\text{V}^2$, $\lambda=0.04\text{V}^{-1}$, NMOS 晶体管 M_0 和 M_1 的尺寸都为 $W=20\mu\text{m}$, $L=1\mu\text{m}$ 。

8. 对于图 3-13(a)所示的大摆幅共源共栅电流镜, $I_{\text{REF}}=0.1\text{mA}$ 。求偏置电压 V_{B} 最低是多少? 输出电压 v_{OUT} 最低应该为多少? 如何设计提供 V_{B} 电压的偏置电路? 已知 NMOS 的参数为 $V_{\text{THN}}=0.7\text{V}$, $K_{\text{n}}=110\mu\text{A}/\text{V}^2$, $\lambda=0.04\text{V}^{-1}$, 假设所有 NMOS 晶体管的尺寸都为 $W=20\mu\text{m}$, $L=1\mu\text{m}$ 。

9. 对于图 3-16 所示的调节型共源共栅电流镜, 所有晶体管都处于饱和区, $I_{\text{REG}}=I_{\text{REF}}=0.1\text{mA}$, 可获得 $100\mu\text{A}$ 的电流输出, 试求此调节型共源共栅电流镜的小信号输出电阻。已知 NMOS 的参数为 $W=20\mu\text{m}$, $L=1\mu\text{m}$, $V_{\text{THN}}=0.7\text{V}$, $K_{\text{n}}=110\mu\text{A}/\text{V}^2$, $\lambda=0.04\text{V}^{-1}$ 。

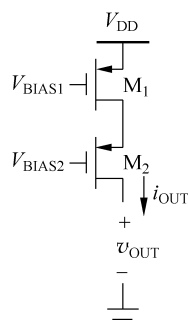


图 3-17 PMOS 共源共栅电流源