

本章目标

- 介绍双极型数字逻辑的概念
- 研究理想和非理想反相器的电压传输特性
- 定义逻辑门输入输出的逻辑值和逻辑状态
- 逻辑门设计的目标
- 理解噪声抑制和噪声容限的概念；举例说明噪声容限的计算
- 介绍逻辑门的动态行为参数,如上升时间、下降时间、传播延迟和功耗延迟积
- 复习布尔代数和非门、或门、与门、或非门、与非门
- 学习基本的逆变器设计；理解用晶体管代替电阻使用的原因
- 探索逆变器的简单晶体管实现
- 探索采用单晶体管类型的 MOS 逻辑门——NMOS 或 PMOS 晶体管(称为单通道技术)的设计
- 理解饱和负载、线性负载、耗尽模式负载电路之间的设计和性能差异
- 学会设计多输入与非门和或非门
- 学会设计复杂逻辑门,包括积之和的表示方法
- 开发用于计算各种单通道逻辑系列的上升时间、下降时间和传播延迟的表达和近似技术

微处理器和微控制器在消费者和工业产品中的普遍使用,使得数字电子产品对人类的生活产生深远的影响。微处理器芯片构成个人计算机和工作站的核心,数字信号处理是现代远程通信的基础。从音乐播放器到冰箱,从洗衣机到真空吸尘器,各种各样的微控制器随处可见。现今的豪华汽车中,一般有超过 50 个微处理器协同工作来控制车辆。事实上,预计在不久的将来,豪华车的总成本中将有 40%~50%来自于电子产品。

迄今为止,互补 MOS(CMOS)技术一直占领着数字电子市场。但如前几章所述,最初成功应用的生产工艺是为双极型晶体管开发的,并且第一个集成电路也是利用双极型晶体管制造而成的。电路设计者们早期开发的双极型电路系列称为电阻-晶体管逻辑(RTL)和二极管-晶体管逻辑(DTL),现在它们又推动了数字电路应用的飞速发展。双极型电路系列随后被晶体管-晶体管逻辑(TTL)和发射极耦合逻辑(ECL)所取代。TTL 和 ECL 很容易互连形成数字系统,且具有较高的可靠性和性能,因此现在依然得到使用。

人们花费了将近 10 年的时间,才开发出可行的 MOS 生产工艺。第一个高密度 MOS 集成电路出现于 1970 年左右,它利用的是 PMOS 技术。Ted Hoff 推动了微处理器里程碑式的发展,他曾说服 Intel 公司开发了包含大约 2300 个晶体管的 4 位 4004 微处理器芯片,该芯片于 1971 年推出^[1]。全世界的研发实验室都开始对单芯片处理器进行研究,并很快取得了进展。在随后的 40 年里,人们继续开发高度复杂的微处理器芯片。作者写这版书时,单个芯片集成超过 10 亿个晶体管的芯片已经研制成

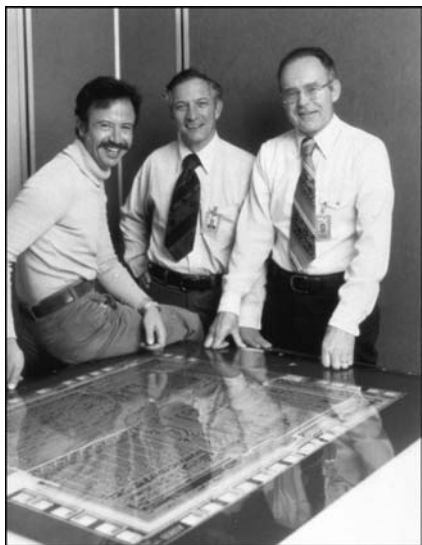
功。ITRS 项目预测到 2020 年将诞生由超过 100 亿个晶体管构成的微处理器。

20 世纪 70 年代中期,性能更高的 NMOS 技术迅速取代了 PMOS,Intel 8080、8085 和 8086 均采用 NMOS 逻辑。日立公司的 Toshiaki Masuhara 博士在 NMOS 电路中引进耗尽模型负载器件,使得电路性能获得了显著提升,最终这一成果得到公众的正式认可,其本人也因这一成果而获得 1990 年的 IEEE 固态电路奖。

但到了 20 世纪 80 年代中期,与 NMOS 微处理器相关的功耗达到了无法控制的水平,业界几乎每天都在向 CMOS 技术过渡。从那时起,CMOS 一直是主流技术。第 2 章专门介绍 CMOS 逻辑电路设计。

本章研究数字逻辑电路,首先介绍与数字电路有关的重要概念和定义,然后详细讲解仅使用单晶体管类型(NMOS 或 PMOS)构建的 MOS 逻辑电路的设计,称为“单通道技术”。伪 NMOS 逻辑利用 PMOS 做负载管,发展到现在使用 NMOS 管和 PMOS 管实现 CMOS 逻辑。第 3 章介绍 MOS 存储器及其电路,第 4 章介绍双极型逻辑电路。

本章介绍数字电子逻辑门的要求和基本特性,然后研究用 MOS 技术实现逻辑门的具体方法。首先介绍反相器的特性,定义与二进制有关的重要逻辑值,介绍电压传输特性和噪声容限的概念;然后介绍门的瞬态行为和时间延迟;接下来简单介绍用于描述和分析逻辑功能的布尔代数;最后详细讲解带有各种负载元件的 NMOS 反相器,包括静态设计和时域行为。在集成电路中,晶体管代替电阻作负载,可以实现电路尺寸小型化。设计与非门、或非门及更复杂的门电路的基础都是反相器。



Intel 创立者 Andy Grove、Robert Noyce 和 Gordon Moore,其三人的下面是用红色涂料绘制的 8080 微处理器掩模板(图片由 Intel 公司提供)



Intel 酷睿 i7 处理器 Nehalem 芯片

1.1 理想逻辑门

本章从理想逻辑反相器的特性开始展开逻辑门的讨论。尽管现实中无法达到理想状态,但是这些概念定义是学习第 1 章和第 4 章中实际 MOS 和双极型逻辑电路实现的基础。

本书只考虑二进制逻辑,即工作中只有两个分立的状态。另外,习惯上一般使用正逻辑,即高电平对应逻辑1,低电平对应逻辑0。

图1.1给出了理想反相器的逻辑符号和电压传输特性(Voltage Transfer Characteristic, VTC)。在绝大多数逻辑图中并不包括正负电源,图1.1中正负电源分别用 V_+ 和 V_- 表示。当输入电压 v_I 低于参考电压(Reference Voltage) V_{REF} 时,输出 v_O 将为高电平,等于栅极输出电压 V_H 。随着输入电压的不断增加,当输入电压超过 V_{REF} 时,输出电压将突然跳变到低电平,等于栅极输出电压 V_L 。相应的输出电压 V_H 和 V_L 通常介于电压 V_+ 和 V_- 之间,但可能并不等于二者中的任何一个。对于一个等于 V_+ 或 V_- 的输入电压,其输出不一定达到 V_+ 或 V_- ,实际的结果取决于各自的逻辑系列类型,而参考电压 V_{REF} 取决于逻辑门的内部电路。

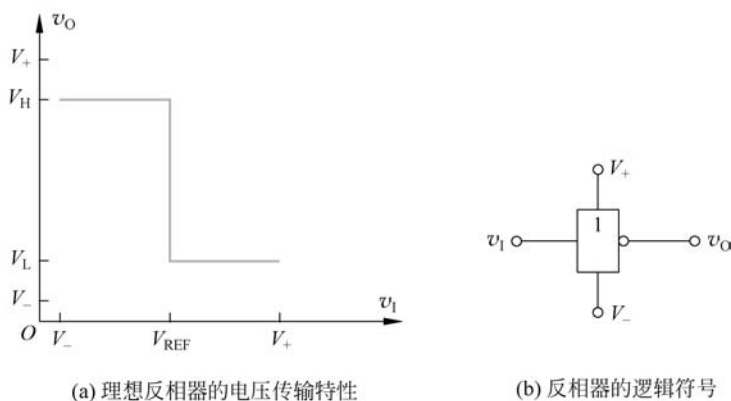


图 1.1

在绝大多数数字电路设计中,电源的电压受工艺限制,或由系统级电源供应标准预先设定。例如,多年来, $V_+ = 5.0\text{V}$ ($V_- = 0$)就是逻辑门的标准电源电压。然而,由于先进工艺在功耗、热量转移及击穿电压方面的制约,如今许多集成电路的供电电压是 $1.8 \sim 3.3\text{V}$,许多低功率系统的设计必须采用 $1.0 \sim 1.5\text{V}$ 的低电压供电。

1.2 逻辑电平和噪声容限

现在,让我们来看一下图1.2中反相器的电子应用。从概念上讲,基础的反相器电路包括一个负载电阻和一个由输入电压 v_I 控制的开关,如图1.2(b)所示。当开关闭合时,开关迫使 v_O 变化到 V_L ;当开关开启时,电阻使得输出电压为 V_H 。如图1.2(b)所示, $V_L = 0\text{V}$, $V_H = V_+$ 。

电压控制开关可由图1.2(c)所示的NMOS管或图1.2(d)所示的双极型晶体管实现。晶体管 M_S 和 Q_S 在两个状态间转换,即不导电或“截止”状态和导电或“导通”状态。当晶体管开关 M_S 或 Q_S 截止时,负载电阻 R 设置输出电压为 $V_H = V_+$ 。如果输入电压超过 M_S 的阈值电压或 Q_S 的基极发射结的开启电压,则晶体管中的传导电流使得输出电压降到 V_L 。当晶体管被当作开关时,如图1.2(c)和(d)所示, $V_L \neq 0\text{V}$ 。有关这些电路的设计将在本章后续部分和第4章中进行详细讨论。

在实际反相器电路中, V_H 和 V_L 之间的转换并不会像图1.1中所示的那样突然发生,而是渐进的,图1.3(a)所示的曲线更符合实际的传输特性曲线。一个单一的、定义明确的 V_{REF} 值实际并不存在,反而其他几个输入电压的电平更为重要。

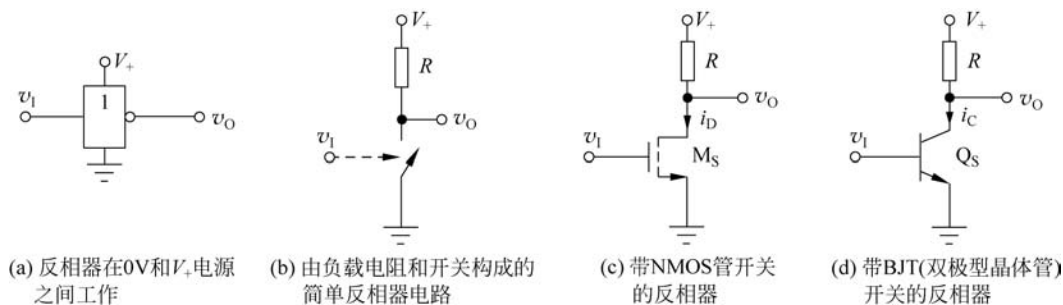


图 1.2

当输入电压 v_i 小于输入低逻辑电平(input low-logic-level) V_{IL} 时,输出被定义为高输出或 1 状态。随着输入电压的增加,输出电压 v_o 下降,直至达到低输出或 0 状态,而 v_i 超过输入高逻辑电平(input high-logic-level) V_{IH} 。输入电压 V_{IL} 和 V_{IH} 是电压传输特性曲线上斜率等于 -1 的点处对应的电压。低于 V_{IH} 的电压在逻辑门输入端一定是逻辑 0 状态,高于 V_{IH} 的电压在输入端一定是逻辑 1 状态。对应于 V_{IL} 和 V_{IH} 之间区域的电压代表无效逻辑输入电平,并产生没有确定逻辑值的输出电压。在这两点之间的高负斜率转变区^①代表一种未定义逻辑状态。标记为 V_{OL} 和 V_{OH} 的电压代表在斜率为 -1 处的点的门输出电压,对应的输入电平分别为 V_{IH} 和 V_{IL} 。

在 V_{IL} 到 V_{IH} 之间具有较高负斜率的 VTC 曲线上对应着较大的“电压增益”。现实中我们就是利用这一区域进行模拟信号的放大,增益值就是电压传输特性曲线的斜率,增益越高,对于图 1.3 中未定义逻辑状态的电压范围就越窄。

电压和电压范围的另一种表示方法如图 1.3(b)所示,图中同时还标出了电压噪声容限的量化值,接下来将会对各种术语做更完整的定义。

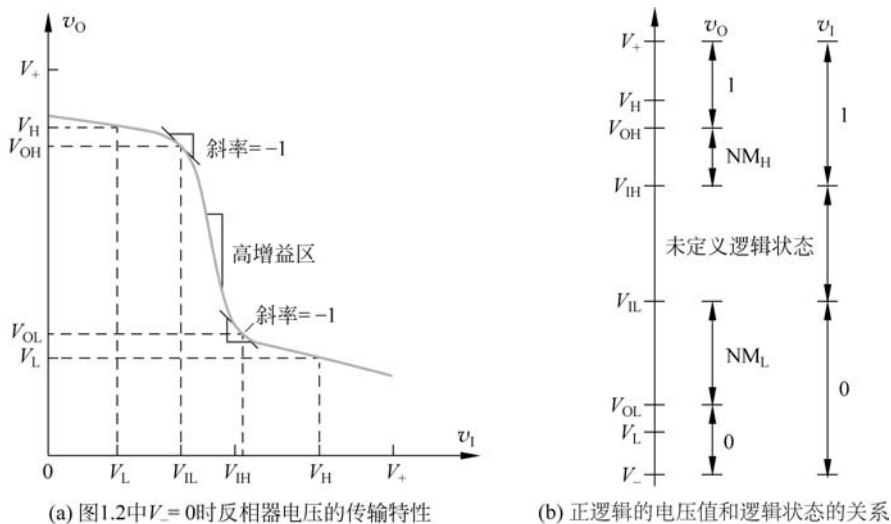


图 1.3

① 这一区域对应的是电压增益相对较高的区域,参见习题 1.6 和习题 1.7。

1.2.1 逻辑电平

下面给出几种常用的逻辑电平符号的定义:

V_L : 当 $v_I = V_H$ 时, 对应逻辑门输出端的低电平状态的额定电压, 通常 $V_- \leq V_L$ 。

V_H : 当 $v_I = V_L$ 时, 对应逻辑门输出端的高电平状态的额定电压, 通常 $V_H \leq V$ 。

V_{IL} : 被确认为输入逻辑低电平的最大输入电压。

V_{IH} : 被确认为输入逻辑高电平的最小输入电压。

V_{OH} : 与输入电压 V_{IL} 对应的输出电压。

V_{OL} : 与输入电压 V_{IH} 对应的输出电压。

对于有关 MOS 逻辑的后续讨论, V_- 通常取 0V, V_+ 通常取 2.5V 或 3.3V, 双极型逻辑中通常使用 5V。但取其他值也可以, 例如第 4 章中讨论的发射极耦合逻辑电路历来都是取 $V_- = 0V$ 、 $-5.2V$ 或 $-4.5V$, 低功耗 ECL 门已经发展到使用总幅值仅为 2V 的电源电压。

1.2.2 噪声容限

高电平噪声容限(noise margin in the high state) NM_H 和低电平噪声容限(noise margin in the low state) NM_L , 是逻辑门的“安全界限”, 阻止逻辑门在噪声源存在的情况下产生错误的逻辑判断。噪声容限限于吸收由不同噪声源在不同逻辑门的输入和输出之间引发的电压差异。这些噪声源可能是耦合到逻辑门中的外部无关信号, 或者只是同系列逻辑门中不同门之间的参数差异。

图 1.4 给出了一些互连反相器, 并说明了噪声容限的重要性。信号和电源在印制电路板或集成电路上相互连接, 最常见的情况是采用零电阻线(或短路)绘制, 实际上是由分布式 RLC 电路构成。在图 1.4 中, 第一个反相器的输出 v_{O1} 和第二个反相器的输入 v_{I2} 本质上并不相等。随着逻辑信号从一个逻辑门传送到下一个逻辑门, 由于互连线上电阻、电感和电容(R 、 L 和 C)的影响, 它们的特性会出现衰减。快速转移信号可能会通过标记为 C_c 和 M 的电容和电感引发瞬态电压和电流, 直接进入附近的信号线中。在射频环境下, 这些互连线甚至可作为小型天线, 将外来信号耦合到逻辑电路中。在配电电路中也会出现类似问题。在门状态发生转换期间, 直流和瞬时电流都会在配电电路的不同元器件(R_p 、 L_p 、 C_p)中产生压降。

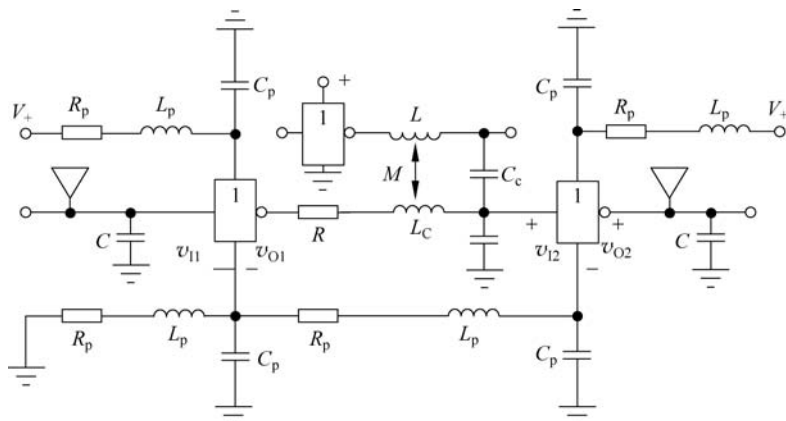


图 1.4 嵌入到信号和电源及配电电路中的反相器

噪声容限可以容纳发生在单个逻辑门之间的参数差异。在生产过程中,元器件和电路参数难免会出现差异,同时在逻辑电路的应用中电源电压和工作温度也会出现差异。通常,制造商会为 V_H 、 V_L 、 V_{IL} 、 V_{OL} 、 V_{IH} 和 V_{OH} 设定最坏情况值。不过,在我们的分析中一般只限于求出这些电压的正常值。

有关逻辑门噪声容限有很多种不同的定义方法^[2-4]。本书中是根据输入输出电压在反相器电压传输特性曲线上斜率为-1处的点来进行定义的,如图1.3所示。

NM_L 与输入低电平相关的噪声容限的定义为

$$NM_L = V_{IL} - V_{OL} \quad (1.1)$$

NM_H 与输入高电平相关的噪声容限的定义为

$$NM_H = V_{OH} - V_{IH} \quad (1.2)$$

噪声容限表示在反相器的长传输链(实际上是无限传输链)中或者在第3章中将要研究的交叉耦合触发存储元器件中扰乱逻辑电平所必需的电压值。可以证明^[2-4]式(1.1)和式(1.2)中的定义将这两种噪声容限之和进行了最大化。这些定义为不同逻辑系列电路噪声容限的比较提供了合理尺度,并且相对而言比较容易理解和计算。

练习: 某TTL门的各逻辑值如下: $V_{OH} = 3.6V$, $V_{OL} = 0.4V$, $V_{IH} = 2.0V$, $V_{IL} = 0.8V$,则这一TTL门的噪声容限为多少?

答案: $NM_H = 1.6V$; $NM_L = 0.4V$ 。

1.2.3 逻辑门的设计目标

当我们探讨逻辑门的设计时,应牢记以下设计目标。

(1) 从图1.1中可以看出,理想逻辑门是一种高度非线性器件,试图将输入信号量化成两个分立的输出电平。在图1.2和图1.3所示的实际逻辑门中,应尽量缩小未定义输入电压的范围,同时使噪声容限尽可能大。

(2) 逻辑门应具有单向性质。输出应严格定义为输入的逻辑函数。输出端的电压变化不应影响电路的输入端。

(3) 当信号穿过逻辑门时必须是一个可再生的逻辑电平。换句话说,一个门的输出电压必须与相同或类似逻辑门的输入电压相当。

(4) 一个门的输出应该能够驱动多个门的输入。一个逻辑门的输出可以驱动的输入个数称为该门的“扇出”(fan out)能力。术语“扇入”(fan in)是指可作用于门输入端的输入信号的个数。

(5) 在多数设计情况下,逻辑门应尽可能降低所需的最小功耗(以及在集成电路设计中的最小面积),以满足设计的速度要求。

1.3 逻辑门的动态响应

目前,随着最新面世的微处理器的时钟频率从1GHz、2GHz到3GHz不断刷新频率上限,让我们时刻感受着技术进步所带来的冲击,即便是普通大众也已经对逻辑性能方面的显著提升觉得习以为常。处理器的时钟速率最终由单一逻辑电路的动态性能决定。从工程方面而言,逻辑系列的时域性能是根据本节定义的平均传输延迟、上升时间和下降时间来计算的。

1.3.1 上升时间和下降时间

反相器的理想时域波形如图 1.5 所示。输入和输出信号在两个静态逻辑电平 V_H 和 V_L 之间转换。由于电路中电容的影响,波形显示上升和下降时间都为非零值,在输入和输出波形的转换期间会出现传输延迟。

一个给定信号的上升时间(rise time) t_r 定义为信号由波形上的 10% 点处上升到 90% 点处所需的时间,如图 1.5 所示。下降时间(fall time) t_f 则定义为信号由波形上的 90% 点处下降到 10% 点处所需时间。对应 10% 和 90% 点处的电压分别记为 V_L 和 V_H ,逻辑摆幅为 ΔV 。

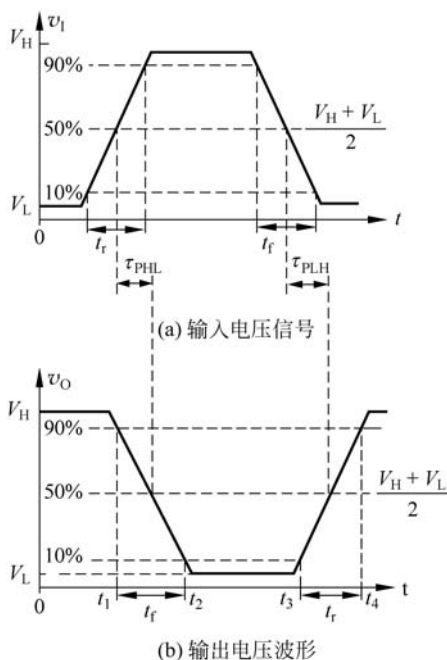


图 1.5 理想反相器的转换波形

$$\begin{cases} V_{10\%} = V_L + 0.1\Delta V \\ V_{90\%} = V_L + 0.9\Delta V = V_H - 0.1\Delta V \\ \Delta V = V_H - V_L \end{cases} \quad (1.3)$$

通常上升时间和下降时间不相等,输入和输出波形的特征形状也不相同。

1.3.2 传输延迟

传输延迟(propagation delay)是由输入信号与输出信号各自达到其转换波形 50% 点处的时间差来衡量的。50% 点处是指 V_H 和 V_L 之间总跳变的一半电压电平

$$V_{50\%} = \frac{V_H + V_L}{2} \quad (1.4)$$

由高电平到低电平转换时的传输延迟记为 τ_{PHL} ,而由低电平到高电平转换时的传输延迟记为 τ_{PLH} 。一般情况下,这两个延迟是不相等的,平均传输延迟(average propagation delay) τ_P 的定义为

$$\tau_P = \frac{\tau_{PLH} + \tau_{PHL}}{2} \quad (1.5)$$

平均传输延迟是常用于比较不同逻辑系列间性能的另一个参数。在第1章、第2章和第4章中,会研究不同 MOS 管和双极型逻辑电路的传输延迟。

练习: 假设图 1.5 是一个 ECL 门的波形,其中 $V_L = -2.6\text{V}$, $V_H = -0.6\text{V}$, $t_1 = 100\text{ns}$, $t_2 = 105\text{ns}$, $t_3 = 150\text{ns}$, $t_4 = 153\text{ns}$ 。 $V_{10\%}$ 、 $V_{90\%}$ 、 $V_{50\%}$ 、 t_r 和 t_f 的值各为多少?

答案: -2.4V ; -0.8V ; -1.6V ; 3ns ; 5ns 。

1.3.3 功耗-延迟积

一个逻辑系列的综合性能最终取决于改变逻辑电路的状态所需消耗的能量。比较各种逻辑系列的传统指标是功耗-延迟积,它给出了执行一项基本逻辑运算所需的能量。

通用逻辑门的平均传输延迟特性与提供给门的平均功耗的关系曲线如图 1.6 所示。逻辑门消耗的功率可以通过增加或减小逻辑门中晶体管 and 电阻的大小或者改变供电电压的方法来改变。当功率较低时,门延迟由内部门的连线电容决定,随着功率的增加延迟降低。当器件尺寸和功率进一步增加时,电路延迟转变成受限于电子开关器件的固有速率,延迟变得与功率无关。在双极型逻辑技术中,在更高功率情况下晶体管的性能开始衰退,随着功率进一步增加实际延迟变得更糟,如图 1.6 所示。

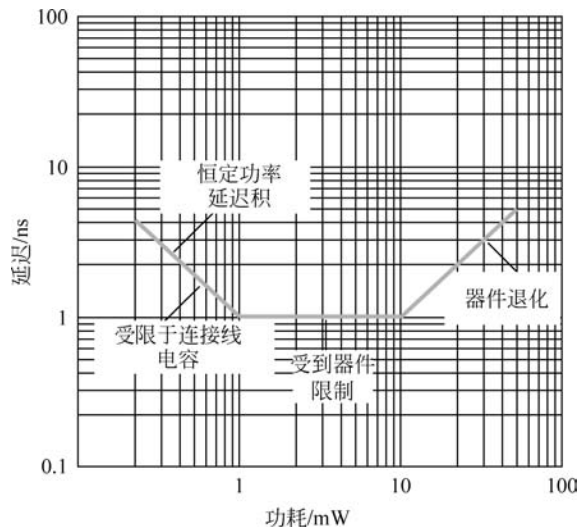


图 1.6 逻辑门延迟与功耗的关系曲线

在低功率区域,传输延迟的降低直接与功率的增加成正比。这一特性对应具有恒定功耗-延迟积 (Power-Delay Product, PDP) 的区域

$$\text{PDP} = P\tau_p \quad (1.6)$$

其中, P 是逻辑门消耗的平均功率; PDP 表示的是执行一个基本逻辑运算所需的能量(J)。

早期逻辑系列的功耗-延迟积为 $10 \sim 100\text{pJ}$ ($1\text{pJ} = 10^{-12}\text{J}$), 而现在许多集成电路逻辑系列的功耗-延迟积为 $10 \sim 100\text{fJ}$ ($1\text{fJ} = 10^{-15}\text{J}$)。据估计,可靠区分两个逻辑状态所需的最少能量大约是 $(\ln 2)kT$, 在室温下约为 $4 \times 10^{-20}\text{J}$ [5]。因而,即便是目前最佳的逻辑系列,其功耗-延迟积也要比最终的极限值高好多个数量级 [6]。

练习: (a) 图 1.6 所示的逻辑门在低功率时的功耗-延迟积是多少? (b) 当 $P = 3\text{mW}$ 时的 PDP 是多少? (c) 当 $P = 20\text{mW}$ 时 PDP 是多少?

答案: 1pJ ; 3pJ ; 40pJ 。

1.4 布尔代数回顾

为了有效处理逻辑系统的分析和设计,需要对逻辑门电路进行数学表达。幸运的是,早在 1849 年, G. Boole^[7] 提出了功能强大的数学公式来处理逻辑思维和推理,今天我们用于处理二进制逻辑运算的形式代数就是众所周知的布尔代数(boolean algebra)。表 1.1~表 1.3 及下面的讨论就是对布尔代数的一个概述。

表 1.1 基本布尔运算

操作	布尔表达式	操作	布尔表达式
NOT	$Z = \overline{A}$	NOR	$Z = \overline{A + B}$
OR	$Z = A + B$	NAND	$Z = \overline{A \cdot B} = \overline{AB}$
AND	$Z = A \cdot B = AB$		

表 1.2 非门、或门、与门真值表

输入变量		非门(反相器)	或门	与门
B	A	$Z = \overline{A}$	$Z = A + B$	$Z = AB$
0	0	1	0	0
0	1	0	1	0
1	0	1	1	0
1	1	0	1	1

表 1.3 或非门和与非门真值表

输入变量		或非门	与非门
A	B	$Z = \overline{A + B}$	$Z = \overline{AB}$
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0

表 1.1 列出了所需的基本逻辑运算,逻辑门输出端的逻辑函数用变量 Z 表示,它是输入变量 A 和 B 的函数: $Z = f(A, B)$ 。为执行一般的逻辑运算,一个逻辑系列必须提供逻辑反演(NOT)外加至少一个具有两个输入变量的其他函数,如或门(OR)或与门(AND)函数。在第 2 章我们将会看到,NMOS 逻辑很容易用来实现或非门(NOR)和与非门(NAND)。在第 4 章我们会看到基本 TTL 门提供了一个与非功能逻辑,而或门/或非门逻辑则由基本 ECL 门提供。在表 1.1 中要注意的是,非(NOT)函数与任一一个单一输入或非门或与非门的输出相同。

表 1.1 中 5 个函数的真值表和逻辑符号如表 1.2 和表 1.3 及图 1.7~图 1.9 所示。真值表中列出了对应输入变量 A 和 B 任意组合的输出 Z 的值。非门 $Z = \overline{A}$ 具有单个输入,输出表示逻辑求反或输入变量的补,用顶部的横线表示(如表 1.2 和图 1.7 所示)。

表 1.2 分别给出了一个二输入的或门和与门的真值表,对应的逻辑符号如图 1.8 所示。或操作用符号“+”表示,当输入变量 A 和 B 中的任一个或两个都为 1 时,输出 Z 为 1。只有当输入全为 0 时,输

出才为 0。与操作用符号“ $\cdot$ ”表示,即 $A \cdot B$,或写成更为紧凑的简单形式 AB ,只有当输入变量 A 和 B 都为 1 时,输出 Z 才为 1。如果任一输入为 0,输出则为 0。本书将用 AB 来表示 A 与 B 。

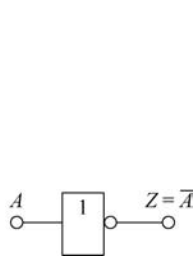


图 1.7 非门符号

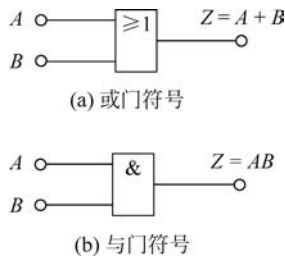


图 1.8

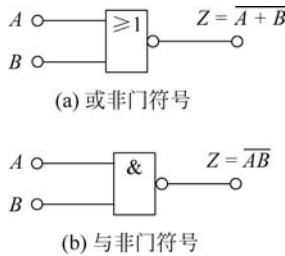


图 1.9

表 1.3 分别给出了二输入的或非门和与非门的真值表。对应的逻辑符号如图 1.9 所示。这些函数是或和与操作的补,也就是或和与操作之后再继续进行逻辑求反。或非运算表示为 $Z = \overline{A + B}$,仅当输入全为 0 时,输出 Z 为 1。与非运算表示为 $Z = \overline{AB}$,除了两个输入变量 A 和 B 都是 1 状态外,其余状态得到的输出结果 Z 都为 1。

在本章和第 3 章中可发现,MOS 逻辑的一个主要优点是它能够很容易地组成更为复杂的逻辑函数,尤其是其逻辑表达可采用互补和之积(sum-of-product)的形式或与-或非(AND-OR-INVERT, AOI)的形式

$$Z = \overline{AB + CD + E} \quad \text{或} \quad Z = \overline{ABC + DE} \tag{1.7}$$

表 1.4 所示的布尔公式在简化逻辑表达式时非常有用,如式(1.7)中的这些表达式。这个表格中包括了恒等运算及一些布尔代数基本的交换律、结合律和分配律。

表 1.4 常用布尔公式

逻辑表达式	布尔表达式	布尔代数的基本定律
$A + 0 = A$	$A \cdot 1 = A$	恒等律
$A + B = B + A$	$AB = BA$	交换律
$A + (B + C) = (A + B) + C$	$A(BC) = (AB)C$	结合律
$A + BC = (A + B)(A + C)$	$A(B + C) = AB + AC$	分配律
$A + \overline{A} = 1$	$A \cdot \overline{A} = 0$	互补律
$A + A = A$	$A \cdot A = A$	幂等律
$A + 1 = 1$	$A \cdot 0 = 0$	空元律
$\overline{A + B} = \overline{A} \overline{B}$	$\overline{AB} = \overline{A} + \overline{B}$	德·摩根定律

例 1.1 逻辑表达式的化简

以下是采用布尔公式简化逻辑表达式的例子。

问题：使用表 1.4 中的布尔关系来证明表达式 $Z = \overline{A} \overline{B} C + ABC + \overline{A} B C$ 可简化为 $Z = (A + B)C$ 。

解：

已知量：给出了 Z 的两个表达式：表 1.4 中的布尔运算。

未知量：证明 Z 等于 $(A + B)C$ 。

求解方法：运用表 1.4 中的各种式子简化 Z 的表达式。

假设：无。

分析：

$$Z = \overline{A}\overline{B}C + ABC + \overline{A}BC$$

$$Z = \overline{A}\overline{B}C + ABC + ABC + \overline{A}BC \quad \text{利用 } ABC = ABC + \overline{A}BC$$

$$Z = A(\overline{B} + B)C + (\overline{A} + A)BC \quad \text{利用分配律}$$

$$Z = A(1)C + (1)BC \quad \text{利用 } (\overline{B} + B) = (B + \overline{B}) = 1$$

$$Z = AC + BC \quad \text{因为 } A(1)C = AC(1) = AC$$

$$Z = (A + B)C \quad \text{利用分配率}$$

结果检查：所得结果与预期相同，仔细进行检查证明该步骤是有效的。

练习：简化逻辑表达式 $Z = (A + B)(B + C)$ 。

答案： $Z = B + AC$ 。

1.5 NMOS 逻辑设计

第1章中剩余的内容将关注对MOS逻辑门设计的理解，即采用N沟道MOS管(NMOS)和P沟道MOS管(PMOS)设计。对这些电路的研究可为理解许多重要的逻辑电路概念和第2章中对CMOS电路做进一步了解奠定基础。下面的讨论首先从研究MOS反相器的设计开始，以便理解它的电压传输特性和噪声容限。我们将考虑具有4种不同NMOS负载配置的反相器：电阻负载、饱和负载、线性负载和耗尽型负载电路。此外，伪NMOS是传统NMOS逻辑的一个新的扩展，它使用一个PMOS管作为负载器件。以反相器的设计为参考，进行简单扩展就可容易地进行或非门、与非门及一些较复杂的逻辑门的设计。随后我们会对门的上升时间、下降时间和传输延迟进行分析。

MOS管的漏电流取决于其栅源电压 v_{GS} 、漏源电压 v_{DS} 和源-衬底电压 v_{SB} 及器件参数，包括跨导参数 K'_n 、阈值电压 V_{TN} 和宽长比 (W/L) 。电源电压限制 v_{GS} 和 v_{DS} 的范围，工艺设定了 K'_n 和 V_{TN} 的值。因而，电路设计者的工作就是选择电路的拓扑结构和MOS管的 W/L 值来完成期望的逻辑功能。

在多数逻辑设计中，电源电压是由工艺可靠性限制或系统级标准预先设定的。如在1.1节中提到的 $V_{DD} = 5V$ 就是多年来逻辑门的标准电源电压^①。然而，1.8~3.3V的电源电压正获得广泛使用。另外，许多便携式低功耗系统，如手机、PDA使用的电池组电压必须低至1~1.5V。

通过考虑带有电阻负载的NMOS反相器的详细设计，我们开始研究MOS逻辑电路设计。尽管很少会用到这一电路，但是它为我们理解基本的逻辑门操作奠定了好的基础。在集成逻辑电路中，负载电阻由于占用太多的硅片面积，而被第二个MOS管取代。NMOS“负载器件”可以以3种不同的方式进行连接，即饱和负载、线性负载和耗尽型负载电路，而伪NMOS使用一个PMOS负载器件。在本节及1.6节和1.7节中，将会具体研究NMOS负载结构的设计。

1.5.1 带负载电阻的NMOS反相器

复杂数字系统可包含数百万个逻辑门，记住每一个单一逻辑门通常都连接在一个大的电路中，这对我们是有帮助的。一个逻辑门的输出驱动着另一个逻辑门的输入。图1.10为4个反相器的原理图。

^① 在MOS电路中，通常使用 V_{DD} 和 V_{SS} 表示电源供电的正电压和负电压。

因此, 当一个输入电压 $v_1 = V_L$ 施加在一个门的输入时, 其输出为 $v_O = V_H$, 反之亦然。

图 1.11 所示的基本反相器电路包括一个旨在促使 v_O 等于 V_L 的 NMOS 开关器件 M_S 和一个将输出“提升”使之接近电源电压 V_{DD} 的电阻负载元件。NMOS 管设计为在 $v_1 = V_H$ 的线性区和 $v_1 = V_L$ 的截止区（不导通）之间切换。电路设计者必须选择负载电阻 R 的值和开关晶体管（switching transistor） M_S 的 W/L 值, 以使反相器能够满足一系列设计要求。在这种情况下, 这两个设计变量允许我们选择 V_L 电平并设定逻辑门的总功耗。

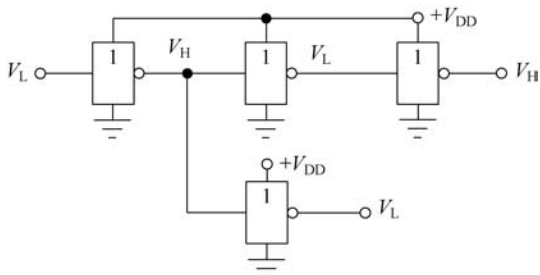


图 1.10 反相器电路

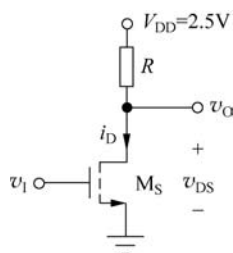


图 1.11 带电阻负载的 NMOS 反相器

通过考虑这样一个逻辑门的设计要求, 我们来研究反相器的工作原理。写出图 1.11 所示电路的输出电压表达式, 可以发现

$$v_O = v_{DS} = V_{DD} - i_D R \quad (1.8)$$

当输入电压处于低电平时, $v_1 = V_L$, M_S 应截止, 且 $i_D = 0$, 所以

$$v_O = V_{DD} = V_H \quad (1.9)$$

因此, 在这一特定逻辑电路中, V_H 的值由电源电压 $V_{DD} = 2.5V$ 设定。

如图 1.12(a)所示, 为确保当输入等于 V_L 时晶体管 M_S 截止, M_S 的栅源电压 ($V_{GS} = V_L$) 必须小于它的阈值电压 V_{TN} 。当 $V_{TN} = 0.6V$ 时, V_L 的正常设计值应该位于阈值电压 V_{TN} 的 25%~50% 这一范围。或者是 0.15~0.30V, 这样可以保证有足够的噪声容限。假设设计值为 $V_L = 0.20V$ 。

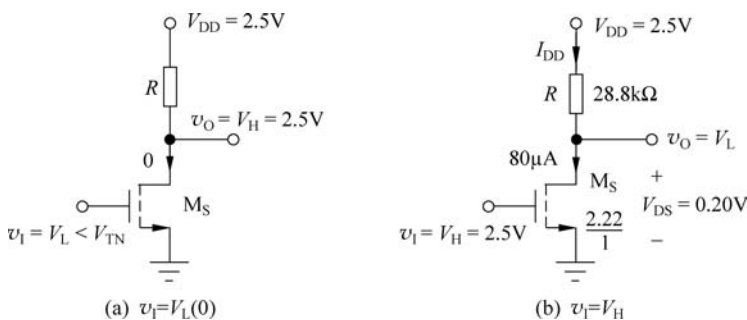


图 1.12 在(a) $v_1 = V_L(0)$: (b) $v_1 = V_H(1)$ 逻辑状态下的反相器

设计提示: V_L 的设计

为确保当输入处于低电平状态时开关晶体管 M_S 截止, V_L 应被设计成开关晶体管 M_S 的阈值电压的 25%~50%。这一选择同时还为噪声容限 NM_L 提供了合理的值。

1.5.2 M_S 的 W/L 设计

如果已知 MOS 器件的参数,被用来设定 $V_L=0.6V$ 的 W/L 值就可以计算出来。在此将采用 $V_{TN}=0.6V, K'_n=100 \times 10^{-6} A/V^2$ 。另外还需要知道反相器所需的工作电流。这一电流取决于当 $v_O=V_L$ 时 NMOS 门的容许功耗。采用 $P=0.2mW$ (参见习题 1.1 和习题 1.2)^①,根据 $P=V_{DD} \times I_{DD}$ 可求出门电流。对于我们的电路,有

$$0.20 \times 10^{-3} = 2.5 \times I_{DD} \quad \text{或} \quad I_{DD} = 80 \mu A$$

现在可根据图 1.12(b)中的电路条件,由 MOS 管漏电流表达式来确定 NMOS 开关器件的 W/L 值。在这种情况下,输入设置为 $V_H=2.5V$,于是反相器的输出应为 V_L 。此时可用 MOS 管线性区的漏电流表达式,因为 $V_{GS}-V_{TN}=2.5V-0.6V=1.9V$ 且 $V_{DS}=V_L=0.20V$,可得 $V_{DS} < V_{GS}-V_{TN}$ 。

$$i_D = K'_n \left(\frac{W}{L} \right)_S (v_{GS} - V_{TN} - 0.5v_{DS})v_{DS} \quad (1.10)$$

或

$$8 \times 10^{-5} A = (100 \times 10^{-6} A/V^2) \left(\frac{W}{L} \right)_S \times (2.5V - 0.6V - 0.10V) \times 0.20V$$

求解式(1.10),可得 $(W/L)_S = 2.22/1$ 。

1.5.3 负载电阻设计

负载电阻 R 值的选择是为了限制 $v_O=V_L$ 时的电流,可根据下式求出

$$R = \frac{V_{DD} - V_L}{I_{DD}} = \frac{(2.5 - 0.20)V}{8 \times 10^{-5} A} = 28.8 k\Omega \quad (1.11)$$

在图 1.12(b)所示电路中已给出了这些设计值。

练习: 保持 $V_L=0.2V$ 不变,功率为 $0.4mW$,重新设计图 1.12 所示的逻辑门。

答案: $(W/L)_S = 4.44/1$; $R = 14.4 k\Omega$ 。

1.5.4 负载线的可视化

使反相器的工作形象化的一个重要途径是在如图 1.13 所示的 MOS 管输出特性曲线上画出负载线。式(1.8)就是负载线方程,再次在此写出

$$v_{DS} = V_{DD} - i_D R$$

当晶体管截止时, $i_D=0$ 且 $v_{DS}=V_{DD}=2.5V$; 当晶体管导通时, MOS 管工作在线性区, $v_{GS}=V_H=2.5V$ 且 $v_{GS}=v_O=V_L=0.2V$ 。如图 1.13 所示, MOS 管在负载线上的两个工作点之间切换。在负载线的右侧末端位置, MOS 管截止。在靠近负载线左侧末端的 Q 点处, MOS 管表现为一个阻值相对较低的电阻, 电流基本由负载电阻决定(注意 Q 点几乎与 v_{GS} 无关)。

例 1.2 带阻性负载的反相器设计

设计一个工作在 $3.3V$ 电源电压下且带阻性负载的

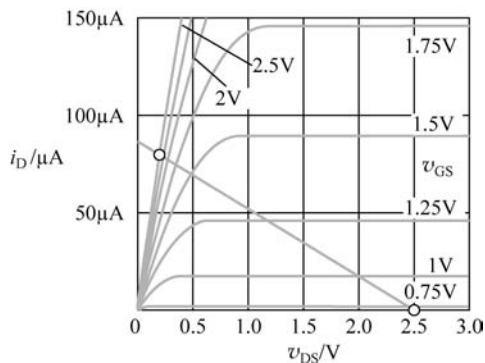


图 1.13 MOS 管输出特性曲线和负载线

^① 在继续往下学习之前,有必要先完成这两个习题。

NMOS 反相器。

问题：设计一个带阻性负载的反相器，已知 $V_{DD}=3.3\text{V}$, $P=0.1\text{mW}$, $V_L=0.2\text{V}$ 。假设 $K'_n=60\mu\text{A}/\text{V}^2$, $V_{TN}=0.75\text{V}$ 。

解：

已知量：电路的拓扑结构如图 1.11 所示, $V_{DD}=3.3\text{V}$, $P=0.1\text{mW}$, $V_L=0.2\text{V}$, $K'_n=60\mu\text{A}/\text{V}^2$, $V_{TN}=0.75\text{V}$ 。

未知量：负载电阻 R 的值；开关晶体管 M_S 的 W/L 值。

求解方法：通过功耗指标求出 $v_O=V_L$ 时的 I_{DD} 。利用 V_{DD} 、 V_L 和 I_{DD} 的值计算出 R_0 ，确定 V_H 的值。利用 V_H 、 V_L 和 I_{DD} 的值求出 $(W/L)_S$ 。

假设： $v_I=V_L$ 时 M_S 截止； $v_O=V_L$ 时 M_S 处于线性区。

分析：根据图 1.11 中反相器电路的功率指标，可得

$$I_{DD} = \frac{P}{V_{DD}} = \frac{10^{-4}\text{W}}{3.3\text{V}} = 30.3\mu\text{A} \quad R = \frac{V_{DD} - V_L}{I_{DD}} = \frac{3.3 - 0.2}{30.3} \frac{\text{V}}{\mu\text{A}} = 102\text{k}\Omega$$

当 $v_I=V_L=0.2\text{V}$ 时，由于 0.2V 低于阈值电压，因此 MOS 管截止，输出高电平为 $V_H=V_{DD}=3.3\text{V}$ 。在线性区且 $v_{GS}=v_I=V_H$ 及 $v_{DS}=v_O=V_L$ 时 MOS 管的漏电流表达式为

$$I_D = K'_n \left(\frac{W}{L} \right)_S \left(V_H - V_{TN} - \frac{V_L}{2} \right) V_L$$

令这一等式与漏电流相等，可得

$$30.3 \times 10^{-6} = (60 \times 10^{-6} \text{A}/\text{V}^2) \left(\frac{W}{L} \right)_S \left(3.3\text{V} - 0.75\text{V} - \frac{0.2\text{V}}{2} \right) 0.2\text{V} \rightarrow \left(\frac{W}{L} \right)_S = \frac{1.03}{1}$$

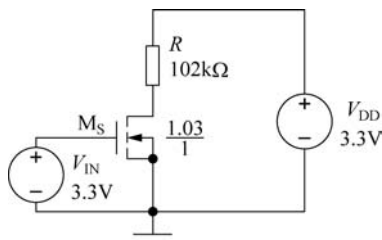
因此最终的设计结果值为 $R=102\text{k}\Omega$, $(W/L)_S=1.03/1$ 。

结果检查：我们应检查 $v_O=V_L$ 时 MOS 管的线性区假设，即 $V_{GS}-V_{TN}=3.3\text{V}-0.75\text{V}=2.55\text{V}$ ，确实大于 $V_{DS}=0.2\text{V}$ 。再次通过它计算漏电流来检查 W/L 值

$$I_D = (60 \times 10^{-6} \text{A}/\text{V}^2) \times \left(\frac{1.03}{1} \right) \times \left(3.3\text{V} - 0.75\text{V} - \frac{0.2\text{V}}{2} \right) \times 0.2\text{V} = 30.3\mu\text{A}$$

讨论：这一新的设计采用了更高的电源电压，为使功率下降，需要更大的负载电阻以限制电流，但是由于传导电流减小，所需的器件尺寸更小。

计算机辅助分析：我们用 SPICE 来验证设计的结果。下面给出了原理图绘制工具画出的电路。NMOS 管采用 LEVEL=1 的模型，其中 $KP=6.0\text{E}-5$, $V_{TO}=1$, $W=1.03\text{U}$, $L=1\text{U}$ 。晶体管的 Q 点为 $(30.4\mu\text{A}, 0.201\text{V})$ ，符合设计要求。



练习：(a)重新设计例 1.2 中的反相器，其中 $V_L=0.1\text{V}$, $R=102\text{k}\Omega$ ；(b)用 SPICE 验证你的设计。

答案： $(W/L)_S=2.09/1$ 。

1.5.5 开关器件的导通电阻

当逻辑门的输出处于低电平状态时,其输出电压还可通过由负载电阻 R 和 MOS 管的导通电阻 R_{on} 构成的电阻分压器计算出来,如图 1.14 所示,有

$$V_L = V_{\text{DD}} \frac{R_{\text{on}}}{R_{\text{on}} + R} = V_{\text{DD}} \frac{1}{1 + \frac{R}{R_{\text{on}}}} \quad (1.12)$$

其中

$$R_{\text{on}} = \frac{v_{\text{DS}}}{i_{\text{D}}} = \frac{1}{K'_n \frac{W}{L} \left(v_{\text{GS}} - V_{\text{TN}} - \frac{v_{\text{DS}}}{2} \right)} \quad (1.13)$$

为使 V_L 较小, R_{on} 必须远小于 R 。重要的一点是要意识到 R_{on} 为一个非线性电阻,因为 R_{on} 的值取决于 v_{DS} ,即跨越导通电阻两端的压降。在本章中所学习的所有 NMOS 门都演绎的是“比值逻辑”(ratioed logic),即设计中开关晶体管的导通电阻必须远小于负载电阻(即 $R_{\text{on}} \ll R$),以获得较小的 V_L 值。

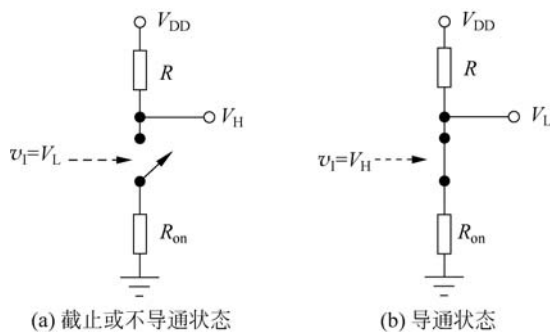


图 1.14 反相器的简化图

例 1.3 导通电阻计算

求出图 1.12(b)中已设计完成的反相器中 MOS 管的导通电阻。

问题: 对于图 1.12 所示的 NMOS 管,当输出电压等于 V_L 时,其导通电阻的值为多少?

解:

已知量: $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{\text{TN}} = 0.6\text{V}$, $W/L = 2.22/1$, $V_{\text{DS}} = V_L = 0.2\text{V}$ 。

未知量: 开关晶体管的导通电阻。

求解方法: 利用已知的值计算式(1.13)。

假设: 晶体管工作在线性区域。

分析: 利用式(1.13)求得 R_{on} 为

$$R_{\text{on}} = \frac{1}{(100 \times 10^{-6} \text{A}/\text{V}^2) \times \left(\frac{2.22}{1} \right) \times \left(2.5\text{V} - 0.6\text{V} - \frac{0.2}{2}\text{V} \right)} = 2.5\text{k}\Omega$$

结果检查: 可通过用这个值计算 V_L 来验证

$$V_L = V_{\text{DD}} \frac{R_{\text{on}}}{R_{\text{on}} + R} = 2.5\text{V} \frac{2.5\text{k}\Omega}{2.5\text{k}\Omega + 28.8\text{k}\Omega} = 0.2\text{V}$$

当 $R_{on}=2.5\text{k}\Omega$ 时确实能得到正确的 V_L 值,在此需要指出: $R_{on}\ll R$ 。线性区假设验证: $V_{GS}-V_{TN}=2.5\text{V}-0.6\text{V}=1.9\text{V}$ 和 $V_{DS}=V_L=0.2\text{V}$ 。

练习: 在例 1.3 中,若要使 $V_L=0.15\text{V}$,则 R_{on} 的值为多少? 达到这个 R_{on} 值时所需新 MOS 管的 W/L 值为多少?

答案: $1.84\text{k}\Omega$; $2.98/1$ 。

练习: 例 1.2 的 MOSFET 的 R_{on} 值是多少? 利用 R_{on} 求 V_L 的值。

答案: $6.61\text{k}\Omega$; 0.201V 。

1.5.6 噪声容限分析

图 1.12 中已完成设计的反相器的电压传输特性的 SPICE 仿真结果如图 1.15 所示。现在我们要求出 V_{IL} 、 V_{OL} 、 V_{IH} 和 V_{OH} 的值,这些值分别对应反相器的电压传输特性曲线上斜率等于 -1 的点,正如 1.2 节中所定义的那样。

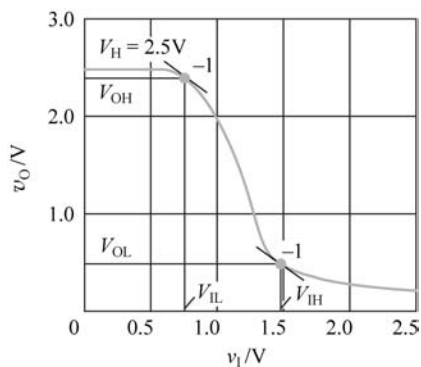


图 1.15 带阻性负载的 NMOS 反相器的电压传输特性仿真结果

1.5.7 V_{IL} 和 V_{OH} 的计算

我们从负载线的表达式开始进行分析,在此再次写出式(1.8)

$$v_O = V_{DD} - i_D R \quad (1.14)$$

参考图 1.15,其中 $V_I = V_{IL}$, v_{GS} 较小, v_{DS} 较大,因此预计 MOS 管工作在饱和区,漏电流可由下式给出

$$i_D = (K_n/2)(v_{GS} - V_{TN})^2$$

其中 $K_n = K'_n(W/L)$, $v_{GS} = v_I$,将上述表达式代替负载线方程式(1.14)中的 i_D

$$v_O = V_{DD} - \frac{K_n}{2}(v_I - V_{TN})^2 R \quad (1.15)$$

并求 v_O 对 v_I 的导数可得

$$\frac{dv_O}{dv_I} = -K_n(v_I - V_{TN})R \quad (1.16)$$

当 $v_I = V_{IL}$ 时,令这一求导等于 -1 ,可得

$$V_{IL} = V_{TN} + \frac{1}{K_n R}, \quad \text{其中 } V_{OH} = V_{DD} - \frac{1}{2K_n R} \quad (1.17)$$

我们可以看到 V_{IL} 的值略大于 V_{TN} , 因为输入电压必须超过 V_{TN} 时 M_S 晶体管才开始导电, V_{OH} 略小于 V_{DD} 。 $1/K_n R$ 项表示的是晶体管的跨导参数与负载电阻的比较。对于给定的 R 值, 随着 K_n 的增加, V_{IL} 降低, 而 V_{OH} 增加。

练习: 证明 $(1/K_n R)$ 具有电压单位。

1.5.8 V_{IH} 和 V_{OL} 的计算

当 $v_I = V_{IH}$ 时, v_{GS} 较大, 而 v_{DS} 较小, 因此我们此时预计 MOS 管工作在线性区, 其漏电流由 $i_D = K_n [v_{DS} - V_{TN} - (v_{DS}/2)] v_{DS}$ 给出。将 i_D 的这一表达式代入式(1.14)中, 并且已知 $v_{SO} = v_{DS}$, 则有

$$v_O = V_{DD} - K_n R \left(v_I - V_{TN} - \frac{v_O}{2} \right) v_O \quad \text{或} \quad \frac{v_O^2}{2} - v_O \left(v_I - V_{TN} + \frac{1}{K_n R} \right) + \frac{V_{DD}}{K_n R} = 0 \quad (1.18)$$

求出 v_O 并在 $v_I = V_{IH}$ 时令 $dv_O/dv_I = -1$, 可得

$$V_{IH} = V_{TN} - \frac{1}{K_n R} + 1.63 \sqrt{\frac{V_{DD}}{K_n R}}, \quad \text{其中 } V_{OL} = \sqrt{\frac{2V_{DD}}{3K_n R}} \quad (1.19)$$

1.5.9 电阻负载反相器噪声容限

将式(1.17)和式(1.19)的结果相结合得出噪声容限的表达式为

$$NM_H = V_{DD} - V_{TN} + \frac{1}{2K_n R} - 1.63 \sqrt{\frac{V_{DD}}{K_n R}} \quad \text{和} \quad NM_L = V_{TN} + \frac{1}{K_n R} - \sqrt{\frac{2V_{DD}}{3K_n R}} \quad (1.20)$$

乘积 $K_n R$ 比较了 MOS 管的驱动能力与负载电阻值, 当 $K_n R$ 的典型值大于 2 时, 噪声容限会随着 $K_n R$ 的增加而增加。

例 1.4 电阻负载反相器噪声容限的计算

求出关于图 1.12(b) 中反相器设计的噪声容限。

问题: 计算图 1.12(b) 中反相器的噪声容限和 $K_n R$ 的值。

解:

已知量: 带电阻负载的 NMOS 反向器电路如图 1.11 所示, 其中 $R = 28.8 \text{ k}\Omega$, $V_L = 2.22/1$, $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.6 \text{ V}$ 。

未知量: V_{IL} 、 V_{OL} 、 V_{IH} 、 V_{OH} 、 NM_L 和 NM_H 的值。

求解方法: 利用给出的数据求式(1.17)和式(1.18)。再利用这些结果求出噪声容限: $NM_H = V_{OH} - V_{IH}$, $NM_L = V_{IL} - V_{OL}$ 。

假设: 式(1.17) MOS 管工作在饱和区; 式(1.18) MOS 管工作在线性区。

分析: 对于图 1.12(b) 的反相器设计, 有

$$V_{TN} = 0.6 \text{ V} \quad K'_n \frac{W}{L} = 100 \left(\frac{2.22}{1} \right) \frac{\mu\text{A}}{\text{V}^2} = 222 \frac{\mu\text{A}}{\text{V}^2} \quad R = 28.8 \text{ k}\Omega \quad K_n R = 6.39$$

根据式(1.17), 可得

$$V_{IL} = 0.6 \text{ V} + \frac{1}{(222 \mu\text{A})(28.8 \text{ k}\Omega)} = 0.756 \text{ V} \quad \text{和} \quad V_{OH} = 2.5 \text{ V} - \frac{1}{2(222 \mu\text{A})(28.8 \text{ k}\Omega)} = 2.42 \text{ V}$$

根据式(1.18), 可得

$$V_{IH} = 0.6 \text{ V} - \frac{1}{(222 \mu\text{A})(28.8 \text{ k}\Omega)} + 1.63 \sqrt{\frac{2.5}{(222 \mu\text{A})(28.8 \text{ k}\Omega)}} = 1.46 \text{ V}$$

$$V_{OL} = \sqrt{\frac{2(2.5)}{3(222\mu\text{A})(28.8\text{k}\Omega)}} = 0.51\text{V}$$

可求出噪声容限为

$$\text{NM}_H = 2.42\text{V} - 1.46\text{V} = 0.96\text{V} \quad \text{和} \quad \text{NM}_L = 0.76\text{V} - 0.51\text{V} = 0.25\text{V}$$

结果检查： V_{IL} 、 V_{OL} 、 V_{IH} 和 V_{OH} 的值都与图 1.15 所示的仿真结果一致。式(1.17)基于 MOS 管工作于饱和区这一假设。我们应该验证这一假设是否与式(1.17)的结果一致： $v_{DS} = 2.42\text{V}$ ， $v_{GS} - V_{TN} = 0.76\text{V} - 0.6\text{V} = 0.16\text{V}$ 。由于 $v_{DS} > (v_{GS} - V_{TN})$ ，故我们的假设是正确的。同理，式(1.18)基于 MOS 管工作于线性区这一假设。验证这个假设，则 $v_{DS} = 0.51\text{V}$ ， $v_{GS} - V_{TN} = 1.46\text{V} - 0.6\text{V} = 0.86\text{V}$ 。由于 $v_{DS} < (v_{GS} - V_{TN})$ ，故假设正确。

讨论：分析表明，在低输入状态时，长反相器链可以允许的电噪声和工艺差异值等于 0.25V；在高输入状态时，长反相器可以允许的电噪声和工艺差异值等于 0.96V。要注意的是，就像此处所列举的一样，通常这两个噪声容限并不相等。

练习：(a)求出例 1.2 中反相器的噪声容限；(b)用 SPICE 验证计算结果。

答案： $\text{NM}_L = 0.32\text{V}$ ； $\text{NM}_H = 1.45\text{V}$ ($V_{IL} = 0.090\text{V}$ ， $V_{OH} = 3.22\text{V}$ ， $V_{IH} = 1.77\text{V}$ ， $V_{OL} = 0.591\text{V}$)。

如前所述，厂商所规定的 V_{IL} 、 V_{OL} 、 V_{IH} 和 V_{OH} 实际上给出的是给定逻辑系列的保险值，还考虑了工艺参数、温度、电源功率、负荷条件等这些方面的差异。在例 1.4 中，仅计算出了室温下正常情况的 V_{IL} 、 V_{OL} 、 V_{IH} 和 V_{OH} 值及噪声容限。

1.5.10 负载电阻问题

我们已经用带电阻负载的 NMOS 反相器介绍了有关静态逻辑门设计的概念。尽管可以用这个电路来建立简单的分立元件逻辑门，但在集成电路的实现过程中并不会采用阻性负载，因为电阻会占用太多的面积。

为进一步研究负载电阻问题，试考虑图 1.16 所示的半导体材料矩形块，它的电阻由下式给出

$$R = \frac{\rho L}{tW} \quad (1.21)$$

其中， ρ 为电阻系数； L 、 W 、 t 分别为电阻的长度、宽度和厚度。在集成电路中，通常制作在硅区域中的电阻的厚度为 $1\mu\text{m}$ ，其电阻率为 $0.001\Omega \cdot \text{cm}$ 。

对于这些参数，在之前章节中 $28.8\text{k}\Omega$ 负载电阻所需要的 L/W 值为

$$\frac{L}{W} = \frac{Rt}{\rho} = \frac{(2.88 \times 10^4 \Omega)(1 \times 10^{-4} \text{cm})}{0.001\Omega \cdot \text{cm}} = \frac{2880}{1}$$

如果电阻宽度 W 取最低线宽 $1\mu\text{m}$ （我们也称其为最小特征尺寸 F ）时，它的长度 L 将为 $2880\mu\text{m}$ ，面积为 $2880\mu\text{m}^2$ 。

对于开关器件 M_S ，求出其 W/L 为 $2.22/1$ 。如果器件沟道长度取最小特征尺寸 $1\mu\text{m}$ ，那么 NMOS 器件的栅极面积仅为 $2.22\mu\text{m}^2$ 。因而，负载电阻消耗的面积将是开关晶体管 M_S 面积的 1000 倍以上。这在集成电路设计领域是难以接受的。解决此问题的方法就是用晶体管来取代负载电阻。

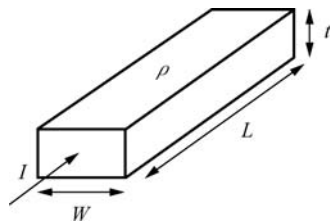


图 1.16 简单矩形电阻的几何图形

1.6 晶体管替代负载电阻方案

图 1.17 给出了用三端 MOS 管代替负载电阻的 6 种不同可选方案。当我们用一个晶体管来替换负载电阻时,也就是用一个三端(或者实际为四端)MOS 管来取代一个二端电阻时,必须确定另外一端连接到何处。NMOS 管中的电流由漏极流向源极,因此这两个端点应连接到电阻被拆除的端点处。不过,栅极有多种可能的接法,如图 1.17 所示。

一种可能是将负载器件的栅极连接到 NMOS 管的源极,如图 1.17(a)所示,然而这种情况下 $v_{GS}=0$,MOS 管 M_L 不导通,其中假设它是一个增强型器件,其 $V_{TN}>0$ 。如图 1.17(b)所示,如果栅极接地也会存在类似的问题。同样,这种连接使得 $v_{GS}\leq 0$,负载器件总处于截止状态。因此这两种可选方案都无法工作,因为一个增强型 NMOS 器件在这种条件下不可能导通电流。

下面 3 节内容是对图 1.17(c)~(e)中各电路性能的概述。图 1.17(c)所示的饱和负载逻辑在电子电路的发展中起过重要的作用。这种形式的逻辑被用于早期微处理器的设计中,首先在 PMOS 工艺中,接着在 NMOS 工艺中。在 1.6.1 节中将简要介绍其静态设计。图 1.17(d)所示的线性负载和图 1.17(e)所示的耗尽型负载的特性将在 1.6.2 节和 1.6.3 节中做简要介绍。图 1.17(f)的伪 NMOS 电路,在今天的 CMOS 设计中经常遇到,对这部分内容的详细设计讨论可以在 MCD 网站上找到。

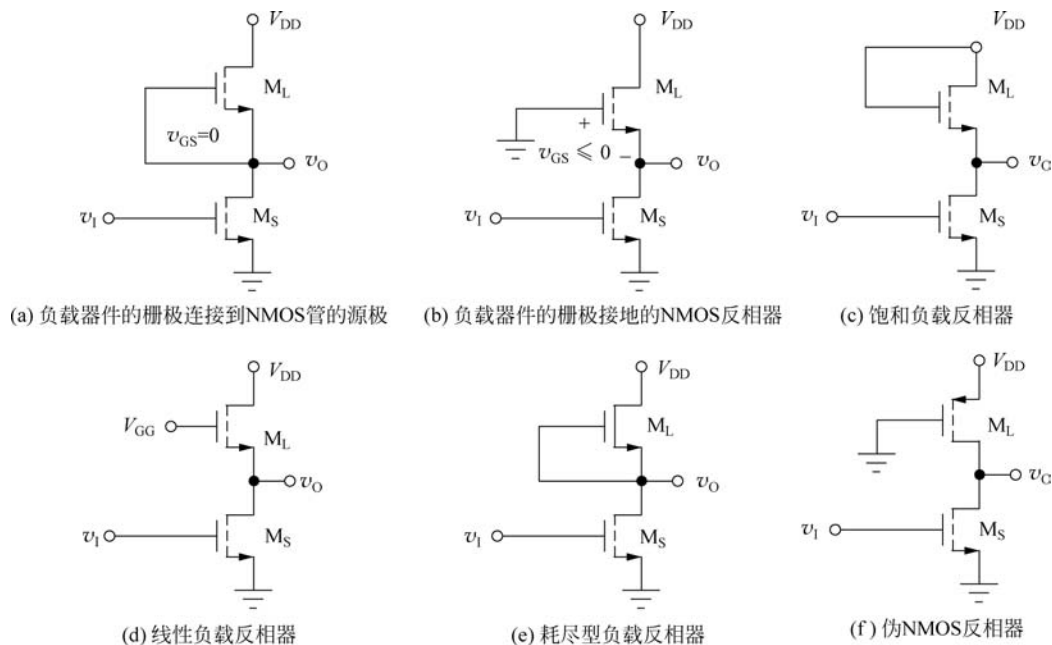


图 1.17 NMOS 反相器负载器件选择。要注意的是,如果采用增强型晶体管,(a)和(b)不能采用

1.6.1 NMOS 饱和负载反相器

图 1.17(c)所示的是 NMOS(之前是 PMOS)逻辑设计中用过的第一个可行的电路可选方案。在此 $v_{DS}=v_{GS}$,由于这一连接方式使得增强型负载晶体管总是工作在饱和区^①,故我们称这种电路为饱和负载反相器(saturated load inverter)。

^① 由于 $v_{DS}=v_{GS}$,又因 $V_{IN}>0$,则有 $v_{GS}-V_{TN}=V_{DS}V_{TN}<v_{DS}$ 。

图 1.18(a)给出了饱和负载反相器的实际电路图,图 1.18(b)给出了采用集成电路工艺实现的这一反相器的截面图,其结构的一个重要之处是两个晶体管的衬底是公用的,因而反相器中 M_L 和 M_S 的衬底电压必须相同, M_L 的衬底终端不能像最初图 1.17(c)所示连接到它的源极。这个多出的衬底终端通常接地(0V)(尽管过去曾用过-5V 和-8V)。对于 0V 的衬底电压,开关器件的 v_{SB} 总是 0,但是随着 v_O 的改变负载器件 M_L 的 v_{SB} 也会发生改变。事实上,如图 1.18(a)所示, $v_{SB}=v_O$ 。 M_L 和 M_S 管的阈值电压不再相同,我们分别将其阈值电压标记为 V_{TNS} 和 V_{TNL} 。

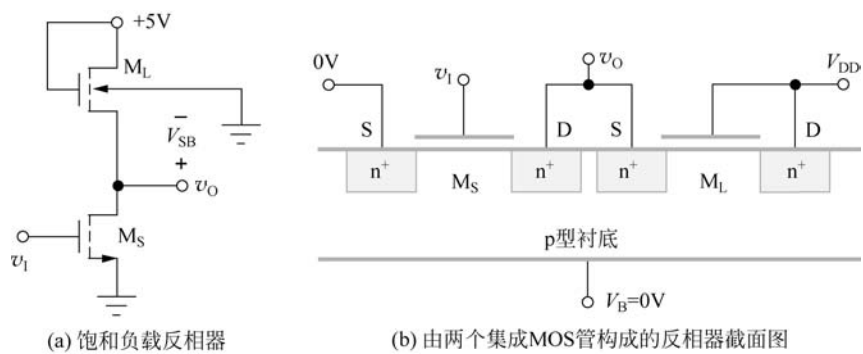


图 1.18

对于饱和负载反相器的设计,我们将采用与电阻负载情况下相同的电路条件($I_{DD}=80\mu A, V_{DD}=2.5V, V_L=0.20V$)。首先选择 M_L 的 W/L 值来限制反相器的工作电流和功率。因为电路连接决定了 M_L 工作在饱和状态,其漏电流由下式给出

$$i_D = \frac{K'_n}{2} \left(\frac{W}{L}\right)_L (v_{GS} - V_{TNL})^2 \tag{1.22}$$

对于图 1.19 中的电路条件,当 $v_O=0.20V$ 时负载器件 M_L 有 $v_{GS}=2.30V$ 。

在计算 W/L 之前,必须求出阈值电压 V_{TNL} 的值

$$V_{TN} = V_{TO} + \gamma(\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \tag{1.23}$$

其中, $V_{TO}=V_{TN}$ 的零偏置值(单位为 V); γ =体效应参数(单位为 $\sqrt{V}$); $2\phi_F$ =表面势参数(单位为 V)。在本节接下来的讨论中将采用表 1.5 给出的一系列器件参数。

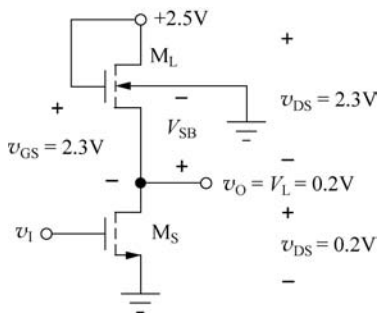


图 1.19 $v_O=V_L$ 的饱和负载反相器

表 1.5 器件参数

参数	NMOS 增强型器件参数	NMOS 耗尽型器件参数	PMOS 增强型器件参数
V_{TO}	0.6V	-1V	-0.6V
γ	$0.5\sqrt{V}$	$0.5\sqrt{V}$	$0.75\sqrt{V}$
$2\phi_F$	0.6V	0.6V	0.7V
K'_n	$100\mu A/V^2$	$100\mu A/V^2$	$40\mu A/V^2$

对于负载晶体管,有 $v_{SB}=v_S-v_B=0.25V-0V=0.25V$,且

$$V_{TNL} = 0.6 + 0.5 \times (\sqrt{0.2 + 0.6} - \sqrt{0.6}) = 0.66V$$