第3章

原理图绘图(基于Cadence 17.4)

3.1 Cadence 17.4 介绍

在日新月异的时代里,凡事讲求速度,选用一款功能强大的计算机辅助电路设 计软件,除了绘制原理图,还可以进行电路仿真,以及设计电路板。这样的软件可 有效缩短整个电路设计与制作的时间。本章所要介绍的,正是通用性较好的电路 设计软件 Cadence 17.4。

Cadence 17.4 把原理图设计、电路仿真、PCB设计、信号完整性分析完整地融为一体,当前很多客户都使用 Cadence 17.4 来进行复杂的电路设计,Cadence 17.4 包括 OrCAD 2019 V17.40 和 Cadence SPB Allegro。

OrCAD 涵盖原理图工具(OrCAD Capture 和 Capture CIS)、原理图仿真工具 (PSpiceAD、PspiceAA)、原理图信号完整性分析工具(OrCAD Signal Explorer)。 Cadence SPB 涵盖 PCB Layout Editor(Allgero PCB Design)、原理图工具 Design Entry CIS(Design Entry CIS 与 OrCAD Capture CIS 完全相同)、PCB 信号完整性 分析工具(Allgero PCB SI)。

OrCAD Capture 17.4 是当前最流行的原理图输入工具之一,OrCAD Capture 具有功能强大的元件信息系统,可以在线管理元件数据库。同时也提供了灵活多 样的原理图设计方法和输入方式,可将原理图设计技术、PCB 器件布局、PCB 走线 技术相结合,使原理图文件和 PCB 文件实现无缝数据连接,实现了原理图和 PCB 的统一设计和统一检查。

OrCAD Capture 17.4 继承了之前版本的特点,同时也有不同之处,对操作界面进行了调整,在元器件创建、编辑和查询方面增加了新的功能,如下所示。

(1) 在一个界面可以查看和编辑多个项目的原理图。

(2) 通过复制和粘贴,可以直接利用之前原理图的数据,网络名和元件位号可

保持不变。

(3) 在原理图界面,可以直接对元器件进行编辑,用内嵌的元器件编辑器更改、移动元器件引脚名称和引脚编号。

(4) 文件保护功能,支持设计文件被其他用户打开时可以自动锁定。

(5)可以实现原理图输入到原理图输出的紧密结合,提高了设计效率,以及确 保设计数据的完整性。

(6) 可自动缩放和平移界面,具有高效的查找和搜索功能。

(7) 通过附加的工具可以保证原理图和 PCB 图同步。

(8) 原理图界面可以直接嵌入图形、书签和标识等辅助说明中。

3.2 OrCAD Capture 功能模块

按照功能模块来划分,OrCAD Capture 可以分为项目管理模块、元件信息模块、原理图绘制模块、后期处理模块。

(1)项目管理模块,OrCAD Capture 为用户提供了一个便于操作的设计环境, 其项目管理模块独立于原理图编辑环境之外,操作功能包括新建项目、打开已有文件、保存文件、删除文件等。

(2) 元件信息模块,OrCAD Capture 具有丰富的元件库,有 32 个自带的元件 库,每个元件库又有很多具体零件,如 AMPLIFIER. OLB 元件库有 182 个元件,存 放了模拟放大器 IC 等器件; CONNECTOR. OLB 元件库有 816 个元件,存放了各 种类型的连接器。由于库文件过大,在绘制原理图时不建议将所有的元件库文件 同时加载到元件库列表中,加载过多的元件库会减慢软件的运行速度。

(3) 原理图绘制模块,原理图绘制模块是 OrCAD Capture 的核心功能, OrCAD Capture 作为行业标杆的原理图输入工具,具有简单直观的设计界面和强 大的原理图编辑功能,提供了企业级的原理图绘制方案,让硬件工程师可以快速高 效地创建和绘制原理图。

(4) 后期处理模块, OrCAD Capture 提供了一些后期处理工具, 用来对原理图进行检查和校对, 如设计规则的检查、生成网络报表文件、输出 BOM 表等。

3.3 原理图管理器

OrCAD Capture 为用户提供了一个功能强大且易学易用的原理图设计环境, 采用了以工程为中心的设计概念,原理图管理器独立于原理图设计环境之外,原理 图管理器可进行文件输入输出、存放文件等方面的操作。

OrCAD Capture 的原理图管理器用 Project 菜单来管理创建的文件,新建 Project 的同时,OrCAD Capture 会自动创建相关的文件,如原理图的 DSN 文件、

网络表 NET 文件等,为了方便读者对文件的理解,表 3.1 列举了 OrCAD Capture 常用文件的扩展名。

文 件 类 型	文件的扩展名	文 件 类 型	文件的扩展名
电路原理图文件	. dsn	PCB 焊盘文件	. pad
项目工程文件	. opj	PCB 元器件封装文件	.psm
元件库文件	. olb	图框说明文件	. osm
网络表文件	. dat	机械封装元件	. bsm
第三方网络表文件	. net	信息输出文件	. log
PCB 文件	. brd		

表 3.1 OrCAD Capture 常用文件的扩展名

3.3.1 新建原理图

打开 OrCAD 软件,选择菜单栏中的 File→New→Project 命令,弹出如图 3.1 所示的 New Project 对话框。在弹出的对话框中输入工程文件名,并指定工程文件存放的路径,工程名是"DEMO",存放路径是 D:\项目 1。

New Projec		×
Name	DEMO]
Location	D:V项目1]
	Enable PSpice Simu	
	OK Cancel Help]

图 3.1 New Project 对话框

(1) Name 是工程名称栏,在此处输入具体的工程名称。

(2) Location 是文件存放的路径,在此处选择工程文件存放的路径。

设置完成后,单击 OK 按钮进入原理图编辑环境,此时也就完成了一个工程文件的创建。工程文件的扩展名是.dsn,在.dsn 文件下面有一个 SCHEMATIC1 文件,SCHEMATIC1 文件下面是 PAGE1 等,PAGE1 可以按需要进行名称的修改,选中后右击,然后选择 Rename 进行修改,如图 3.2 所示。

如需要创建多页原理图,选择 SCHEMATIC1,然后右击,在弹出的快捷菜单 中选择 New Page 选项可创建更多的 PAGE 页,如图 3.3 所示。

3.3.2 打开原理图

选择菜单栏中的 File→Open→Design 命令,弹出的对话框如图 3.4 所示,在 弹出的对话框中选择文件所在的路径,然后单击"打开"按钮。

在同一窗口可以打开多个工程文件,多个工程文件可以来回切换,不同的工程 文件显示在界面左侧位置,如图 3.5 所示。







图 3.3 新建 PAGE 页

Popen Desig	n	\times
查找范围(I):	项目1 🗸 🧿 🗊 🖽 🗸	
★ 快速访问 桌面 」 」 二 席 」 」 単 版 問	各称 修政日期 DEMO-PSpiceFiles 2022/4/27 10:54 2022/4/27 10:54	
	<	>
网络	文件名(N): ゾ 打开(0 文件类型(T): Capture Design (*. dsn) ジ 取消	

图 3.4 打开原理图对话框



图 3.5 同时打开多个工程文件

3.3.3 平坦式原理图与层次式原理图

当电路较为复杂时往往无法在一张图纸上完成原理图的绘制,需要绘制多页 原理图,有两种方法来绘制多页原理图,分别是平坦式绘制方法和层次式绘制 方法。

(1)平坦式原理图。平坦式原理图是一种最基础的电路结构,其组成结构简单,所用的元器件能够在一张电路图上全部表示出来,目前大部分的硬件设计人员都习惯绘制平坦式原理图,平坦式原理图具有如下几方面的特点。

① 每页原理图有页间连接符 Off-Page Connector,表示不同页之间信号的连接,相同页连接符的网络是互连的。

② 页与页之间逻辑关系简单,非常直观地表达电路之间的连接关系。

③ 绘制过程简单,操作容易,不需要考虑电路之间的包含关系。

④ 不同页的原理图属于同一层次,相当于每页原理图同属于一个文件夹,其 原理图结构如图 3.6 所示。



图 3.6 平坦式原理图结构形式

(2) 层次式原理图。层次式原理图采用的是一种自上而下的电路设计方法, 即先在一张图纸上设计电路的总体框图,然后在另外的层次图纸上设计每个框图 代表的子电路结构。下一层次中还可以包括框图,按层次关系将子电路框图逐级 细分,直到最后的层次为具体电路图,不再包括子电路框图。层次式原理图具有如 下几方面的特点。

 ① 层次式电路原理图的设计理念是将实际的总体电路进行模块划分,划分的 原则是每一个电路模块都应该有明确的功能特征和相对独立的结构,以便模块彼 此之间的连接。

②一张原理图中的模块电路不能参考本张图纸上的其他模块电路或其上一级的原理图模块电路。

③ 打印时可能存在原理图幅面过大,需要用较大图号的纸张来打印的情况。

④ 绘制时可以将整个电路系统划分为若干个子系统,每一个子系统再划分为 若干个功能模块,而每一个功能模块还可以再细分为若干个基本的小模块。这样 依次细分下去,就把整个系统划分为多个层次,电路设计由繁变简,层次式原理图 的电路结构如图 3.7 所示。



图 3.7 层次式原理图结构形式

3.4 原理图元件库

虽然 OrCAD Capture 提供的元器件库很齐全,但是不同产品的原理图设计千 差万别,经常会碰到在 OrCAD Capture 自带元件库中找不到的元件符号。这时就 需要自己创建元件库和元件符号,元件符号由元件边框、引脚名、元件名称组成。 OrCAD Capture 提供了一套非常完整的元件编辑器,可以根据实际需要进行元件 编辑和创建元件,本节将详细介绍如何创建原理图元件库。

3.4.1 加载元件库

在 OrCAD Capture 元件库管理中,加载元件库分两种情况:一种是加载系统中自带的元件库,另一种是加载项目中自建的元件库。

(1)加载系统中自带的元件库。在原理图的编辑界面下,单击图标 Place Part , 弹出相应界面后, 再单击图标 Add Library 1 。系统将弹出如图 3.8 所示的 Browse File 对话框, 选中需要加载的元件库, 单击"打开"按钮, 这样元件库就会显 示在已加载的列表中。

Browse File						×
查找范围(I):	library	~	G	1 🖻 🗆	.	
-	名称	^		修改日期		^
快速访问	fpga			2021/12	/6 15:22	
002001-0	iec			2021/12	/6 15:21	
1	ieee			2021/12	/6 15:21	
卓面	ieeelibs			2021/12	/6 15:21	
Jac Land	pspice			2022/3/	19 10:29	
	ttl			2021/12	/6 15:22	
库	Amplifier			2009/8/	18 0:13	
	Arithmetic			2009/8/	18 0:13	
	ATOD			2009/8/	18 0:13	
此电脑	BusDriver	Transceiver		2014/12	/4 7:44	~
	<				:	>
1	文件名(N):	1		~	打开(0)	•
网络	文件类型(T):	Capture Library(*. olb)		~	取消	
		□以只读方式打开(R)				
-						

图 3.8 加载系统中自带的元件库

(2)加载项目中自建的元件库。选择菜单栏中的 File→Open→Library 命令, 弹出如图 3.9 所示的对话框,选择要加载的元件库,单击"打开"按钮。执行"打开" 命令后,弹出如图 3.10 所示的界面,然后在界面的左侧,选中要加载的元件库 Library,右击,在弹出的快捷菜单中选择 Add File 选项。

💽 Open Librar	у	×
查找范围(I):	项目1 🕝 🎓 🗁 🎞 🗸	
快速访问 桌面 库 以此職	名称	
國都	< 文件名(N):	>

图 3.9 Open Library 对话框



图 3.10 选择 Add File

在图 3.10 的界面上执行 Add File,弹出如图 3.11 所示的对话框,在查找范围 框中选择文件路径,文件路径一般是 C:\Cadence\Cadence_SPB_17.4-2019\tools\ capture\library,在文件名栏选择加载的元件库,然后单击"打开"按钮,即完成了加 载项目中自建的元件库。

Add File to	Project Folder - Library		×
查找范围(I):	library V 🕲	ۇ 12▼	
3	名称 ^	修改日期	^
林海滨词	fpga	2021/12/6 15:22	
快速的问	iec	2021/12/6 15:21	
	ieee	2021/12/6 15:21	
「「「」「」」	ieeelibs	2021/12/6 15:21	
346,644	pspice	2022/3/19 10:29	
	ttl	2021/12/6 15:22	
库	Amplifier	2009/8/18 0:13	
-	Arithmetic	2009/8/18 0:13	
	ATOD .	2009/8/18 0:13	
此电脑	BusDriverTransceiver	2014/12/4 7:44	
	🚭 capsym	2019/5/17 5:30	
	A 10 - 10 - 10 - 10 - 10 - 10 - 10 - 10	2010/7/25 4.50	, [*]
网络			_
	文件名(N): LLBKAKY1.OLB	─────────────────────────────────────	
	文件类型(T): Capture Libraries (*.olb)	~ 取消	

图 3.11 加载项目中自建的元件库

3.4.2 新建元件库和移除元件库

新建元件库,选择菜单栏中的 File→New→Library 命令,空白元件库会被自动加入系统中,默认名称是 library1,并依次递增,扩展名是.olb 的库文件,如图 3.12 所示。

移除元件库,在原理图的编辑界面,单击图标 [](Place Part),弹出如图 3.13 所示窗口,然后选中所要移除的元件库,再单击图标 (Remove Library),即将该 元件库移除。



图 3.12 新建元件库

Place Part	▼ X	
Par		× 0,
Part	\mathbf{Y}	↓ +
AD8073/SO AD817 AD817/SO		- + *
AD9100 AD9101/LCC	- 1	, <mark>1</mark> 8
AD9101/SO Libraries:		ň N
AMPLIFIER		ۍ۔ ۲÷
Design Cache LIBRARY1		+
TRANSISTOR		λ.

图 3.13 移除元件库

3.4.3 新建元件

尽管 OrCAD Capture 提供了相当多的元件,但再多的元件也不可能满足每个 人的需求,尤其是在电子产品高速发展的今天,每时每刻都有新的元件产生,所以 自己建立元件是必需的工作,建立元件方法如下。

(1)选中新建的库文件 LIBRARY1, 右击, 在弹出的快捷菜单中选择 New Part 选项, 弹出如图 3.14 所示的 New Part Properties 对话框,即可开始新建元件。

New Part Properties		
Name:		ОК
Part Reference	J	Cancel
PCB Footprint:		Part Aliases
Create Convert View Multiple-Part Package		Attach Implementa
Parts per 1		Help
Package Type • Homogeneous • Heterogen	Part Numbering	Pin Number V
D:\项目1\LIBRARY1.OLB		

图 3.14 New Part Properties 对话框

(2) 在对话框中需添加元件名称、元件标识、PCB 封装名称等信息,说明如下。

• Name 栏:在该文本框中输入新建的元件名称。

- Part Reference 栏:在该栏内输入元件标识的前缀,如该栏的内容为"U",则元件放置到原理图中时,显示的元件标识符为 U1、U2 等。
- PCB Footprint 栏: PCB 的封装名称,在绘制原理图时可以暂时不输入。
- Parts per 栏: 该栏的默认值是 1,即元件由 1 个元件符号组成。如果创建的元件引脚非常多,如一些功能复杂的处理器,有几百或者上千个引脚,则需要创建组合封装器件。
- Package Type 栏:组合元件的封装类型,有两个选项,一般选择默认选项 Homogeneous(相同的)。
- Part Numbering 栏:组合元件的序号排列方式,一般选择默认项 Alphabetic (按字母排列)。
- Pin Number Visible: 勾选此项,元件引脚号可见。

(3)填写完元件属性后,在图 3.14 中单击 OK 按钮,弹出如图 3.15 所示的元件编辑界面,在该界面可以进行元件的制作。



图 3.15 元件编辑界面

绘制元件的外形,在元件编辑界面,选择菜单栏中的 Place→Rectangle 命令放置元件的外框,元件的外框大小由元件引脚数量来决定,原则是引脚放置较为美观、引脚间距合理。

① 添加单个引脚,选择菜单栏中的 Place→Pin 命令,弹出如图 3.16 所示的对话框,需填写对话框中的相关内容。

- Name栏:输入引脚的名称。
- Number 栏: 输入引脚的编号,应与元件实际引脚编号对应。
- Shape 栏:设置引脚的线型,一般选择 Line 或者 Short。
- Type 栏:设置引脚的电气特性,一般选择 Passive,表示该引脚没有电气 特性。

Pin Properties	5	
Name:		
Number:		
Shape:	Line	
Туре:	Passive	
Width:	Scalar	
Pin Visible		User Properties
, Additional Op	tions	
Pin# Incremen	t for Next Pin	1
Pin# Incremen	t for Next Section	

图 3.16 放置引脚对话框

② 完成参数设置后,单击 OK 按钮,光标上拖着一个引脚符号,拖动鼠标将引 脚放置到合适位置上,然后单击完成引脚放置,重复这样的步骤可继续放置其他的 引脚,如图 3.17 所示。

\square	LIBRARY1.OLB - GD32F	150* ×											
	1 V 1 V 2 P 3 P 4 P 5 P 6 P 7 N	? BAT C13 C14 C15 F0-OSCIN F1-OSCOUT RST (Value>											
٩.	lormal					0 iten	ns selecte	ed	Scale=9	97%	X=3.27	Y=3.91	

图 3.17 放置元件引脚

③ 引脚阵列功能,当遇到元件引脚较多且有规律排列时,可使用 Capture 的引 脚阵列功能,选择菜单栏中的 Place→Pin Array 命令,弹出如图 3.18 所示的对 话框。

- Starting Name 栏: 输入第一个引脚的名称。
- Starting Number 栏: 输入第一个引脚的编号。

Pin Array Proper	ties
Starting Name:	
Starting Number:	
Number of Pins:	1
Pin Spacing:	1
Shape:	Line
Type:	Passive
Pin Visible	
Additional Optio	ns
Pin# Increment fo	r Next Pin 1
Pin# Increment fo	r Next Section

图 3.18 Place Pin Array 对话框

- Number of Pins 栏: 输入放置引脚的总数量。
- Pin Spacing 栏:设置相邻两个引脚的间距。
- Shape 栏:设置引脚线型。
- Type栏:设置引脚的电气特性。
- Pin # Increment for Next Pin 栏: 名称和引脚的递增数量。

设置完 Place Pin Array 窗口后,单击 OK 按钮,然后移动鼠标并单击,把引脚放置在合适的位置上,如图 3.19 所示。

2	Start Page x	LIBRARY1.OLB - GD32F150 *	LIBRARY1.OLB - STM32F103* ×	1			
Γ							Ê
			U?				
		24	PA1				
		25_	PA2				
		26	PA3				
		27_	PA4				
		28_	PA5				
		29_	PA6				
		30_	PA7				
			<value></value>]		
	.Normal		0 item	is selected	Scale=172%	X=-1.97	¥=1.63
	1						

图 3.19 引脚阵列放置

(4) 组合元件的创建,与创建单个元件类似,选中新建的库文件 Library,选择 菜单栏中的 Design→New Part 命令,弹出 New Part Properties 对话框。以处理器 BCM58101 举例说明,如图 3.20 所示。

- Name 栏: 输入器件型号 BCM58101。
- Part Reference 栏: 为默认值"U"。
- Parts per 栏: 输入 4,表示器件由 4 个封装组成。
- Package Type 栏:由于每个封装都不一样,选择 Heterogen。
- Part Numbering 栏:选择默认项 Alphabetic。

New Part Proper	ties		×
Name: BCM58	101		OK
Part Reference	l	J	Cancel
PCB Footprint:			Part Aliases
Multiple-Part	t View Package		Attach Implementa
Parts per	4		Help
Package Type Momogene Heteroge	ous n	Part Numbering	💌 Pin Number V
D:\项目1\LIBRAR	¥1.OLB		

图 3.20 BCM58101 New Part Properties

填写完信息后,在图 3.20 中单击 OK 按钮,弹出元件编辑对话框,在编辑界面的左下角会显示 A、B、C、D 四个封装。选择相应的封装,然后执行放置引脚命令 Place→Pin,逐一放置每个封装的引脚,如图 3.21 所示。



图 3.21 BCM58101 组合封装

3.4.4 通过 Excel 表格创建元件

当元件的引脚特别多时,如功能复杂的处理器,逐个添加元件的引脚非常费时,同时也容易出现错误,这时可以通过 Excel 表格的方式来创建元件。

(1)选中元件库,右击,在弹出的快捷菜单中选择 New Part From Spreadsheet 选项,如图 3.22 所示。



图 3.22 表格导入

(2) 选择 New Part From Spreadsheet 选项后,弹出类似 Excel 的表格对话框, 在对话框中可以直接粘贴 Excel 表格的内容。

- Number 栏:元件的引脚编号。
- Name 栏: 元件的引脚名称。
- Type 栏:元件的引脚类型,普通引脚定义为 PASSIVE,电源引脚和 GND 引脚定义为 POWER 类型,否则在生成网络表文件时有警告信息。
- Pin Visibility 栏: 勾选定义为可视。
- Shape 栏:可将引脚类型定义为 Line 或者 Short。
- Pin Group 栏:引脚组的定义,为空即可。
- Position 栏:引脚位置选项,可分别定义为Bottom、Left、Right、TOP,一般情况下均匀放置,按逆时针排列。以48个引脚为例,1~12放置在Left(左边),13~24放置在Bottom(下方),25~36放置在Right(右边),37~48放置在Top(上方)。如果引脚大部分都是电源引脚,可将电源放置在上方,地信号放置在下方。

Section 栏:器件单个封装和组合封装选项,如是单个封装选A,如果是组合封装,分别选择对应的封装序号。

把整理好的 Excel 直接粘贴到 New Part Creation Spreadsheet 对话框中。以输入 GD32F150C4T6 封装为例,GD32F150C4T6 为 48 引脚的 LQFP 封装,粘贴后的界面如图 3.23 所示。

Part w	GD32F150	DC4T6	No. of	1	Part Ref	U	Part Num Numer	bering ric 💿 Alphabe	tic
	Number	Name	Туре	Pin Visibility	Shape	PinGroup	Position	Section	
1	1	VBAT	Power	ঘ	Short		Left	A	1
2	2	PC13	Passive		Short		Left	A	1
3	3	PC14-OSC32IN	Passive		Short		Left	A	1
4	4	PC15-OSC320	Passive		Short		Left	A	
5	5	PF0-OSCIN	Passive		Short		Left	A	
6	6	PF1-OSCOUT	Passive		Short		Left	A	1
7	7	NRST	Passive	2	Short		Left	A	1
8	8	VSSA	Power	2	Short		Left	A	1
9	9	VDDA	Power	2	Short		Left	A	1
10	10	PA0	Passive	V	Short		Left	A	
11	11	PA1	Passive	V	Short		Left	A	
12	12	PA2	Passive	V	Short		Left	A	
13	13	PA3	Passive	1	Short		Bottom	A	
14	14	PA4	Passive		Short		Bottom	A	1
15	15	PA5	Passive		Short		Bottom	A	
16	16	PA6	Passive		Short		Bottom	A	
17	17	PA7	Passive	V	Short		Bottom	A	
18	18	PB0	Passive		Short		Bottom	A	
19	19	PB1	Passive	V	Short		Bottom	A	
20	20	PB2	Passive		Short		Bottom	A	
21	21	PB10	Passive		Short		Bottom	A	
22	22	PB11	Passive	17	Short		Bottom	A	

图 3.23 New Part Creation Spreadsheet 对话框

在图 3.23 中,单击 Save 按钮完成创建,界面将呈现出元件的封装,如图 3.24 所示。由于元件的引脚名称较长,略显拥挤,需对封装的边框和引脚间距进行适当 调整,调整后的封装如图 3.25 所示。

U?



3.4.5 通过复制创建元件

有的时候为了完善元件库,需要在一份打开的原理图中,把部分元件的封装导 入到指定的库文件中,操作方法如下。

(1) 在打开的原理图中,选中该元件,然后右击,弹出如图 3.26 所示的快捷 菜单。



图 3.26 选中元件

(2)选择 Edit Part 选项,进入元件编辑界面,单击并拖动整个封装,再右击,弹 出如图 3.27 所示的快捷菜单,选择 Copy 选项。



图 3.27 元件编辑界面

(3) 切换到新建元件界面,如图 3.28 所示。

(4) 在图 3.28 所示的界面选择 New Part 选项,然后执行粘贴命令,如图 3.29

所示。保存后即完成了通过复制封装的方式来创建元件,创建后的元件显示在左侧的库元件列表中。



图 3.28 新建元件界面



图 3.29 复制元件封装

3.5 原理图绘制

原理图是指用不同的电路元件符号连接起来的图,原理图主要由元件符号、连 线、节点、注释四部分组成。元件符号表示原理图中的元件,元件符号的形状不代 表实际元件的形状,但元件符号代表了元件的特点,且元件符号的引脚数目和实际 元件的引脚数目保持一致。连线表示实际电路中的导线,在原理图中虽然是一根 线,然而在印刷电路板中不是线而是各种形状的铜箔块。节点表示多个元件引脚 或多条连线之间的相互连接关系,所有与节点相连的元件引脚、连线,不论数目多 少都是导通的。注释在原理图中起说明提示作用,原理图中所有的文本都可以归 入注释范畴。

本章将从原理图环境设置、原理图编辑界面等方面详细讲解原理图绘制的全 过程,通过本章的学习,读者可以有效掌握原理图的绘制方法,顺利地根据产品需 求完成原理图的设计。

3.5.1 进入原理图编辑界面

打开 OrCAD 软件和进入原理图编辑界面,具体操作是在 Windows 桌面的左下角,单击 Windows 图标找到 Cadence PCB 17.4-2019 下拉菜单中的 Capture CIS 17.4,注意需选择 CIS,否则原理图的编辑功能不完整。

(1) 打开 Capture CIS 17.4, 弹出如图 3.30 所示的对话框, 选择 OrCAD Capture, 下方的 Use as default 建议勾选, 下次会默认打开。



图 3.30 OrCAD Capture 选择对话框

(2) 在图 3.30 所示的对话框中单击 OK 按钮,再按 3.3.1 节的介绍,新建一个 工程,然后进入原理图编辑界面,如图 3.31 所示。

3.5.2 编辑界面常用设置

在原理图绘制时,其效率性和正确性与编辑界面的属性设置有密切关系,属性 设置是否合理,将直接影响到软件功能是否能得到充分的发挥,编辑界面常用的设 置项如下。

(1)设置图纸尺寸。选择菜单栏中的 Option→Schematic Page Properties 命令,然后单击 Page Size,弹出如图 3.32 所示的对话框,一般选择 B 类图纸,B 类图 纸的长宽比例适中,同时用 A4 纸张打印时较为清晰。当然,也可以选择其他类型 的图纸或者是自定义图纸尺寸,选择 Custom 可自定义图纸的尺寸。



图 3.31 原理图编辑界面

age Size Grid R	eterence Mi	scellaneous		
Units Inches	● Mill:	imeters		
New Page Size	Width	Height		
A (9.700	7.200	inches	
• B	15.200	9. 700	inches	
● C	20.200	15.200	inches	
D	32.200	20.200	inches	
E E	42.200	32.200	inches	
Custom	15.200	9.700	inches	
Pin-to-Pin Spa	acing:	0.100	inches	

图 3.32 图纸尺寸设置

(2)设置网格。网格为元件的放置和线路的连接带来了极大的方便,使元件 和连线可以整齐排列,网格的设置在图 3.32 中选择 Grid Reference 选项卡,出现 图 3.33 所示的对话框,选择默认值即可。

Horizontal	Vertical
Count: 5	Count: 4
Alphabetic Ascending	Alphabetic Ascending
Numeric Oescending	Numeric Descending
Width: 0.1 inches	Width: 0.1 inches
Border Visible	Grid Reference Visible
🛩 Displayed 🛛 🛩 Printed	🛩 Displayed 🛛 🛩 Printed
Title Block Visible	
💌 Displayed 💌 Printed	ANSI grid references

图 3.33 网格设置

(3) 界面颜色设置。选择菜单栏中的 Options → Preferences 命令,打开 Preferences 对话框,非必要选择默认的颜色即可,主要项颜色说明如下。

- Pin:设置元件引脚的颜色。
- Pin Name: 设置元件引脚名称的颜色。
- Pin Number:设置元件引脚编号的颜色。
- NetGroup Port:设置网络组端口的颜色。
- NetGroup Bus: 设置网络组总线的颜色。
- Part Body:设置元件框体的颜色。
- Part Value:设置元件参数值的颜色。
- Text:设置说明文本的颜色。

(4) 格点属性设置。单击 Grid Display 按钮,弹出如图 3.34 所示的格点属性 设置对话框,其包括原理图界面的格点属性设置和元件编辑界面的格点属性 设置。

① 原理图界面格点属性设置,在 Schematic Page Grid 区域进行格点属性设置。

- Visible: 可见性属性设置,一般情况需勾选。
- Grid Style: 网格类型,一般情况勾选 Dots 点状网格。
- Gride spacing: 格点间距,建议设置为默认值1。

Preferences						×
Colors/Print Grid Display	an and Zoom	Select	Miscellaneous	Text Editor	Board Simulation	
Schematic Page Grid -				Part and Sy	mbol Grid	
Visible				Visible		
W Displayed				💌 Di s	played	
Grid Style				Grid Styl	e	
Dots	Lines			🖲 Dot	s 🕒 Lines	
Grid spacing				Poi:	nter snap to grid	
1, 1 * of 1	in to pin					
Pointer snap to gr	id Fine Course	a Master				
Connectivity	0 0	۲				
Drawing Elements	• •	۲				
More Preferences					È 取消	帮助

图 3.34 格点属性设置

• Pointer snap to grid: 自动获取格点,应勾选此项。

② 元件编辑界面格点属性设置,在 Part and Symbol Grid 区域进行格点属性 设置。

• Visible: 可见性属性设置,应默认勾选。

• Grid Style: 网格类型, 一般情况选 Dots 点状网格。

• Pointer snap to grid: 自动抓取格点,应勾选。

(5) 字体设置,选择菜单栏中的 Option→Design Template 命令,弹出字体设置对话框,如图 3.35 所示,如没有特殊要求的话,选择默认的字体即可。

(6)标题栏设置,选择菜单栏中的 Option→Design Template 命令,然后选择 Title Block 选项卡,弹出如图 3.36 所示的对话框,逐一填写每项内容即可。

3.5.3 元件放置

电路原理图有两个最基本的要素,分别是元件和元件之间的连线,原理图绘制 最主要的操作就是将元件放置在图纸上,然后用连接线把不同元件连接起来,建立 正确的电气连接。在放置元件前,需要知道元件在哪一个元件库中。

(1)选择元件。选择菜单栏中的 Place→Part 命令,在界面的右侧弹出如图 3.37 所示的对话框。

108 电路原理图全能设计——从初级到资深

Design Template			×
Fonts Title Block Page Siz	e Grid Reference Hierar	chy SDT Compatibility	
Arial 7	Alias	Arial 7	Pin Name
Arial 7	Bookmark	Arial 7	Pin Number
Arial 7	Border Text	Arial 7	Port
Arial 7	Hierarchical Block	Arial 7	Power Text
Arial 7	Net Name	Arial 7	Property
Arial 7	Off-Page Connector	Courier New 7	Text
Arial 7	Part Reference	Arial 7	Title Block Text
Arial 7	Part Value		
		确定取	肖 帮助

图 3.35 字体设置

Design Template × Fonts Title Block Page Size Grid Reference Hierarchy SDT Compatibility 4 HEADER Text 12 HEADER Title: 12 HEADER Organization Name: 8 HEADER Organization Name: BSS Dreganization Address BNC
Design Template × 4 HEADER Fonts Title Block Page Size Grid Reference Hierarchy SDT Compatibility Text 12 HEADER Title: 0rganization Name: Organization Name: BSS Dreganization Address BNC
Fonts Tidle Block Page Size Grid Reference Hierarchy SDT Compatibility Text 12 HEADER Title: 0 8 HEADER 0rganization Nume: BSS BSS 0rganization Address Nume: Nume:
Text 12 HEADER Title: 8 HEADER Organization Name: BSS Organization Address Interference of the second
Text 4 HEADER Title: 8 HEADER Organization Name: 82S Organization Address 85S Utypanization Address 9000000000000000000000000000000000000
Title: 8 HEADER BZS BSS Brganization Name: BSS BNC
Organization Name: B2S B5S BNC
Urganization Name: BSS BNC Vigenization Address
BNC V
Organization Address
Organization Address 3: Design Content
Organization Address LIBRARY1
Document Number: TRANSISTOR
Revision: CAGE Code:
Symbol rarts per 1
Library Nama'
Type: Homogeneous
Title Block Mune: TitleBlockD
Viduo>
+ Search for

图 3.36 标题栏设置

图 3.37 元件选用对话框

先选择元件库,再选择元件库中的某个元件。选中元件后,双击把元件拖到原 理图的编辑界面,即完成了元件的放置,如图 3.38 所示。

(2)移动元件。每个元件被放置时,其位置可能不是很准确,在进行连线前,需要根据原理图版面的整体布局移动元件的位置,这样可以利于连线,也会



图 3.38 元件放置

使原理图更清晰和美观。具体移动元件的方法有很多,下面介绍两种移动元件的方法。

① 用鼠标选取单个元件的方法。当需要移动单个元件时,将光标移到要选取的元件上,单击鼠标左键不放,然后移动鼠标,把元件移动到指定位置,如图 3.39 所示。

② 利用矩形框同时选取多个元件的方法。当需要同时移动多个元件时,按住 鼠标左键拖出一个矩形框,把要移动的元件包含在该矩形框内,然后释放鼠标并移 动元件,如图 3.40 所示。



图 3.39 选取单个元件



(3) 元件旋转。在原理图连线的过程中,有时需要将元件进行旋转以方便连 线或者是优化界面,选中元件后按键盘上的R键可旋转元件,也可以单击选中元件 后,右击选择 Rotate、Mirror等选项来旋转元件,如图 3.41 所示。

- Mirror Horizontally: 元件在水平方向镜像,即左右镜像,快捷键是 H。
- Mirror Vertically: 元件在垂直方向镜像,即上下镜像,快捷键是 V。
- Mirror Both: 全部镜像,元件将上下左右同时镜像。
- Rotate: 旋转命令,每操作一次,元件逆时针旋转 90°。

(4) 元件复制与删除。原理图绘制时经常会用到相同的元件,如果重复利用放置元件命令来放置相同的元件,效率较低且操作过程较为烦琐。可采用元件复制的



图 3.41 旋转元件

方式来放置相同的元件,先用鼠标选中要复制的元件,然后在键盘上按 Ctrl+C 组合键复制元件,按 Ctrl+V 组合键粘贴元件。另外也可以采用拖动的方式来复制 元件,按住 Ctrl 键,用鼠标拖动要复制的元件,即可复制出相同的元件,如图 3.42 所示。



图 3.42 拖动的方式复制元件

3.5.4 元件属性设置

放置完元件后,有时还需要对元件的属性进行设置,以避免后期网络表生成和 PCB制作时产生错误,元件的属性设置有以下两种方法。

(1) 单个元件属性设置。选中需要进行属性设置的元件并右击,然后选择 Edit Properties 选项,或者是选择菜单栏中的 Edit→Properties 命令,弹出如图 3.43 所示的 界面,有 8 个选项卡,分别是 Parts(元件)、Schematic Nets(原理图网络)、Flat nets (平层网络)、Pin(引脚)、Title Blocks(标题栏)、Globals(全局)、Ports(端口)、 Aliases(别名),根据需要可对其修改。

🖶 OrCAD Capture - [Property Editor]	-		×			
File Design Edit View Tools Place PCB SI Analysis Accessories Options Window Help	cā	den	ce®			
🗋 🗁 🛱 🤯 🕺 🚨 🖄 🗇 🖑 🖳 與 4 HEADER 👘 🔩 🔍 🕀 📿 🖓 🖓 💭 🖾	» ;	*	*			
demo.opj 🔹 x /- (SCHEMATIC1 : PAGE1) x /- (SCHEMATIC1 : PAGE2)* x Start Page 💉 Property Editor x		Ŧ				
PCB		*	5			
File Herarchy Design Resources		He]	1. 			
Designator Graphic ID Implementation	1		⇒_+			
- D DAGETI 1 B SCHEMATIC1 : PAGE1 DRV8833.Normal			.c0			
PAGE1 PAGE2 B- Lübrary A Parts (Schematic Nets (Flat Nets (Fins (Title Blocks (Globals (Ports (Aliases)))) , s						
Ready			,:İ			

图 3.43 单个元件设置

(2) 多个元件属性设置。当需要同时对多个元件编辑时,选中多个元件后选 择菜单栏中的 Edit→Properties 命令,弹出如图 3.44 所示的界面,可在一个界面中 对多个元件的属性进行修改。

OrCAD Capture - [Property	Editor]					- 🗆 ×	
File Design Edit View Tools Place PCB SI Analysis Accessories Options Window Help Cadence®							
🗋 🗁 🖺 🖶 . 🗶 🗋 🛱 @ 🗮 🖙 म. +HEADER 🔢 🕂 🔍 🕀 🔾 . 🔍 📿 🤤 🔂 . 🔝 🖉 🚇 . 👘 . 🦷 . 🦷 . 🦷 .							
demo.opj 🔹 x 🛛 / - (SCHEMATIC1 : PAGE1) x 📝 - (SCHEMATIC1 : PAGE2)* x Start Page 💉 Property Editor x							
PCB						• ×	
File 🛱 Hierarchy	Her Prope Apply Disp Delete Pro Filter < Cument properties > Help						
demo.dsn*		Color	CURRENT	Designator	discrip	A 27	
	1 SCHEMATIC1 : PAGE1 : C75	Default	CMAX			3//// 50	
PAGE1	2 SCHEMATIC1 : PAGE1 : Q5	Default			IRLM6401场效应管	à.	
Design Cache	3 E SCHEMATIC1 : PAGE1 : R88	Default					
E-P Library	4 SCHEMATIC1 : PAGE1 : R90	Default					
.\library1.olb	5 SCHEMATIC1 : PAGE1 : U5	Default					
BCMSail DRV8833 DG022F15 A Parts (Schematic Nets (Flat Nets (Fins (Title Blocks (Globals (Forts (Aliases / 4)))))							
Ready						.4	

图 3.44 多个元件属性设置

3.5.5 元件边框编辑

元件边框编辑是指修改元件符号的形状,在元件排布和原理图连线的过程中, 当出现元件过于拥挤时,应对元件边框进行编辑,适当调整元件的边框。选中元件 后并右击,然后选择 Edit Part 选项,或者是选择菜单栏中的 Edit→Part 命令,弹出 如图 3.45 所示的界面,在界面中可对元件边框进行修改。



图 3.45 元件边框编辑

3.5.6 绘制导线

元件放置好之后,需要把不同的元件连接起来,元件之间的电气连接通过导线 实现。在原理图中导线是具有电气特性的连线,放置导线的步骤如下。

(2) 连线。将光标移动到想要进行电气连接的元件引脚上,单击确定与该引脚进行连接,然后移动光标拉出一条直线,再连接到另外元件的引脚或导线上,示例如图 3.46 所示。

(3)连线的拐弯模式。当连线的起点和终点不在同一水平方向或者不在同一 垂直方向时,需要用拐弯模式来连线。具体操作是在拐弯位置上单击或者是按空 格键,然后再移动光标连接到终点,即完成了拐弯模式的连线,如图 3.47 所示。

(4)斜线模式连线。当连线网络在 PCB 走线时,需要走最短回流路径时,往往 采用斜线的方式来连接元件引脚。在连线的过程中,单击的同时按住 Shift 键拉出 一条斜线,然后松开 Shift 键继续绘制水平或者垂直的导线,示例如图 3.48 所示。

OrCAD Capture-[/ - (SCHEMAT	IC1 : PAGE2)]		- • ×
File Design Edit View Too	ls Place PCB SI Analysis PSpice Accessories Option	is Window Help	cādence®
0080.%0) 🔓 🗇 🖑 🗮 📭 🏭 DRV8833 🔹 - E	₹. € € 4 € €.	U 🖉 🖻 🔍 📜 📜
demo.opj 👻 🗶	/ - (SCHEMATIC1 : PAGE1)* / - (SCHEMATIC1 : P	AGE2)* ×	
PCB	5	4	^ ^
File 🛱 Hierarchy			- L\$
Design Resources			_F ²
)-E: .\demo.dsn*			
₽-2 SCHEMATIC1*	τ υ	1	+
PAGE1*		P 15	- S
PAGE2*		16 _	L C105
	AOUT 7 AOUT	2 0	33pF 82
e-f9 \library1.olb	BIN1 BIN2 POUT	5	đ
-:	_ 9 BOUT	2 3 0	N. N.
-::	10 VCP	т 6	r°.
-:[]> GD32F150		12	
-:[]> GD32F150C4	17 PAD	4	
-::::>: SMG4960	11 CND AISE		2.
- Library Cach		<u> </u>	Ves
_ Layout	DRV	8833	T.
I Doupuis	4		▼ ▶ ()
Ready	1 item selected	S	cale=138% X=5.50 Y=4.80

图 3.46 导线连接



图 3.47 拐弯模式连线



图 3.48 斜线的连线模式

(5) 连线的交叉模式。在原理图绘制的过程中经常会出现连线交叉的情况, 连线交叉时分两种方式:一种是交叉点有电气连接,另一种是交叉点没有电气连 接。当绘制有电气连接的交叉点时,单击交叉点,导线将在交叉点上出现一个实心 的小圆点,即表示该交叉点有电气连接。示例如图 3.49 所示。



图 3.49 导线的交叉连接

3.5.7 绘制总线

原理图中的总线是一组具有相同属性的连线,在较为复杂的原理图中,用总线 的绘制方法可使连线更加清晰,合理运用总线可以简化元件与元件之间的电气连 接。绘制总线线的方法如下。

(2) 画线。将光标移动到指定位置,拖动鼠标在靠近元件同类属性的引脚附近,拉出一条总线,示例如图 3.50 所示。

(3) 放置总线分支线。在原理图编辑界面下,选择界面右侧的图标2。,或者选 择菜单栏中的 Place→Bus Entry 命令,然后移动鼠标,把分支线放置在总线的指定 位置上,示例如图 3.51 所示。

(4) 总线命名。总线的命名与网络标号命名类似,选择界面右侧的图标 📐,或



图 3.50 绘制总线

OrCAD Capture-[/ - (SCHEMATIC1 : PAGE4)]	- 0	×
File Design Edit View Tools Place PCB SI Analysis PSpice Accessories Options Window Help	cādenc	e®
🗋 🗁 🛱 🗸 🗋 🗂 乡 ৫ 🗮 📭 म् 🛤 🕬 🐨 👻 🔩 🔍 🔍 🕄 🕲 💭 🖺	* *	*
demo.opj • x /- (SCHEMATIC1 : PAGE1) × /- (SCHEMATIC1 : PAGE4)* x	*	
PCB 4 1 3 1		5
PT File 🔓 Hierarchy	n î C	-1
E-Design Resources		rº
P T2 W3 W3		-
AND_CE0_L NAND_DQ0 W2-U		+
T3 NAND ALE NAND DQ3 V4 D	Ď	ĵ
PAGE3	8	jFi
PAGE4"		F °
B-C Design Cache	, in the second s	N
SFLASH_CLK	o,	
	D.	+
	-	┣┃
		2
-:D_GD32F150C4T6 c SFLASH_WP_N P		/**
BCM5830		7
	· · · · · •	Ŧ
demo.opj T5-MAIN-V1.0A.opj	• • •	*
Ready 0 items selected Scale=138% X=6.	.60 Y=2.80	

图 3.51 放置总线分支线

者选择菜单栏中的 Place→Net Alias 命令,总线的命名应遵守一定的原则,示例如 图 3.52 所示。

① 总线的名字不能用数字结尾。

②总线的命名应能体现数据的宽度。

③ 总线命名需用中括号"[]"表示数据的起点和终点,如 DATA[0:15]、 NAND_DQ[0-7]等。



图 3.52 总线命名

(5)总线连线和放置网络标号。用导线把元件引脚与总线的分支线连接起来,同时给每一条导线添加网络标号,示例如图 3.53 所示。



图 3.53 总线连线和放置网络标号

3.5.8 自动连线

Cadence 提供了自动连线功能,在绘制同类型的导线时,使用自动连线功能非 常方便有效,既可以确保连线的正确性,也节省了连线操作的时间。自动连线分三 种方式,根据连线的要求,分别是两点连线、多点连线、总线连线。

(1) 两点连线。

选择菜单栏中的 Place→Auto Wire→Two Points 命令,或者单击工具栏中的

图标 #,光标变成交叉形状,然后移动光标选择连线的起点,如图 3.54(a) 所示。 再选择连线的终点,单击完成两点的自动连线,如图 3.54(b) 所示。



图 3.54 连线的起点和终点

(2) 多点连线。

选择菜单栏中的 Place→Auto Wire→Multiple Points 命令,或者单击工具栏中的 图标 聲,光标变成交叉形状,然后依次选择需要连接的连接点,示例如图 3.55(a)所示。选择完连接点后,右击,弹出如图 3.56 所示的快捷菜单,选择 Connect 选项,即可 完成所选连接点的电气连接,如图 3.55(b)所示。



图 3.55 多点连线



图 3.56 选择 Connect 选项

(3) 总线连线。

选择菜单栏中的 Place→Auto Wire→Connect to Bus 命令,或者单击工具栏中的 Auto Connect to Bus 图标 了,光标变成交叉形状,然后在元件引脚与总线之间进行连线,需先单击元件引脚,然后再单击总线,同时会弹出 Enter Net Name 对话框,可在对话框中输入网络标号,示例如图 3.57 所示。



图 3.57 连接到总线

3.5.9 放置网络连接符

元件与元件之间的电气连接,可以用导线直接连接,也可以用放置网络连接符 的方式来连接,还可以放置页连接符和端口连接符的方式来连接。一般情况下,在 同一张图纸中的信号电气连接使用网络连接符,不同页的信号电气连接使用页连 接符,而端口连接符常用在层次式原理图中。

(1)放置网络连接符。选择菜单栏中的 Place→Net Alias 命令,或者单击工具 栏中的 Place Net Alias 图标 , 弹出如图 3.58 所示的对话框,在 Alias 栏中输入 网络连接符,网络连接符名字必需完全一致才能连接成功。可选择网络连接符的 颜色,单击 Color 选择颜色,也可以选择放置时的角度。输入和设置完网络连接符 后,移动光标把网络连接符放置到连线上,如图 3.59 所示。

(2)放置页连接符,选择菜单栏中的 Place→Off-Page Connector 命令,或者 单击工具栏中的 Place port 图标 ,弹出如图 3.60 所示的对话框,在对话框中选 择元件库 CAPSYM,Symbol 栏会显示页连接符,然后双击所选项,在光标上显示 浮动的页连接符,左击完成放置。放置完成后还需要添加页连接符的名称,添加页 连接符名称的对话框如图 3.61 所示。

图 3.59 放置网络连接符

Place Net Alias ×	
Alias: 0K GPI0_12 Cancel Halp	
Color Font Change Use Default Arial 7 (default)	
NetGroup Aware Ali	GPI0_12

图 3.58 Place Net Alias 对话框

Place Off-Page Connector			
Symbol: DFFPAGELEFT-L OFFPAGELEFT-L OFFPAGELEFT-R Librari(CAPSYM Design Cache	KOFFPAGELEFT-L Name:	OK Cancel Add Library Remove Library Help	
SOURCE	OFFPAGELEFT-L	*	

图 3.60 Place Off-Page Connector 对话框

Display Properties	×
Name: Name Value: OFFEXENTE Display Format Do Not Display Value Only Name and Value Name Only Both if Value Value if Valu	Font Arial 7 (default) Change Use Def Color Rotation 0° 180° 90° 270° Text Justification Default
OK Cance	el Help

图 3.61 添加页连接符名称的对话框

- OFFPAGELEFT-L:箭头在左侧的页连接符。
- OFFPAGELEFT-R:箭头在右侧的页连接符。

(3)放置端口连接符。选择菜单栏中的 Place→Hierarchical Port 命令,或者 单击工具栏中的 Place port 图标 , 弹出如图 3.62 所示的对话框,在对话框中选 择元件库 CAPSYM,Symbol 栏会显示端口连接符,双击拖出所选择的端口连接 符,然后再修改端口连接符名称,修改端口连接符名称的对话框如图 3.63 所示。

ace Hierarchical Port		×
Symbol: PORTLEFT+L		OK
PORTBOTH-L PORTBOTH-R PORTLEFT-L PORTLEFT-R	€ PORTLEFT-L	Kadd Library Remove Library Help
CAPSYM		
Design Cache	Name:	
SOURCE	PORTLEFT-L	
NetGroup Port		v

bishidy rependes	Font
Name: Name	Arial 7 (default)
Value: PORTLEFT-L	Change Use Def
Display Format	Color
 Do Not Display Value Only 	•
Name and Value	Rotation
Name Unly	0° 180°
Both if Value	● 90° ● 270°
Value II Valu	Text Justification
	Default +
OK C	ancel Help

图 3.62 放置端口连接符对话框

图 3.63 端口连接符名称修改对话框

- PORTBOTH-L: 双向箭头端口连接符,连接点在左。
- PORTBOTH-R: 双向箭头端口连接符,连接点在右。
- PORTLEFT-L: 单向箭头端口连接符,连接点在左。
- PORTLEFT-R: 单向箭头端口连接符,连接点在右。
- PORTNO-L: 无箭头端口连接符,连接点在左。
- PORTNO-R:无箭头端口连接符,连接点在右。

3.5.10 放置电源符号和接地符号

没有哪种电路是不用电源的,Cadence 提供了多种电源符号和接地符号供用 户选择,它们是一种特殊的符号,可以形象地代表电源和接地,同时也是一种元件。

(1) 放置电源符号。元件库中有两类电源符号,一类是 CAPSYM 元件库提供的电源符号,具有全局相连的特点,符号如图 3.64(a)所示;另一类是 SOURCE 元件库提供的电源符号,可以设置其电压值,符号如图 3.64(b)所示。

VCC VCC_ARROW VCC_BAR VCC_CIRCLE VCC_WAVE (a) CAPSYM元件库电源符号 (b) SOURCE元件库电源符号

图 3.64 放置电源符号

电源符号的放置方法,选择菜单栏中的 Place→Power 命令,或者单击工具栏中的 Place Power 图标 ₩, 弾出如图 3.65 所示的对话框,在对话框中选择需要的

电源符号即可。

Place Power		×
Symbol: VCC GND_POWER GND_SIGNAL VCC VCC ARROW Librari(CAPSYM Design Cache SOURCE	VCC	OK Cancel Add Library Remove Library Help
NetGroup Power Show UnNamed NetGroup		*

图 3.65 Place Power 对话框

(2)放置接地符号,选择菜单栏中的 Place→Ground 命令,或者单击工具栏中的 Place ground 图标 , 弹出如图 3.66 所示的对话框,在对话框中选择所需要的接地符号,单击 OK 按钮,光标上会显示浮动的接地符号,移动光标把接地符号放置到指定的地方即可,如图 3.67 所示。

Place Ground		×			
Symbol: GND GND GND_EARTH GND FIELD SIGN ▼ Librari4 CAPSYM		OK Cancel Add Library Remove Library Help			
Design Cache	Name:			C36	C37
SOURCE	GND		+	22pF	100nF
NetGroup Ground		×			

图 3.66 选择接地符号

图 3.67 放置接地符号

3.5.11 放置非连接符号

针对不需要连接的元件引脚,放置非连接符号。如果不放置任何连接符号而 让元件的引脚悬空,系统在进行 ERC 检查时会出现警告信息,有可能影响网络文 件的生成。放置的非连接符号,本身不具有任何电气连接特性,其意义是让系统忽 略对此处的 ERC 检查,不输出此处的警告信息,非连接符号也称为 NO ERC 检查 符。放置非连接符号的操作步骤如下。 (1)选择菜单栏中的 Place→No Connect 命令,或者单击工具栏中的图标 [III, 这时光标上拖着一个浮动交叉符号。

(2)移动光标把非连接符放置到指定的器件引脚上,左击即可完成放置,放置 完成后光标仍处于放置非连接符号的状态,重复操作可继续放置,放置了非连接符 的元件引脚如图 3.68 所示。



图 3.68 放置非连接符号

3.6 非电气对象的放置

原理图的非电气对象是指电路图中的文字注释、辅助图片、辅助线等,它们没 有电气属性,但可以增强原理图的可读性,使原理图的界面更清晰。放置非电气对 象不会影响原理图的编译速度,也不会影响系统的 ERC 检查和网表文件的生成。

3.6.1 放置辅助线

放置辅助线可以把原理图的功能模块适当分开,以及通过放置辅助线来标明 电流的流向,让原理图界面的数据更完整,操作方法如下。

(1)选择菜单栏中的 Place→Line 命令,鼠标的光标变成十字形,系统处于绘制直线的状态。

(2)在需要绘制直线的位置上左击,确定起点,移动光标拖出一条直线后单击确定终点。绘制完一条直线后,系统仍处于绘制直线状态,重复上面的方法可继续放置直线。

(3) 右击弹出对话框后选择 End Mode(结束模式)选项,或者按键盘上的 Esc

键,退出绘图模式。

(4) 直线绘制完成后,一般还需要设置直线的属性,双击需要设置属性的直线,弹出 Edit Graphic 对话框,可在对话框内分别设置线型、线宽和线条颜色,如图 3.69 所示。

Edit Graphic ×	Edit Graphic	×	Edit Graphic	×
Line OK	Line	ОК	Line	OK
Line Default Cancel	Line -	Cancel	Line	Cancel
Color Help	Color Default	Help	Color	Help

图 3.69 设置直线的属性

3.6.2 绘制矩形

如果用放置辅助线的方法来绘制矩形,操作过程比较麻烦,需要绘制多条直线,可直接用绘制矩形的命令直接完成矩形的绘制,操作方法如下。

(1) 选择菜单栏中的 Place→Rectangle 命令, 鼠标的光标将变成十字形。

(2)将十字形光标移动到指定位置,单击然后拖动光标拉出一个矩形,然后单击即可完成矩形框的放置。

(3)绘制完成后,一般还需要对矩形框进行属性设置。双击矩形框,弹出 Edit Filled Graphic 对话框,在对话框中可设置矩形的填充样式、线型、线宽等,如图 3.70 所示。



图 3.70 设置矩形框的属性

3.6.3 放置字符

当电路原理图较为复杂时,需要对电路的原理和功能进行描述。这时就需要 放置文本字符,文本字符放置操作方法如下。

(1) 选择菜单栏中的 Place→Text 命令,或者是按快捷键 T,弹出 Place Text 对话框,如图 3.71 所示。

(2) 在对话框的空白处输入字符,同时设置字符的字体、颜色等。

- Color: 字符颜色设置。
- Rotation: 字符角度设置,0°、90°、180°、270°可选。

ace lext	OK
	Cancel
	Help
ess Ctrl + Enter to start	<u>a</u>
Color -	Rotation • 0 • 9 • 1 • 2
Font Change Use Default	Courier New 7 (default)
Taut Tustification	
Text Justification	

图 3.71 Place Text 对话框

• Font:字符的字体设置,单击 Change 按钮,可选择不同的字体,如图 3.72 所示。



图 3.72 字体设置对话框

• Text Justification: 字符的对齐方式,可设置左对齐、右对齐或者中心对齐。

(3) 输入完字符并设置了字体的属性后,单击 OK 按钮,把字符放置在原理图 指定的位置上。

3.6.4 放置图片

Cadence 17.4 提供在原理图中放置图片的功能,在原理图中放置图片的目的 是更加形象地说明电路的功能特点,如把关键的信号时序图放置在其模块电路的 附近等。放置图片的操作步骤如下。

(1) 选择菜单栏中的 Place→Picture 命令,弹出如图 3.73 所示的对话框。

Place Picture	e	\times
查找范围(I):	Cadence 🗸 🕝 🎓 😳 🐨	
★ 读访问 桌面 上 単一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一	名称 Cadence_SPB_17.4-2019 DownloadManager LicenseManager SPB_17.4 SPB_Data	
》 网络	< <p>文件名(N): *.BMDP ブガガ(0) 文件类型(T): Bitmap files (*.bmp) ブ 取消</p>	>

图 3.73 Place Picture 对话框

(2) 在对话框中选择需要放置的图片,注意图片格式仅支持单色的. BMP 文件格式。选择好图片文件后,单击打开按钮,光标将附有一个浮动的图片,把图片放置到指定的位置即可,如图 3.74 所示。



图 3.74 放置图片

3.7 原理图全局编辑

原理图绘制完成后,还需要对整个原理图进行适当的全局编辑,如元件位号的编辑、元件属性的修改和网络标号的修改等,本章将阐述原理图的全局编辑 功能。

3.7.1 元件位号编辑

元件调用时经常会利用元件复制的功能,元件复制后会存在位号不合理等问题,因此需要对元件位号进行全局的编辑,操作方法如下。

(1) 选择菜单栏中的 Tools→Annotate 命令,弹出 Annotate 对话框,在对话框 的 Action 栏选择 Reset part references to"?"选项,如图 3.75 所示。

(2) 在图 3.75 所示的对话框中单击"确定"按钮,复位所有元件的位号,此时 元件位号变成了?,如图 3.76 所示。

(3) 再次选择菜单栏中的 Tools→Annotate 命令,弹出如图 3.75 所示的 Annotate 对话框,在对话框的 Action 栏选择 Incremental reference update 选项。然后 单击"确定"按钮,重新编排所有元件的位号,编排后的元件位号如图 3.77 所示。

3.7.2 元件属性编辑

元件库中的元件会自带一些属性,如果还需要添加元件属性时,可以对元件属 性进行编辑,增加相应的属性项,操作方法如下。

(1)选中元件后并右击,弹出如图 3.78 所示的快捷菜单,然后选择 Edit Properties 选项,或者直接双击元件,弹出如图 3.79 所示的对话框。

(2) 在图 3.79 中单击 New property 按钮, 弹出如图 3.80 所示的对话框, 在 Name 栏输入添加的属性, 如输入 Temperature Range, Value 栏可暂时不填写, 后 续统一填写。

(3) 输入完成后, 单击 Apply 按钮, 这样就添加了元件的属性, 如图 3.81 所示。

3.7.3 网络标号编辑

放置完网络连接符后,在原理图检查的过程中,经常需要对网络标号进行编辑,以便让网络标号更能表达该网络的功能,网络标号编辑操作步骤如下。

(1)选中网络标号后并右击,弹出如图 3.82 所示的快捷菜单。然后选择 Edit Properties 选项,或者双击网络标号,弹出如图 3.83 所示的对话框。

(2) 在 Value 栏输入网络标号,输入完成后,单击 OK 按钮,即完成了网络标号的修改,如图 3.84 所示。

Annotate				×
Packaging PCB Editor Reuse]
Refdes control required				
 Update entire design Update selection 				
Action Incremental reference update Unconditional reference update Reset part references to "?" Add Intersheet References Delete Intersheet References				
Mode Update Occurrences Wpdate Instances (Preferred)	Annotation Type	Defaul	t	Ţ
Physical Fackaging Combined property string:	Additional	ly From	INI :	
{Value}{Source Package}{POWER_GROUP}				
Reset reference numbers to begin at 1 in a	each page			
• Annotate as per PM page ordering Do not change the page number	Annotate as	per pa	ge ordering in	the title
Include non-primitive parts Preserve designator		_		
Preserve User Assigned Valid References Auto-package Heterogeneous Part Using Firm	st Match		Advanced Ann	otation
	确定		取消	帮助

图 3.75 Annotate 对话框



图 3.76 复位元件位号



图 3.77 编排后的元件位号

Mirror Horizontally
Mirror Vertically
Mirror Both
Rotate
Edit Properties
Edit Part
Export FPGA
Show Footprint
Associate PSpice Model
Edit PSpice Model
Edit PSpice Stimulus
Export Parameters to Optimizer
Import Model Parameters
Descend Hierarchy
Synchronize Up
Synchronize Down
Synchronize Across
Connect to Bus

图 3.78 选择 Edit Properties 选项

Add New Property	×
Name:	
Temperature Range	
Value	
Display [ON/OFF]	
Enter a name and click Apply or OK to add a column/row to the property editor and optionally the current filter (but not the «Current properties» filter).	
No properties will be added to selected objects until you enter a value here or in the newly created cells i: the property editor spreadsheet.	n
Always show this column/row in	
Apply OK Cancel Help]

图 3.80 Add New Property 对话框

	Rotate	
	Edit Properties	
	Connect to Bus	
	Lock	
	UnLock	
	Assign Power Pins.	
	Ascend Hierarchy	
	Selection Filter	Ctrl+I
Q	Fisheye view	
	Zoom In	1
	Zoom Out	0
	Go To	
	Previous page	Shift+F10
	Next Page	F10
à	Find	Ctrl+F

New Prope Appl	y Disp Delete Pro
	A
	+ SCHEMATIC1 : PAGE2
Color	Default
Designator	
Graphic	DRV8833_3.Normal
D	
Implementation	
Implementation Path	
Implementation Type	<none></none>
Location X-Coordinate	200
Location Y-Coordinate	330
Name	INS10711
Part Reference	U2
PCB Footprint	
Power Pins Visible	Г
Primitive	DEFAULT
Reference	U2
Source Library	D:\项目1\DEMO.DSN
Source Package	DRV8833_3
Source Part	DRV8833_3.Normal
Value	DRV8833

图 3.79 元件属性对话框

	SCHEMATIC1 : PAGE2
Color	Default
Designator	
Graphic	DRV8833_3.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none></none>
Location X-Coordinate	200
Location Y-Coordinate	330
Name	INS10711
Part Reference	U2
PCB Footprint	
Power Pins Visible	Γ
Primitive	DEFAULT
Reference	U2
Source Library	D:\项目1\DEMO.DSN
Source Package	DRV8833_3
Source Part	DRV8833_3.Normal
Temperature Range	•
Value	DRV8833

图 3.81 添加元件属性

Name: Name	Font Arial 7 (default)
Value: Display Format Do Not Display Value Only Hame and Value Mame Only Both if Value Value if Valu	Calor Rotation 0° 180° 90° 270° Text Justification
OK Ca	Default -

图 3.82 选择 Edit Properties 选项 图 3.83 Display Properties 对话框



图 3.84 网络标号编辑

3.7.4 原理图的查找功能

复杂的原理图很难直接找到某个元件或者某个网络标号,这时可以使用系统的查找功能来快速定位和查找元件,Cadence OrCAD 提供了类似 Windows 的查找功能。

(1) 按快捷键 Ctrl+F,或者是单击工具栏中的 Searchs in Design or Schematic 图标 , 弹出如图 3.85 所示的界面。

Find		
	•	Find
Fin		
✓ Parts	Di	fferent
Part Pins	Phy	ysical
🔲 Hierarchica	El	ectric
🖌 Hierarchical	Sp	acing CSet
✓ Off-Page-Connec	- Ma	tched G
✓ Nets	C1	822
Flat	🗸 Tes	ĸt
Floating	DR	C Markers
Power/GND	Ti	tleB
Variant	✔ Bo	okmarks
ind		
Match case		
🔲 Use Regular Expre		
Property Name=Value		

图 3.85 网络标号查找

(2)选择查找范围,单击界面左侧的工程文件进行选择,如选择单页只能在该页内查找,如选择工程文件则可在全局范围内查找。选择单页范围查找如图 3.86 所示,选择全局范围查找如图 3.87 所示。



图 3.86 选择单页范围查找

图 3.87 选择全局范围查找

(3)执行查找,选择好查找范围后,在图 3.85 所示的界面输入要查找的内容,如需精准查找可勾选相应的项进行查找,然后单击 Find 按键,查找结果会在界面的下方显示出来,如图 3.88 所示(以查找网络标号 PRN_STB1 为例)。

OrCAD Capture-[/	- (MAIN : PAGE13- pri	nt)]				- 🗆	
File Design Edit	View Tools Place	PCB SI Analysis	PSpice Accessories	Options Wind	ow Help	cādeno	ce®
0686) ¢ # ¶	PORTNO-L	· Ē. (€ Q & Q & _	9	*
779.орј 🔻 х	/ - (MAIN : PAG	iE13- print) ×	/ - (MAIN : PAGE13-prin	nt2)* ×	₹ Find	* ×	
File File ↓ gn Resources ▲ √79.dsn* MAIN* ▲ PAGE10 - > PAGE10 - - > PAGE11 - - > PAGE10 -	FAULT SYS_30 R160 H	R146 15k0 	2 SPI2 MOSI R151 3 SPI2 SCK R152 3 PRN_STB1 R157 3 PRN_STB1 R157 3 PRN_LATCH MTA MTA MTA MTA 1	30 50 50 50 50 50 50 50 50 50 5	Find PRN_SIB1 Fin Parts Part Pins Hierarchica Wiferarchical Off-Page-Connec Nets Plat	 Find Different. Physical. Spacing CSe Matched G. Class Text 	
Find Results				-	× Floating	TitleB	-t-
Off-Page-Connectors	Nets Floating Nets				Variant	Bookmarks C	о Э
Object ID	Net Name	Page	Page Number	Schematic Pin	Find		10
PRN_STB1	PRN_STB1	PAGE13- print	No Title Block Present	MAIN\ R1	==	2	¥**
PRN_STB1	PRN_STB1	PAGE13-print2	No Title Block Present	MAIN\ R1	Match case		$\overline{\tau}$
PRN_STB1	PRN_STR1	PAGE2	No Title Block Present	MAIN\ R2	Property Name=Value		
Find Results Navigation Window					+		
Ready		0 items	selected		Result Scale=	100% X=7.95 Y=	=2

图 3.88 PRN_STB1 网络符合查找结果

(4) 双击查找的结果,图纸将跳转到查找内容的原理图页面,系统将用粗线条显示出来,如图 3.89 所示。



图 3.89 查找到的内容

3.8 原理图后期处理

原理图设计完成之后,在 PCB layout 之前,硬件工程师除了进行原理图的自查外,还需要利用 Cadence OrCAD 自带的工具对原理图进行一些后期处理,确定原理图电气连接的正确性,以及避免一些常规性的错误。

3.8.1 设计规则检查

设计规则检查(Design Rules Check)是指按照一定的电气规则,检查已经绘制 好的原理图中是否存在违反电气规则的错误,例如电气特性是否一致、电气参数设 置是否合理、元件位号是否重复等。

(1)选择菜单栏中的 PCB→Design Rules Check 命令,或者单击工具栏中的 Design Rules Check 图标 , 弹出 Design Rules Check 对话框,如图 3.90 所示,对 话框中有 5 个选项,分别是 Options、Rules Setup、Report Setup、ERC Matrix、 Exception Setup,说明如下。

① Online DRC 栏:选择 ON 即可,开启 DRC 检查。

② DRC Action 栏:选择 Run on Design,即 DCR 检查整个工程项目的原 理图。

Design Rules Check		×
Options	Online DRC	On 👻
Rules Setup	✓ Batch DRC	
Report Setup	DRC Action	Run on Design 👻
ERC Matrix	Use Properties (Mode)	Instances (Preferred) -
Exception Setup	Warning	Create DRC Markers 👻
	Waived DRC	Do Not Preserve 👻
	Show DRC Outputs	DRC Window 👻
	Report	D:\书籍1\原理图\SHOUCHIPOS (
		Run Cancel Apply Help

图 3.90 DRC 检查的 Options 选项

③ Use Properties(Mode)栏: DRC 模式选择,选择 Instances(Preferred)模式即可。

④ Warning 栏:警告信息处理方法,选择 Create DRC Markers,即发生错误时 产生警告信息。

⑤ Waived DRC 栏:选择 Do Not Preserve 即可。

⑥ Show DRC Outputs 栏:选择默认项 DRC Window 即可。

⑦ Report 栏: DRC 报告输出位置,一般和工程文件在一个目录下。

(2) Rules Setup 选项的内容如图 3.91 所示,选项栏含义说明如下。

sign Rules check	Electrical Pular		
Options		Batch	Online
Rules Setup	Check single node nets	~	~
Report Setup	Check no driving source and Pin type conflicts	~	
EPC Matrix	Check duplicate net names	~	~
ENC MIDUIX	Check off-page connector connections		
Exception Setup	Check hierarchical port connections		
	Check unconnected bus nets	~	
	Check unconnected pins	~	
	Physical Rules Custom DRC		
	Run Conce	L Apply	Hele

图 3.91 DRC 检查的 Rules Setup 选项

134 电路原理图全能设计——从初级到资深

① Check single node nets: 检查单节点网络。

② Check no driving source and Pin type conflicts: 检查驱动器引脚的特征, 该项只有在高速仿真时才用到。

- ③ Check duplicate net names: 检查重复的网络名称。
- ④ Check off-page connector connections: 检查跨页连接符的正确性。
- ⑤ Check hierarchical port connections:检查层次式原理图的连接性。
- ⑥ Check unconnected bus nets:检查未连接的总线网络。
- ⑦ Check unconnected pins: 检查未连接的元件引脚。
- (3) Report Setup 选项的内容如图 3.92 所示,选项栏含义说明如下。

Design Rules Check			×
Options Rules Setup Report Setup ERC Matrix Exception Setup	Electrical DRC Reports Report all net names Report off-grid objects Report hierarchical ports and off-page connectors Report misleading tap connections V Physical DRC Reports	Enable	
	Run Cancel Apply	Help	

图 3.92 DRC 检查的 Report Setup 选项

- ① Report all net names:列出所有网络的名称。
- ② Report off-grid objects:列出未放置在格点上的对象。
- ③ Report hierarchical ports and off-page connectors:列出层次式原理图的端口。
- ④ Report misleading tap connections:列出错误的连接。

3.8.2 输出第一方网络表

绘制原理图的最终目的是设计出 PCB,要设计出 PCB,就需要建立网络表,即器件与器件之间的连接关系。只有正确的原理图才可以输出完整无误的网络表,在输出网络表之前,要进行原理图的 DRC 检查和排除 DRC 检查中的错误。

第一方网络表是指用于 Allegro PCB Editor 的网络表文件,输出第一方网络 表的操作方法如下。

(1) 选中原理图的根目录,选择菜单栏中的 Tools→Create Netlist 命令,或者

OrCAD Capture-[/ - (SCH)	:MATIC1 : PAGE1)]	- 🗆 ×
File Design Edit View	Tools Place PCB SI Analysis PSpice Accessories Options Window Help	cādence®
emo.opj	U Annotate □ Back Annotate (- (SCHEMATIC1 : PAGE1)* ×	3. ⊌ ¤ ₽ < `` ``
PCB	Update Properties	
File File Hierarchy	Test Bench	······································
Design Resources	Create Netlist P_MA P_MA P_MA Create Differential Pair P_MB P_MB P_MB P_MB P_MB P_MB P_MB P_MB	÷ 6.************************************
PAGES → ③ PAGE4 → ③ PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE5 PAGE4 → ③ PAGE5 PAGE5 PAGE4 → ③ PAGE5 PA	Export Properties SPI2_MOSI >> SPI2_MOSI Import Properties SPI2_SCK >> SPI2_SCK	1 % Z
Layout Control Referenced Project PSpice Resources Logs	Generate Part /PRN_LATCH>/PRN_LATCH Export FPGA PRN_STB1> Split Part PRN_STB1> Assign Power Pins PRT_PS Associate PSpice Model PRN_TM	-
Create a netlist.	Sync NetGroup Customize Utilities	Scale=104% X=0.20 Y=5.10

单击工具栏中的 Create Netlist 图标 🖺,操作过程如图 3.93 所示。

图 3.93 选择 Create Netlist 命令

(2) 选择 Create Netlist 命令后,弹出如图 3.94 所示的对话框,勾选 Create PCB Editor Netlist 选项。

PCB EDIF 200 IN	F PSpice SPICE Verilog VHDL Other	
Combined property PCB Footprint	string:	
Create PCE Editor	Netlist	Setup
Netlist Files	allegro	

图 3.94 网络表对话框

(3) 在图 3.94 中单击右侧 Setup 按钮,弹出如图 3.95 所示的对话框,选项 Ignore Electrical constraints 可不勾选,因为绘制原理图时一般不会设置 PCB 规则,然后单击 OK 按钮,即完成了第一方网络表的输出。

Setup	×
Cfg Config Configuration 17.4-2019\tools\capture\allegro.cfg Edit Backup 3	
Miscellaneous Device/Net/Pin 255 Name Char Limit Suppress Varnings: Ignore Electrical cons Add Remove]
OK Cancel Help	

图 3.95 网络表的设置对话框

3.8.3 输出第三方网络表

第三方网络表是指除了 Allegro PCB Editor 以外的网络表文件, Cadence OrCAD 可输出多种 PCB 软件对应的网络表,输出第三方网络表的操作步骤如下。

(1) 选择原理图根目录,选择菜单栏中的 Tools→Create Netlist 命令,操作界 面如图 3.96 所示。

OrCAD Capture-[/ - (SCHEN	IATIC1 : PAGE4)]	- 🗆 ×
File Design Edit View	Tools Place PCB SI Analysis PSpice Accessories Options Window Help	cādence®
0688.1	S Annotate Back Annotate Back Annotate Cust Decement » » » » »	
demo.opj ♥	Update Properties	k
PCB	Test Bench	≜ □
Design Resources	Create Netlist	Γ ,
根目录 ② Ndemo.dsn 一 ② SCHEMATIC 一 ③ PAGE1 一 ③ PAGE2 一 ④ PAGE3 一 ③ PAGE4 ④ Design Cach ⑧ Dibrary — Layout — Outputs — Referenced Projects	Create Differential Pair 4D Crost Create Differential Pair 4D Crost Reference NAND_DOI InterSheet References NAND_DOI Bill of Materials W3 Export Properties NAND_DO3 Import Properties NAND_DO3 Generate Part SFLASH_CLK Split Part SFLASH_MOS Split Part SFLASH_MOS Statest Holdon SFLASH_MOS YI Sense To Sense	* <mark>*</mark> * ** ** ** ** ** **
Logs	Assign Power miss Associate PSpice Model Sync NetGroup Customize	▼ ▼ ↓ ↓
Create a netlist.	Utilities	ji.

图 3.96 选择根目录和 Create Netlist 命令

(2)选择 Create Netlist 命令后,弹出如图 3.97 所示的对话框,在对话框中选择 Other 选项卡,并在 Formatters 栏中选择要输出的第三方 PCB 软件,然后单击 OK 按钮即可完成。

CR EDIE 2.0.0 INE Depice SPICE Varilog VHDI Other	
CD EDIT 200 INF Papice article Veniog VIDE Other	
Part Value FCB Footprint	
Combined property string: Combined property string:	
{Value} {PCB Footprint}	
Formatters: Options	
orPadspcb64.dll	
orHilo64.dll orInteladf64.dll orIntergra64 orMultiwir64.dll orOhdInet64.dll orPadspcb64 orPcad64.dll	
Version: 17.4.0 Oct 7 2019	
Netlist File View Output 1.	
D:\项目1\DEMO2.asc	Browse
Netlist File 🗌 View Output	
D:\项目1\DEMO2.CMP	Browse
Use Config File Netlist Config File	Browse
确定 取消	帮助

图 3.97 输出第三方网络表

3.8.4 BOM 表输出

Cadence OrCAD 提供了较为灵活的 BOM 表输出功能,可对 BOM 表的输出 项进行编辑、增加和删除,BOM 表输出的操作步骤如下。

(1) 选中原理图的根目录,选择菜单栏中的 Tools→Bill of Materials 命令,或 者单击工具栏中的 Bill of Materials 图标 **1**,操作界面如图 3.98 所示。

(2) 选择 Bill of Materials 命令后,弹出 Bill of Materials 对话框,如图 3.99 所示,在对话框中须设置相关项的内容,说明如下。

① Scope 栏:选择 Process entire design,即生成整个设计的 BOM 表。

② Mode 栏:选择 Use instances(Preferred),即使用当前属性。



图 3.98 输出 BOM 表操作界面

Scope	Mode	01
• Process entire d	• Use instances (Preferred)	
Process selec	Use occurrences	Cancel
Line Item Definition		Help
Header:		
Item\tQuantity\tReference\tF	Part	
Combined property string	5:	
(here) by (Ourselbe) by (Deferrers	-1067-11	
(Reference)	e)\t(value)	
Place each part entry Include File	on a sepa ☑ Open in Excel	
Place each part entry Include File	on a sepa 🗹 Open in Excel	
Include File Merge an include file Combined property stri	on a sepa V Open in Excel	
Include File Merge an include file Combined property stri ((tem)\t(Quantity)\t(Reference))	on a sepa V Open in Excel wi ng: nce)\t{Value}	
Include File Merge an include file Combined property stri ((tem))t(Quantity))t(Reference Include	on a sepa V Open in Excel wi ng: nce)\t{Value}	
Include File Merge an include file Combined property stri ((tem)\t(Quantity)\t(Referent Include D:\UNE INDEMO.INC	on a sepa Ø Open in Excel wi ng: nce)\t(Value} Browse	
Themry (Quantity) ((Heference)) Place each part entry Include File Merge an include file Combined property stri ((tem))((Quantity))((Reference)) Include D:以页目1\DEMO.INC Report	on a sepa Ø Open in Excel wi ng: nce\tt(Value) Browse	
Incentry (quarkity) (therefore Place each part entry Include File Merge an include file Combined property stri (tem))t(Quankity)\t(Referent Include D:以页目1\DEMO.INC Report View Outp	on a sepa Open in Excel wi ng: nce\\t{Value} Browse	

图 3.99 Bill of Materials 选项

③ Line Item Definition 栏: 定义 BOM 表的内容选项,默认的选项有 Item、 Quantity、Reference、Part,除了这些,也可以添加新的选项。

④ Place each part entry on a separate line 选项:一般情况不用勾选,如果勾选,BOM 表中的每个元件占一行。

⑤ Open in Excel 选项:一般情况应勾选,BOM 表用 Excel 的方式打开。

⑥ Merge an include files with report 选项:不用勾选,如勾选则在 BOM 表文 件中加入其他文件。

⑦ View Output 选项:一般不用勾选此项,如果勾选则在创建 BOM 清单后 打开输出的结果。

(3) 在图 3.99 中设置好选项后,单击 OK 按钮,即可完成 BOM 表的输出,输出 Excel 格式的 BOM 表稍作调整,输出的 BOM 表如图 3.100 所示。

×∄	- ک 🖬	¢- ≠	DEMO - Microsoft Excel	? 🗹 — 🗖 🗙
文	件开始	計 插入 页面存	行局 公式 数据 审阅 视图	□ 泰登
北川	₩ ¹ ¹ ¹ ¹ ¹ ¹ ¹ ¹ ¹ ¹	έ¢ Ι <u>υ</u> • ⊞ •	<u> </u>	件格式・
剪则	版 5.	字体	г。 对齐方式 г。 数字 г。	样式 单元格 编辑 ^
J10	· · · ·	$\times \checkmark f_x$ d		•
1	А	В	С	D
1	Item	Quantity	Reference Part	
2	1	11	C1, C2, C92, C93, C138, C139, C148, C149, C150, C151, C15 3	10V
3	2	6	C3, C50, C94, C95, C96, C152 47uF/	10V
4	3	3	C12, C15, C16 10nF/	X7R
5	4	2	C18, C28 39pF/1	NPO
6	5	2	C19, C24 150pF	/NPO
7	6	2	C20, C29 NC_68	pF/COG
8	7	2	C22, C26 220pF	/X7R
9	8	19	C23, C27, C78, C80, C81, C82, C83, C84, C85, C86, C105, C1 06, C108, C109, C110, C155, C160, C161, C162	NPO
10	9	7	C30, C35, C36, C41, C49, C56, C114 15pF/	NPO
11	10	2	C38, C47 470nF	/16V
12	11	3	C42, C43, C45 22pF/	NPO
13	12	1	C44 10pF/	NPO
14	13	1	C48 18pF/	NPO 🔻
4	⊨ E	DEMO (+)	: 4	

图 3.100 Excel 表格 BOM 清单

3.9 打印输出

为了方便原理图的直接浏览,或者是发给其他人阅读,经常需要将原理图打印出来。OrCAD Cadence 提供的原理图打印功能还算不错。

3.9.1 打印属性设置

打印原理图是一件愉快的事情,此时原理图的绘制已完成,原理图的编辑和后期处理也已完成。不过在打印之前,需要进行打印机属性的设置,不要匆匆忙忙的打印,打印属性设置操作步骤如下。

(1) 选择菜单栏中的 File→Print Setup 命令,弹出如图 3.101 所示的对话框, 在对话框中设置相关内容,说明如下。

打印设置			×
打印机			
名称(N):	Lenovo M7206W	~	属性(P)
状态:	准备就绪		
类型:	Lenovo M7206W		
位置:	USB001		
备注:	M7206W		
紙		方向	
大小(Z):	A4 ~		○纵向(O)
来源(S):	纸盒1 ~	A	◉ 横向(A)
帮助(H)	网络(W)	确定	取消

图 3.101 "打印设置"对话框

- 打印机选项:选择具体的打印机名称,或者输出 PDF 文档。
- 纸张选项:设置打印机所需纸张的尺寸,一般选择 A4 纸张。
- 方向选项:一般选择横向。
- 属性选项:单击属性按钮,可进一步设置所选打印机的属性,如图 3.102 所示。

参 Lenovo M7206W 属性		? ×
	基本 高级 快捷设置	
	纸张大小(Z)	A4 ~
	方向	○纵向(T) ● 橫向(L)
alla 🔍	份数(C)	1 🔄 逐份打印(E) 普通紙
	分辨率(I)	600 dpi ~
纸张大小: A4	打印设置(N)	图形 ~
(8.3 x 11.7 英寸)		手动设置(S)
	多页(G)	正常 ~
分辨率: 600 dp1 双面打印/小册子打印:	页序(0)	向右,然后向下 ~
元 缩放 : 关	双面打印/小册子打印(K)	无 ~
水印:关		双面打印设置(I)
□打印预览(P)		
添加快捷设置…(J)		默认值(D)
技术支持(U)	确定	取消 帮助(H)
小··µ·· ☆ □打印预览(t) 添加快捷设置…(J) 技术支持(u)	确定	双面打印设置(x) 對认值(0) 取消 帮助(x)

图 3.102 打印机属性设置

(2)设置完成后,在图 3.102 中单击"确定"按钮保存设置项,即可完成打印机 属性设置。

3.9.2 局部打印设置

有时只需要打印局部的原理图,Cadence OrCAD 提供了局部打印功能,该功能必须在原理图的编辑窗口才能被激活。

(1)选择菜单栏中的 File→Print Area→Set 命令,此时光标变成十字型,在原 理图的编辑界面拖动光标拉出一个适当大小的虚线框,将所需要打印的电路图设 置在该区域内,如图 3.103 所示。



图 3.103 局部打印设置

(2)如果需要重新选择打印区域,选择菜单栏中的 File→Print Area→Clear 命令,先取消已经设置的局部打印区域,然后再选择菜单栏中的 File→Print Area→Set 命令即可。

3.9.3 打印预览与打印

为了保证打印效果,在打印设置完成后应进行预览,看看打印出来的效果是什么样子的,是否符合我们的预期。

(1)选择菜单栏中的 File→Print Preview 命令,弹出如图 3.104 所示的 Print Preview 对话框,注意如果打印属性设置的是转换成 PDF,部分预览项的功能将受 到限制。

• Scale: 设置打印比例,选择 Scale to paper size 是将原理图依照 Schematic

Page Properties 对话框中 Page Size 栏设置的尺寸打印。选择 Scale to page size 是将原理图依照本对话框 Print Preview 中的 Page size 栏设置的 尺寸打印。选择 Scaling 是将原理图按缩放比例打印。

- Print offsets:设置打印纸的偏移量。
- Print quality:设置打印品质(分辨率)。
- Copies:设置打印的份数。
- Print all colours in black: 如勾选此项,将采用黑白两色打印。

(2) 设置完打印预览选项后,单击 OK 按钮进行预览。

(3)如打印预览符合预期要求,将界面切换到项目管理器,选择菜单栏中的 File→Print 命令,弹出如图 3.105 所示的对话框,单击 OK 按钮开始打印。



图 3.104 打印预览对话框

图 3.105 打印对话框

3.10 原理图绘制实例

通过前面章节的介绍,相信读者已经理解了原理图绘制的全过程。本节将给 读者讲述一个实例,把理论与实践相结合,复习前面讲述的操作方法。练习、练习、 再练习,通过练习熟能生巧,任何技能的掌握都离不开练习,绘图也不例外。下面 以绘制 STM32F103 开发板举例说明,电路由 STM32F103 最小系统、电源电路等 组成。

3.10.1 工程文件创建

原理图绘制的第一步是建立原理图工程文件,创建一个原理图工程文件的操 作方法如下。

(1) 选择菜单栏中的 File→New→Project 命令,操作过程如图 3.106 所示。



图 3.106 创建工程项目

(2) 在弹出的对话框中,输入工程文件的名称和设置工程文件的存放路径,如 图 3.107 所示,然后单击 OK 即可完成工程文件的创建。

New Projec	t	×
Name	STM32F103 Develop Board]
Location	D:项目]
	Enable PSpice Simu	
	OK Cancel Help	

图 3.107 New Project 对话框

3.10.2 元件库创建

一般情况新项目需要创建一个新的元件库,把项目中引入新器件的封装放置 在该元件库中,以方便元件的管理和调用,元件库创建操作步骤如下。

(1) 选择菜单栏中的 File→New→Library 命令,操作界面如图 3.108 所示。

(2) 选择完命令后,在界面左侧 Library 目录下显示出新建元件库的名称,即

0.	DrCAD Capture-[D:\项目1\	SD BOARD.	opj]							- 0	×
File	e Design Edit View	Tools Pla	ace PCB SI Analysis	PSpice	Accessories	Options	Window	Help		cāde	en ce®
	New Open •))	ら 🔅 📭 Demo Designs		: PAGE1) ×	· Ē	€	ର୍ପ ପ୍ରି ଭ	. . .	*	»
	Close	Ctrl+F4	Project		4		1	3			R
B	Save Check and Save	Ctrl+S	Design Library 🗲 🗕							:::: :	<u>,</u>
	Save As		VHDL File Verilog File								>+
	Archive Project		Text File PSpice Library								8
	Import Export										8 8 8
	Print Preview	Ctrl+P									Z,
	Print Setup										+
	Print Area				n si si fatta a a af k Via ta fatta a af k Via ta fatta a a af k					•	
<		ľ				0 ite	ms selecte	ed			

图 3.108 新建元件库操作过程

完成了元件库的创建,如图 3.109 所示。

OrCAD Capture-[/ - (SCHEMATIC1 : PAGE1)]	- 🗆	×
File Design Edit View Tools Place PCB SI Analysis PSpice Accessories Options Window Help	cāden	ce®
□□□□=.%□□>৫₩чӊ •€.€Qは@8.0	» »	*
STM32F103 Develop Board.opj 💌 x Start Page 🗶 / - (SCHEMATIC1 : PAGE1) x	-	
PCB 5		*
File File Hierarchy		4
- Design Resources		J.
arr III - Stans2f103 develop board		>-
		- -
B P Design Cache		٦ م
⊟- — Library		5
⊕_f [] \\ibrary1.olb* ←		*
- Layout		N
Cutputs Projects		-0
⊕- ☐ PSpice Resources		-H-
Logs		-
		2
		Vaa
		U
	► <►	• *
Ready		

图 3.109 新建元件库

3.10.3 新元件制作

新的工程文件会引入新的元件,需要在新建的元件库中添加元件,以新建 STM32F103-LQFP48元件封装举例说明,操作方法如下。

(1) 在新建的元件库中添加元件,操作界面如图 3.110 所示,选中元件库后右击,在弹出的快捷菜单中选择 New Part 选项。

OrCAD Capture-[/ - (SCHEMATIC1	1 : PAGE1)]	- 🗆	×
File Design Edit View Tools	Place PCB SI Analysis PSpice Accessories Options Window Help	cāden	<u>ce</u> ®
0 🗁 🗃 🖶 🗶 🖸	ⓑ ๖ ৫ ч म · • € . • € • •	» : » : • • •	*
STM32F103 Develop Board.opj	Start Page / - (SCHEMATIC1 : PAGE1) ×		
PCB	5		
File 🛱 Hierarchy			4
Design Resources			_ Г ²
السبية .\stm32f103 develop bo	pard la		
SCHEMATIC1			+
PAGE1			<u>*</u>
E Design Cache			5 F8
i⊡ f⊡ .\library1.olb*			* *
	New Part		N
Outputs	New Part From Spreadsheet		17
Referenced Projects	New Symbol	r	_ר°
	Library Properties		-
	Save		о Э
	Save As		1.0
	🗶 Cut		₩.
4	С Сору	▼	
	D Paste	E SP	• ¥
Create new part in the library.	Open File Location		đ

图 3.110 添加元件操作过程

(2) 选择 New Part 命令后,弹出如图 3.111 所示的对话框,在对话框中的 Name 栏输入 STM32F103-LQFP48。

Name: STM32F103-LQFF	248	OK
Part Reference	l	Cancel
CB Footprint:		Part Aliases
Create Convert View -Multiple-Part Package -		Attach Implementa
Parts per 1		Help
Package Type • Homogeneous	Part Numbering Alphabetic Numeric	₹Pin Number V

图 3.111 添加元件

(3) 输入 STM32F103-LQFP48 后,单击 OK 按钮进入元件的编辑,如图 3.112 所示。

(4) 绘制元件的外框,选择菜单栏中的 Place→Rectangle 命令,放置一个矩形框,如图 3.113 所示。矩形框放置完成后,需对矩形框的大小进行调整,以便元件引脚的放置。



图 3.112 元件编辑界面



图 3.113 绘制元件的边框

(5)放置元件引脚,选择菜单栏中的 Place→Pin 命令,弹出如图 3.114 所示的 对话框,在对话框的 Name 栏输入元件引脚的名称,在 Number 栏输入引脚的序 号,其他项选默认值即可。然后单击 OK 按钮把元件引脚放置在元件边框合适的 位置上,可以按元件外框逆时针放置元件引脚,如图 3.115 所示。

Place Pin		3	U?									
Pin Properties			5. 2									
Name:			5.1									
			2.0									
Number:		· ·	VBAT									
Shaner	line		PC13	-ANT	I_TA	MP						3
Shape	Line	· <u> </u>	PC14	-OSC	32_	IN ·						-
Type:	Passive	5	PC15	-OSC	32_	001						
147.141		6	PDO	USC_	IN	-						1
Width:	Scalar	7	NDO	usc_	001							
Din Visible	Urer Properties		INKS									
FIII VISIDIE	OserProperties											
Additional Op	tions		1.1									
Din# Increment	for Next Din 1											
Fill# increment		A 100 M 14										
Pin# Increment	for Next Section	4.4.26.8	20.1									-
			1 a. 1									1
			- 0 C - A -									-
	OK Cancel He	1.1.1.1.1	L				 	 	 	 	 *****	
		<	vaiue>									

图 3.114 Place Pin 对话框

图 3.115 逆时针放置元件引脚

(6) 逐个放置元件引脚,直到把所有的元件引脚放置完为止,在放置的过程中 要适当调整引脚与引脚之间的间距,避免引脚名称字符有重叠的情况,制作完成的 元件封装如图 3.116 所示。



图 3.116 STM32F103-LQFP48 元件封装

3.10.4 图纸尺寸设置

Cadence OrCAD 17.4 默认的图纸是 A4 纸,由于该原理图的元件较多,须设

置为 A3 图纸,图纸尺寸设置方法如下。

(1) 选择菜单栏中的 Option→Schematic Page Properties 命令,如图 3.117 所示。



图 3.117 图纸尺寸设置

(2) 选择 Schematic Page Properties 命令后,弹出如图 3.118 所示的对话框, 选择 A3 图纸,然后单击"确定"按钮,即完成了图纸尺寸的设置。

Schematic Page Prop	perties			×
Page Size Grid Re	ference Mi	scellaneous		
Units				
Inches	⊛ Milli	meters		
New Page Size	Width	Height		
A 4	297.000	210.000	millimeters	
A3	420.000	297.000	millimeters	
■ A2	594.000	420.000	millimeters	
● A1	841.000	594.000	millimeters	
OA 🌑	1189.000	841.000	millimeters	
Custom	386.080	246.380	millimeters	
Pin-to-Pin Spac	ing:	2.540	millimeters	
		确	淀 取消 詳	帮助

图 3.118 Schematic Page Properties 对话框

3.10.5 元件放置与布局

完成了图纸尺寸的设置后,把元件逐个放置在图纸的界面中,元件放置与布局 操作步骤如下。 (1) 在原理图的绘图界面,选择菜单栏中的 Place→Part 命令,或者单击工具 栏中的 Place Part 图标 ,在界面的右侧弹出如图 3.119 所示的界面。在界面中 选择相应的元件库,然后再选择元件,双击该元件,把该元件放置到图纸中。如调 用相同的元件,为了简化操作,也可以采用复制和粘贴的方式来放置元件。



图 3.119 Place Part 界面

(2) 调整元件的位置,使元件均匀布局在图纸上,同时放置电源符号,如图 3.120 所示。

3.10.6 电气连接的放置

元件放置好之后,需要对元件之间的电气连接进行处理,这是原理图绘制较为 重要的环节。在电气连接的过程中,还会对元件的位置进行重新调整,以便元件之 间的连接更顺畅。

(1) 选择菜单栏中的 Place→Wire 命令,如图 3.121 所示。或者单击工具栏中的 Place wire 图标 ,即进入连线模式。

(2) 电气连接,根据设计要求进行元件引脚的电气信号连接,并放置网络连接符,连通后的原理图如图 3.122 所示。

3.10.7 元件位号重新排序

在元件调用和放置的过程中,元件的位号排序可能存在不规范或者重复的情况,这将会影响后期设计输出,需要对元件位号进行重新排序,操作方法如下。



图 3.120 放置元件和电源符合

OrCAD Capture-[/ - (SCHEMATIC	- PAGE1)]	□ ×
File Design Edit View Tools	Place PCB SI Analysis PSpice Accessories Options Window Help	idence®
File Design Edit View Tools STM32F103 DEV *	Place PCB SI Analysis PSpice Accessories Options Window Help Call Part PSpice Component P Image: Component Image: Comp	dence ***********************************
yout utputs J 小班 @ 浩晓庵stm32f10 iferenced Projects ipice Resources rgs 4 4 4	Image: Hierarchical Block Image: Description of the second	╡ ╡ ╴╴╸╸╴ ・ ・ ・
Place a wire. (Shortcut Key: W)	Title Block Scale=138% X=4	.85 Y=1.C!

图 3.121 进入连线模式

(1) 清除原来的编号。

选择菜单栏中的 Tools→Annotate 命令,在对话框的 Action 栏中选择 Reset Part References to "?"选项。然后单击"确定"按钮,复位所有元件的位号,可以看 到复位后元件位号变成了?,如图 3.123 所示。

(2) 重新编号,选择菜单栏中的 Tools→Annotate 命令,在对话框的 Action 栏 中选择 Incremental Reference Update 选项,然后单击"确定"按钮,重新编号后的 原理图如图 3.124 所示。

3.10.8 DRC 检查

完成了原理图的绘制后,需要进行 DRC 检查,即对电路原理图进行设计规则检查,确认元件封装的正确性、电气连接的正确性和电源连接的正确性。

(1)选择菜单栏中的 PCB→Design Rules Check 命令,或者单击工具栏中的 Design Rules Check 图标 ②。弹出 Design Rules Check 对话框,对话框中有 5 个 选项,分别是 Options、Rules Setup、Report Setup、ERC Matrix、Exception Setup。 其中 Report Setup、ERC Matrix、Exception Setup 按默认值即可。

(2) Options 选项按图 3.125 设置, Rules Setup 选项按图 3.126 设置, 然后单击 Run 按钮, 开始 DRC 检查。



原理图电气连接





元件位号重新编号 3.124

Design Rules Check		×
Options	Online DRC	On 👻
Rules Setup	V Batch DRC	
Report Setup	DRC Action	Run on Design 👻
ERC Matrix	Use Properties (Mode)	Instances (Preferred)
Exception Setup	Warning	Create DRC Markers
	Waived DRC	Do Not Preserve 👻
	Show DRC Outputs	DRC Window 👻
	Report	D:\项目\STM32F103 DEVELOP B
		Run Cancel Apply Help

图 3.125 Options 选项

Design Rules Check			×
Options Report Setup ERC Matrix Exception Setup	 Electrical Rules Check single node nets Check no driving source and Pin type conflicts Check duplicate net names Check off-page connector connections Check hierarchical port connections Check unconnected bus nets Check unconnected pins Physical Rules Custom DRC 	Batch V V V	Online
	Run Cance	Apply	Help

图 3.126 Rules Setup 选项