

学习目标与要求

1. 掌握系统总线的定义和分类。
2. 熟悉若干典型总线的结构及其协议。
3. 掌握 DMA 的作用和功能。
4. 掌握 ARM 芯片内的总线结构。

3.1 系统总线概述

嵌入式系统各个主要部件之间一般采用系统总线连接,因此系统总线是连接两个或者多个部件进行数据交换的公共通道。被系统连接的部件可以是数据消费者,也可以是数据生产者。一般而言,系统总线不对数据进行加工,也就是数据在总线上出现和回收时的物理特性是一致的(目前也有研究在系统总线上插入部分计算功能,读者可以查阅相关文献)。系统总线是一种描述电子信号传输线路的物理结构形式,是一组信号线的集合,是子系统或者部件间传输信息的公共通道。

系统总线具有一定的特性,如物理特性、功能特性、电气特性和时间特性等,这些特性和规范由总线协议来定义。

如果将系统总线按照其实现的功能特性来分,大致可以分为4类。

(1) 数据总线(Data Bus, DB)。顾名思义,数据总线是用来传输数据的总线。如果在CPU内部,一般是指CPU核心与随机访问存储器(Random Access Memory, RAM)之间传输被处理或是被存储的数据的总线。在STM32F4系列芯片中,一个典型的数据总线是D总线,它将Cortex-M4芯核和64KB CCM数据RAM之间的数据通信通过总线矩阵连接起来。

(2) 地址总线(Address Bus, AB)。地址总线是用来传输被访问部件地址的总线,在物理上可以通过全局地址(以基地址表示)和局部地址(以偏移地址来表示)共同来区分。

(3) 控制总线(Control Bus, CB)。控制总线是将控制指令/信号传输到另外部件的总线。在STM32F4系列芯片中,一个典型的控制总线是I总线,将Cortex-M4芯核和总线

矩阵连接起来，以传递指令。

(4) 扩展总线 (Expansion Bus, EB)。由用于连接不常使用的部件的扩展信号组成，可以是上述 3 种总线的综合体或者某一种。例如，在 STM32F4 系列芯片中，S 总线可以归于此类，它连接 Cortex-M4 芯核和总线矩阵，用于访问外设或者静态随机存储器 (Static Random Access Memory, SRAM) 中的数据，也可以用于传递指令，但此时效率比 I 总线低。

如果按照相对于信息部件的位置，系统总线可以分为内部总线和外部总线；如果按照数据在总线上的时间和空间组织特性，系统总线又可以分为串行总线和并行总线。

基于以上通用原则，在 STM32F4 系列芯片中，对 USB 总线的支持是采用如图 3.1 和图 3.2 所示的架构。该系列 CPU 芯片支持 USB 2.0 的全速 (12MB/s) 和高速 (480MB/s) 设备，全速时支持主设备和带 PHY 的 OTG 控制器 (满足 OTG 1.0 规范)；高速时也支持主设备和 OTG 控制器 (满足 OTG 1.0 规范)，但需要通过外置的 PHY 器件与通用收发宏单元接口相连来支持。STM32F4 系列芯片对全速和高速 USB 的支持主要是通过 PHY 口来区别的，这也说明部件对通信协议的支持相当灵活，可以根据实际应用来选择。进一步地，该系列芯片的芯核通过 AHB 总线转换实现对 USB 总线的支持。

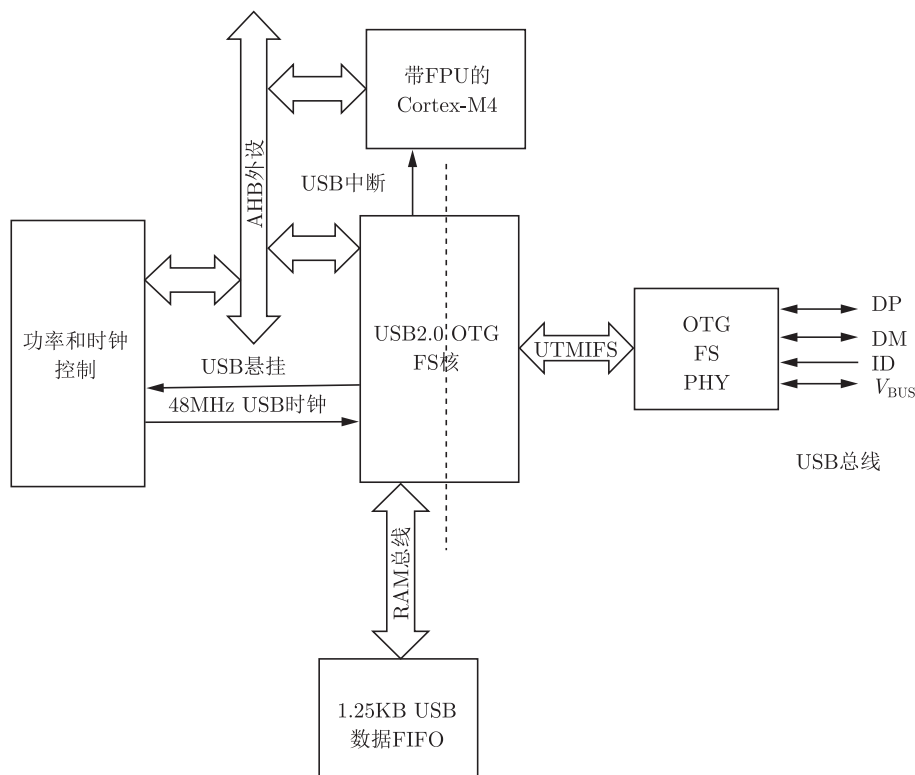


图 3.1 STM32F4 系列芯片对 USB 全速总线的支持架构

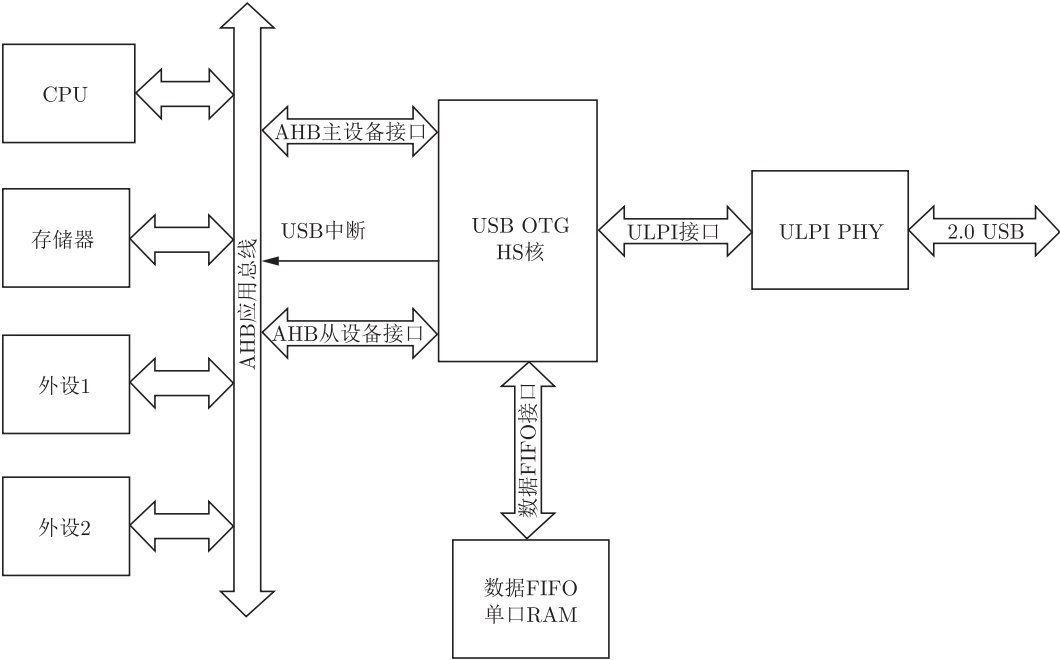


图 3.2 STM32F4 系列芯片对 USB 高速总线的支持架构

3.2 总线结构与协议

3.2.1 CPU 总线的结构

总线是 CPU 与外设进行数据交换的通道，如图 3.3 所示，CPU、内存、I/O 设备都连接到总线上。在经典的总线系统中，通常 CPU 是总线主控，当然，通过 DMA 可以实现其他设备暂时作为总线的主控。在使用总线进行通信时必需的信号包括地址、数据、时钟和一些控制信号。

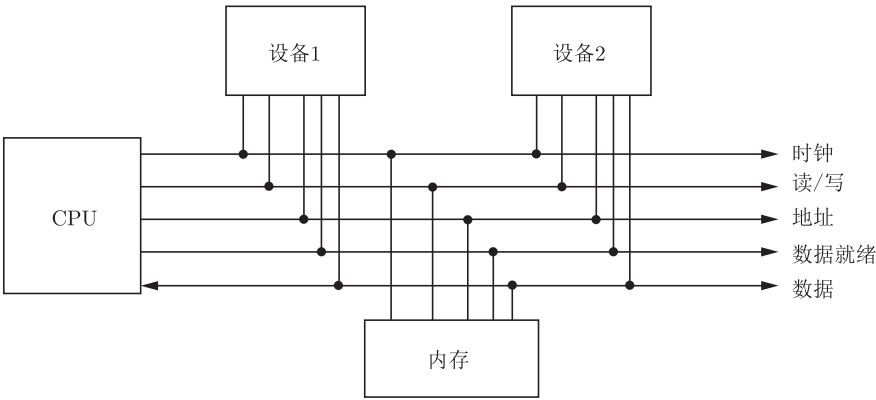


图 3.3 总线结构

大多数总线协议是基于四周期握手协议构建的,如图 3.4 所示,握手是基于两台设备进行通信:一台设备准备好发送,另一台设备准备好接收。握手时使用一对专用于握手的线路:enq 与 ack,其他线路用于握手期间的数据传输。握手的每步都由 enq 或 ack 线路上的电平转换来标识。

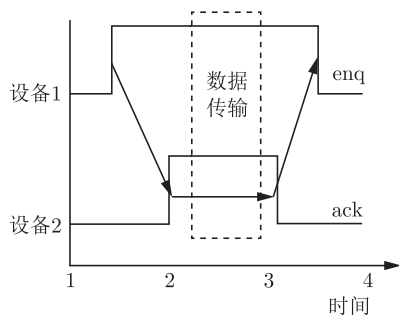


图 3.4 四周期握手

- (1) 设备 1 的 enq 信号升高发出查询信号,告诉设备 2 做好接收数据的准备。
- (2) 当设备 2 准备好接收时,设备 2 的 ack 信号升高发出确认信号。这时,设备 1 和设备 2 就可以发送或接收信号。
- (3) 一旦数据传输完毕,设备 2 就降低 ack 信号,表示已经接收完数据。
- (4) 当设备 1 看到设备 2 的 ack 信号变为低电平时,设备 1 也将其 enq 信号降低,变为低电平,此次握手结束。

使用握手信号可以完成对数据的读写操作,其时序图如图 3.5 所示。

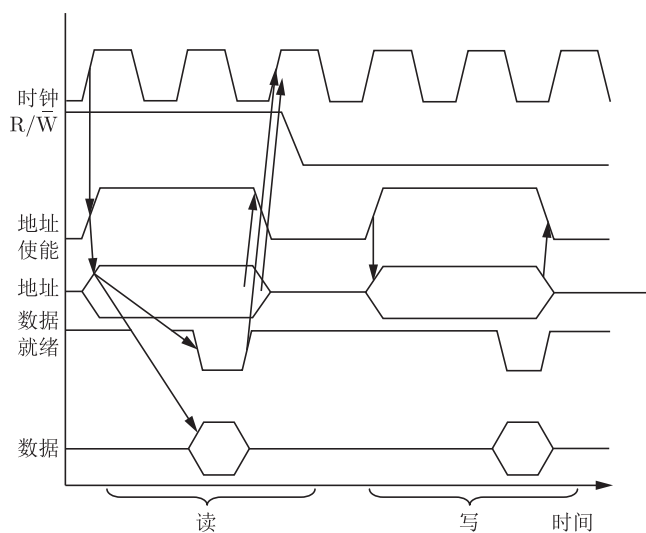


图 3.5 总线读写时序图

使用总线握手协议信号可以执行猝发传输 (burst transfer)，其时序图如图 3.6 所示，在猝发读数据传输中，总线需要额外增加一条线路，称为猝发 (burst) 信号。在猝发传输中使用该信号。此外，释放猝发信号以通知设备已经完成数据传输，由于设备需要一些时间来识别猝发传输结束，因此为了在数据 4 之后停止接收数据，CPU 在数据 3 的末尾就会释放猝发信号，这些数据来自于从给定地址开始的连续存储空间。

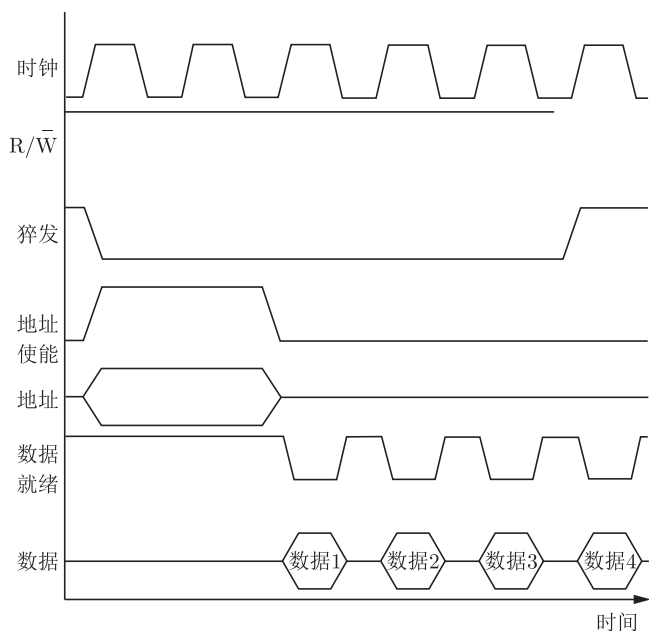


图 3.6 总线猝发传输的时序图

3.2.2 总线组织及演进

总线在各种计算机体系中都存在，其中最典型的是北桥/南桥芯片组架构下的总线。

北桥/南桥芯片组（桥片）将芯片中各种总线 and 信息部件组织起来，使得冯·诺依曼计算机的层次结构更加清晰。在桥片的统领下，CPU 内以及和 CPU 紧密相关（即可以被集成到 CPU 芯片内部）的总线结构如下。

(1) 位于处理器 CPU 和北桥之间的是速度最快的处理器总线，L2 高缓存存储器直接连到该总线上（与之相应的 L1 高速缓存当然在 CPU 内部）。

(2) 北桥通过动态随机访问存储器（Dynamic Random-Access Memory, DRAM）控制器连接高速主存。

(3) 北桥与南桥之间是 PCI 总线，它连接 PCI 设备、加速图形端口（Accelerated Graphics Port, AGP）设备等。

(4) 南桥上连接 USB 等接口和相关设备。

(5) 南桥之下是工业标准结构（Industry Standard Architecture, ISA）、扩展工业标

准结构（Extended Industry Standard Architecture, EISA）等传统的慢速 I/O 扩展总线。

最初引入北桥/南桥芯片组时 AGP 总线标准还没有被提出，当时的图形设备通过 PCI 总线连接到系统中。随着 AGP 总线标准的推出，英特尔公司发布了支持 AGP 的北桥/南桥芯片组，即 440 系列芯片组。典型的奔腾微机的总线结构如图 3.7 所示。

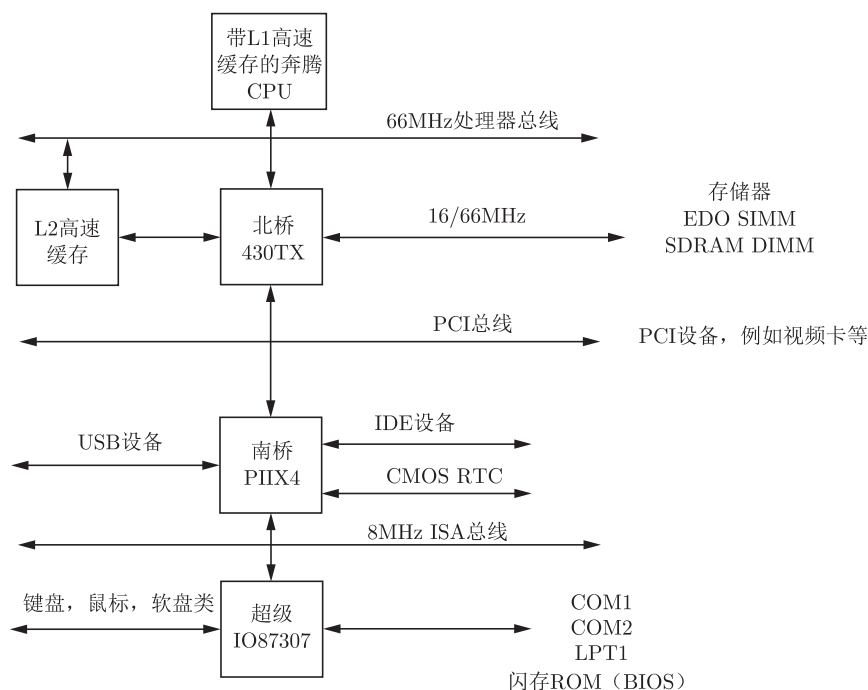


图 3.7 典型的奔腾微机的总线结构

总线协议随着技术的发展而演进，也围绕着芯片的应用而发展，部分总线随着技术的进展从芯片外走入芯片内，完成了总线的芯片嵌入化。

STM32F4 系列芯片内部的总线结构（如图 3.8 所示）变得扁平，而不是传统的多个层次，这主要是由于各个总线的技术演进到一定程度，除了功能上的差别，在电气方面已经完全可以被移到芯片内并予以统一的工艺条件支持。另一方面，总线在速度上都变成高速，数目也变多，因而，矩阵式的结构是很自然的选择。

3.2.3 典型总线及协议

1. ISA 总线

最早的计算机总线是 IBM 公司于 1981 年在 PC/XT 计算机中采用的系统总线，面向的是 8 位的 8088 处理器，被称为 PC 总线或者 PC/XT 总线。1984 年，IBM 公司推出了基于 16 位 80286 英特尔 CPU 处理器的 PC/AT 计算机，系统总线也相应地扩展为 16 位，并被称为 PC/AT 总线。随着 PC 的逐步普及，人们就需要开发与 IBM PC 兼容的外围设备，行业内便逐渐确立了以 IBM PC 系列总线规范为基础的 ISA 总线。图 3.9 展示

了支持 5 条 16 位 ISA 总线和 1 条 8 位 ISA 总线的主板，一种典型的 8 位 ISA 设备如图 3.10 所示。

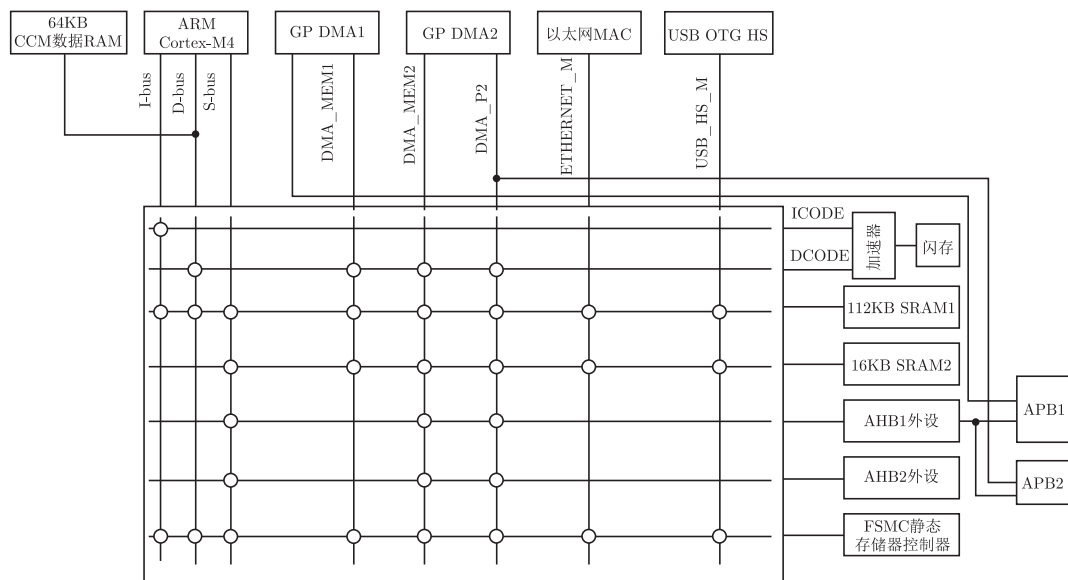


图 3.8 STM32F4 系列芯片的总线结构



图 3.9 同时支持 8 位和 16 位 ISA 总线的主板

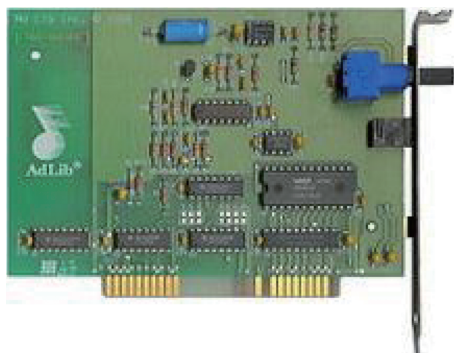


图 3.10 一种 8 位 ISA 设备

8 位 ISA 总线最大传输速率仅为 8MB/s，传输速率过低，使用时导致 CPU 占用率高、

设备占用硬件中断资源等，这些缺点很快使 ISA 总线在飞速发展的计算机技术中成为瓶颈。因此在 1988 年，康柏、惠普等 9 个厂商协同把 ISA 扩展到 32 位，这就是著名的 EISA 总线。EISA 总线的工作频率仍旧仅为 8MHz，但在与 8 位/16 位的 ISA 总线完全兼容的同时，32 位 EISA 总线的访问带宽相比于 16 位 ISA 总线提高了一倍，达到了 32MB/s。可惜的是，这一总线速度仍旧较低，而且 EISA 总线成本较高（总线的成本主要在于编解码的复杂性和单位信息量的通信硬件成本），在还没成为广泛使用的标准总线之前，在 20 世纪 90 年代初，就逐步被 PCI 总线取代了。

在工业和军事领域，ISA 总线仍旧在使用，这主要是因为在这些领域有相当多的设备没有更新到 PCI 总线版本上的特殊性以及低速通信的较高可靠性。例如，ADEK 工业计算机公司在 2013 年发布的一款支持英特尔 Core i3/i5/i7 处理器的主板就仍带有一条 ISA 插槽。另一方面，虽然大多数计算机没有支持物理的 ISA 插槽，但在虚拟地址上为 ISA 总线预设了空间。特别地，相当多的嵌入式控制芯片对温度控制和电压的读取也通过 ISA 总线来实现。

2. PCI 总线

ISA/EISA 总线速度的限制使得硬盘、显卡还有其他的外围设备在当时只能通过慢速并且位宽低的总线来发送和接收数据，成为提高 CPU 效率的瓶颈，因此 PC 的性能受到严重影响。为了解决这个问题，1992 年英特尔公司在发布 486 处理器的时候，也同时提出了 32 位的 PCI 总线。

PCI 总线在刚被提出时工作在 33MHz，传输带宽为 133MB/s (33MHz@32 位)，比 ISA 总线有了极大的改善，基本上满足了当时处理器与显卡、声卡、网卡、硬盘控制器等高速外围设备的通信需要。一种带有 3 条 32 位 5V PCI 扩展槽的主板如图 3.11 所示。Adaptec 公司的 32 位小计算机系统接口 (Small Computer System Interface, SCSI) 适配器 PCI 卡如图 3.12 所示。

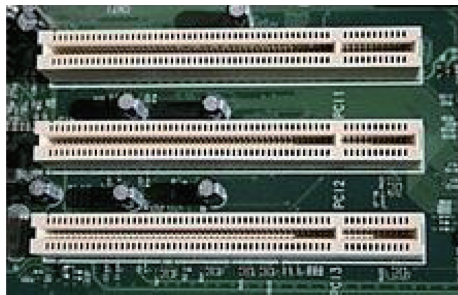


图 3.11 一种带 32 位 5V PCI 扩展槽的主板

PCI 1.0 总线采用 5V 供电，PCI 2.0 版本以后的总线主要采用 3.3V 供电，PCI 2.1 总线可以支持 66MHz 工作频率。在 PCI 2.2 版本总线中还引入了 Mini PCI 以支持笔记本。除了第一个版本，后续版本的 PCI 总线协议都由 PCI SIG (Special Interest Group, SIG) 负责，版本系列包括 PCI 1.0 (1992 年发布)、PCI 2.0 (1993 年发布)、PCI 2.1 (1995 年

发布)、PCI 2.2 (1998 年发布)、PCI 2.3 (2002 年发布)、PCI 3.0 (2004 年发布)。



图 3.12 Adaptec 公司的 32 位 SCSI 适配器 PCI 卡

为了在服务器领域支持更高的传输速率,多家厂商联合于 1999 年制定了 PCI-X。PCI-X 1.0 开始时就是 64 位、133MHz 版本的 PCI,以保持对 PCI 总线的兼容,后来的 PCI-X 2.0、3.0 提高了频率,经历过 266MHz、533MHz,甚至 1GHz,遇到的问题是频率增高后通信信号串扰严重,同时共享式总线造成资源争用,导致实际通信效率远远达不到理论值。PCI-X 协议的一个突出特点是采用了寄存器到寄存器的信号传输方式,这非常有利于提高工作频率。实际上,寄存器到寄存器的信号传输方式在芯片内部是常见的手段。另一方面,在 PCI-X 协议中有了总线事务分割的概念,即目标设备不能立即完成请求时,发送独立的响应给请求设备,这是一种中断式的处理机制,减少了总线事务占用通信时间和带宽。PCI-X 协议的另外一个创举是引入消息触发中断(Message Signaled Interrupts, MSI)机制,这一机制是中断处理机制中的主动通知类型。为了实现 MSI 机制,PCI-X 扩展了 PCI 的配置空间,并且在设备枚举过程中为每个 PCI 设备分配 MSI 的中断向量号存储地址以及向量号。

PCI 和 PCI-X 总线统称为并行 PCI 总线,以区别于后续的 PCI-Express (PCIe)。与 ISA 总线的发展类似,2005 年后,PCI 和 PCI-X 总线基本过时了,过去由它们支持的设备或者器件逐步转移到由 USB 总线或者 PCI-Express 总线支持。

3. AGP 总线

PCI 总线刚提出时只有 133MB/s 的带宽,对于传输数据速度需求越来越大的 3D 显卡却力不从心,成为了制约显示子系统和整机性能的瓶颈。因此,PCI 总线的补充——AGP 总线就应运而生了。

英特尔公司于 1997 年 8 月正式推出了 AGP 总线。该总线是显卡专用的局部总线,基于 PCI 2.1 版总线规范并进行扩充修改而成,工作频率为 66MHz,以主存作为帧缓冲器,实现了高速缓冲,1X 模式下带宽为 266MB/s,是当时 PCI 总线的带宽的两倍。后来依次又推出了 AGP 2X、AGP 4X、AGP 8X,传输速度达到了 2.1GB/s。AGP 总线还采用了一种双激励的传输技术,能在一个时钟的上、下沿双向传输数据,进一步提高了传输速度。

双沿传输数据技术目前在存储器等领域得到了广泛应用。

正因为专门为显卡而设计,考虑到支持大功耗的需要,AGP 还提供了一种扩展版本即 AGP Pro。其与 AGP 主要的不同在于电气方面的支持——将插槽增长,增加了额外的引脚来供电,从而可以支持工作站或者服务器对显卡的功耗需要。

表 3.1 给出了 AGP 总线部分技术指标和版本的对应情况以及与 PCI 2.1 协议的部分技术指标对比。

表 3.1 AGP 协议版本和部分技术指标以及与 PCI 2.1 协议的对比

协议版本	工作电压	工作时钟	速度	每个时钟传输数据个数	速率 MB/s
PCI 2.1	3.3V/5V	33/66MHz	—	1	133/266
AGP 1.0	3.3V	66MHz	1X	1	266
AGP 1.0	3.3V	66MHz	2X	2	533
AGP 2.0	1.5V	66MHz	4X	4	1066
AGP 3.0	0.8V	66MHz	8X	8	2133
AGP 3.5	0.8V	66MHz	8X	8	2133

图 3.13 给出了 AGP 卡和槽的对应外形。和 PCI 总线类似,AGP 总线也逃脱不了技术更新的规律,到 2010 年,已经少有主板和芯片支持 AGP 总线了,AGP 逐步让位于 PCIe 总线。

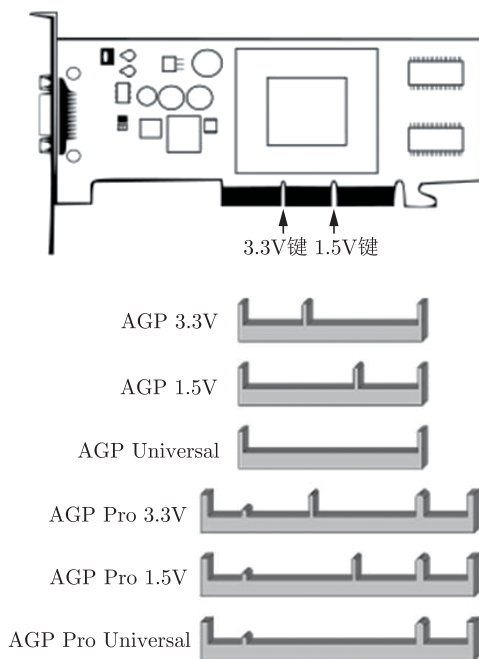


图 3.13 AGP 卡和对槽外形

4. PCI-Express 总线

英特尔公司在 2001 年春季的英特尔开发者论坛 (Intel Developer Forum, IDF) 上, 正式公布了旨在取代 PCI 总线的第三代 I/O 技术, 最后被正式命名为 PCI-Express。2002 年 7 月 23 日, PCI-SIG 正式公布了 PCIe 1.0 规范, 2007 年正式推出 PCIe 2.0 规范。特别地, PCIe 规范中引入了“道”(Lane)的概念。“道”由两个分别用于发送和接收数据的差分信号对组成, 同时双向传输字节包数据。不同的 PCIe 连接支持不同数目的道, 道的数目以“X”为前缀来描述, X16 是通用的最大道数。另一方面, PCIe 总线是串行总线, 因为 PCIe 总线每道在每个方向上只有一对差分信号线, 也不需要外部时钟信号, 所以它可以达到很高的速率, 类似的技术在 Serial ATA、USB、SAS (Serial Attached SCSI)、IEEE 1394 FireWire、RapidIO、DVI、HDMI、DisplayPort 等总线中都得到了应用。如图 3.14 所示为通过 PCIe 总线通信的结构示意。

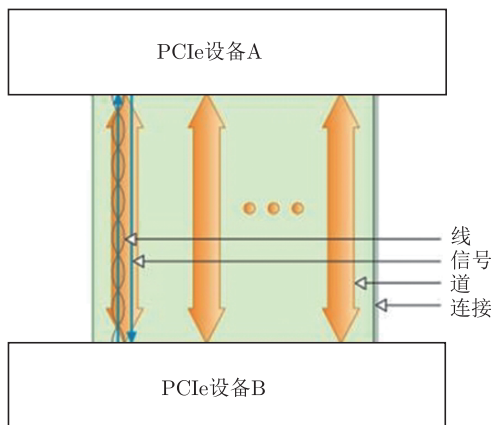


图 3.14 PCIe 通信示意 (其中通信称为连接)

一般而言, 较短的 PCIe 卡可以插入较长的 PCIe 插槽中使用。PCIe 接口相比于其他接口, 能够支持热插拔是一个技术飞跃。PCIe 卡支持的 3 种电压分别为 +3.3V、+3.3Vaux 及 +12V。用于取代 AGP 接口的 PCIe 2.0 总线道数为 X16, 能够提供 5GB/s 的带宽, 即便考虑编码上的损耗仍能够提供 4GB/s 左右的实际有效带宽, 远远超过 AGP 8X 的 2.1GB/s 的带宽。相对于 PCI 总线来讲, PCIe 总线能够提供极高的带宽来满足计算机和嵌入式系统的需求。

2018 年 PCIe 总线标准版本是 PCIe 4.0。与 PCIe 2.0 相比, PCIe 4.0 的信号传输率从 2.0 版本的 5GB/s 提高到 16GB/s, 编码方案也从原来的 8b/10b 改为更高效的 128b/130b, 可以确保几乎 100% 的传输效率, 相比此前 2.0 版本采用 8b/10b 编码方案时提升了 25%, 从而促成了传输带宽的翻番, 其他规格基本不变, 每周依然传输 2 位数据, 支持多道并行传输, 从而 X16 双向带宽可达 32GB/s。PCIe 协议版本和相应的部分技术指标如表 3.2 所示。

表 3.2 PCIe 协议版本和相应的部分技术指标

协议版本	年份	编码	传输率	吞吐量				
				X1	X2	X4	X8	X16
1.0	2003 年	8b/10b	2.5GB/s	250MB/s	0.50GB/s	1.0GB/s	2.0GB/s	4.0GB/s
2.0	2007 年	8b/10b	5.0GB/s	500MB/s	1.0GB/s	2.0GB/s	4.0GB/s	8.0GB/s
3.0	2010 年	128b/130b	8.0GB/s	984.6MB/s	1.97GB/s	3.94GB/s	7.88GB/s	15.8GB/s
4.0	2018 年	128b/130b	16.0GB/s	1969MB/s	3.94GB/s	7.88GB/s	15.75GB/s	31.5GB/s

5. CAN 总线

CAN(Controller Area Network)总线是以研发和生产汽车电子产品著称的德国 Robert Bosch GmbH 公司于 1983 年开始开发的,开发出来后成为国际标准 ISO 11898 和 ISO 11519,是国际上应用最广泛的现场总线之一。CAN 总线协议已经成为汽车计算机控制系统和嵌入式工业控制局域网的标准总线协议。

CAN 总线定义了物理层、数据链路层,并且拥有种类丰富、简繁不一的上层协议。与 I²C、SPI 等有时钟信号的同步通信方式不同,CAN 总线通信是一种异步通信,利用一对差分信号线可以减少设备通信时所需线束中连接线的数量。人们通过多个 CAN 总线组织的 LAN,可以进行大量数据的高速通信,从而获得高性能和高可靠性,因此 CAN 总线被广泛应用于工业自动化、船舶、医疗设备、工业设备等方面。由于 CAN 总线的重要性和在嵌入式设备中的广泛应用,以及人们传统上对嵌入式应用的认识,区别于前面介绍的总线,这里稍微详细地介绍一下它。

CAN 总线通信采用了不需要主计算机或者嵌入式系统干预的基于消息的通信协议,其主要特点如下所述。

1) CAN 总线物理结构与特性

CAN 总线协议是一款采用多主控器的串行总线标准,CAN 总线设备一般称为节点。CAN 总线信号由 CAN_H 和 CAN_L 双绞线构成,各个节点通过这对双绞线实现信号的串行差分数据传输。

CAN 总线物理层的形式主要分为闭环总线及开环总线网络两种。CAN 闭环总线网络是一种遵循 ISO 11898 标准的高速、短距离网络,它的总线最大长度为 40m,通信速度最高为 1Mb/s,典型组织结构如图 3.15 所示。为了避免信号的反射和干扰,CAN 总线协议要求在 CAN_H 和 CAN_L 之间接上名义值为 120Ω 的终端匹配电阻。

CAN 开环总线网络是遵循 ISO 11519-2 标准的低速、远距离网络,它的最大传输距离为 1km,最高通信速率为 125kb/s,两根信号线是独立的、不形成闭环,系统要求每根总线上各串联有一个 2.2kΩ 的电阻,其典型组织结构如图 3.16 所示。

2) CAN 收发器

CAN 设备是通过 CAN 收发器来连接的,CAN 收发器负责 TTL 逻辑电平和差分信号电平之间的转换,即 CAN 控制芯片输出 TTL 逻辑电平到 CAN 收发器,然后 CAN 收发器通过内部转换将 TTL 逻辑电平转换为差分信号输出到 CAN 总线上。依据协议,

任何 CAN 总线上的节点都可以决定是否接收总线上的数据。作为实现上述功能的芯片载体，CAN 收发器芯片的一种可能的引脚定义如表 3.3 所示，典型输入/输出信号如图 3.17 所示。

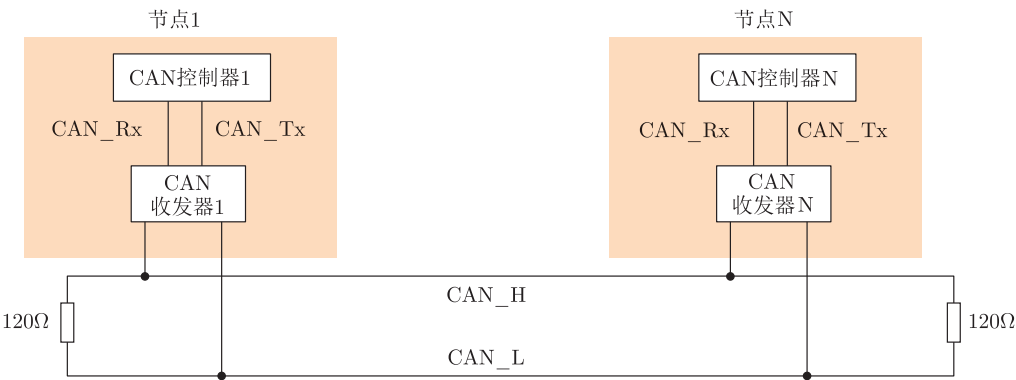


图 3.15 闭环 CAN 总线典型组织结构

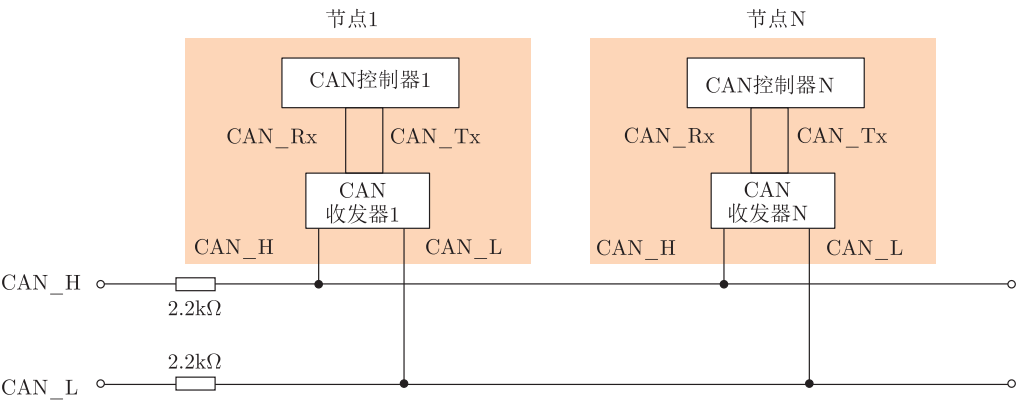


图 3.16 开环 CAN 总线典型组织结构

表 3.3 CAN 收发器芯片的一种可能的引脚定义

引脚序号	名称	信号描述
1	TXD	发送数据输入
2	GND	地
3	Vcc	电源电压输入
4	RXD	接收数据输入
5	Vio	参考电压输出
6	CANL	低电平 CAN_L 信号线
7	CANH	高电平 CAN_H 信号线
8	S	高速或静音模式选择开关



图 3.17 CAN 收发器芯片典型输入/输出信号

3) 信号定义

CAN 总线上的信号有两种不同的信号状态，分别是显性的（Dominant）逻辑 0 和隐性的（Recessive）逻辑 1。ISO 11898 标准定义了当 CAN_H 和 CAN_L 电平很接近甚至相等的时候，总线信号表现为隐性逻辑 1，而两线电平差较大时则表现为显性逻辑 0。从量化角度来说，定义如下：

（1）当信号电压差 $CAN_H - CAN_L < 0.5V$ 时为隐性的，逻辑信号表现为逻辑 1——高电平。

（2）当信号电压差 $CAN_H - CAN_L > 0.9V$ 时为显性的，逻辑信号表现为逻辑 0——低电平。

协议同时规定信号在每次传输完后不需要返回到显性逻辑 0，而是应用不归零（Non-Return to Zero, NRZ）码位填充技术来确定信号值，具体的位填充规则为：发送器只要检测到位流里有 5 个连续相同值的位，便自动在位流里插入补充位。

CAN 总线信号采用“线与”规则进行总线仲裁和定义，总线上只要有一个节点将总线拉到低电平（逻辑 0）的显性状态，总线就为低电平（逻辑 0）即显性状态，而不管总线上有多少节点处于传输隐性状态（高电平或是逻辑 1）；只有所有节点都为高电平（隐性逻辑 1），总线才为高电平（逻辑 1）。这也是为什么逻辑 0 是显性、逻辑 1 是隐性的原因，这一特点是和很多总线稍微不同的地方。

4) 通信速率与通信距离

和大多数信号传输一样，CAN 总线的通信速率和通信距离强烈相关，CAN 总线的不同标准可以支持的速率及典型特点如表 3.4 所示，相应的 CAN 总线上任意两个节点的最大通信距离与位速率关系如表 3.5 所示。这里的最大通信距离是指同一条总线上两个节点之间 CAN 总线通信可靠传输的距离，从表 3.5 中可以看到，速率越低通信距离就越远，在位速率为 5kb/s 时达到最大的传输距离 10km。一般的工程中通常采用 500kb/s 的通信速率，在这个速率下通信非常可靠。如果想要更远距离的通信（例如大于 10km），可以考虑

表 3.4 CAN 总线标准及其支持的最高速率及典型特点

类 型	标 准	最高速率	特 点
高速 CAN	ISO 11898	1Mb/s	最通用的 CAN 总线类型
低速 CAN	ISO 11519-2	125kb/s	容错，在一条总线短路的时候仍然能工作
单线 CAN	SAE J2411	50kb/s	高速模式可达 100kb/s，主要用在汽车上

用多个 CAN 控制器连接或是增加支持其他通信协议（如 RS-485 或是 TCP/IP）的接口芯片进行扩展。

表 3.5 CAN 总线上任意两个节点的最大通信距离与位速率关系

位速率/(kb/s)	1000	500	250	125	100	50	20	10	5
最大距离/m	40	130	270	530	620	1300	3300	6700	10 000

5) CAN 总线数据传输

CAN 总线是一个广播类型的总线，在总线上的所有节点都可以监听总线上传输的数据。CAN 总线节点硬件芯片在监听到总线数据后，在本地不关注与本节点无关的数据，解码和保留与自己有关的信息。CAN 的帧数据可以分为 6 段。

(1) 头尾段包含帧起始和帧结束，用于界定一个数据帧。标准帧和扩展帧都包含这两个段。帧起始为单个显性位。总线空闲时，发送节点发送帧起始，其他接收节点同步于该帧起始位。帧结束为 7 个连续的隐性位。

(2) 仲裁段格式如图 3.18 所示。从发送角度来说，在 CAN 总线空闲期间，总线上任何 CAN 设备节点都可以发送报文，如果有两个或两个以上的节点开始发送报文，那么就会存在总线访问冲突的可能，CAN 总线使用标识符 ID 的逐位仲裁方法以解决这个竞争问题。在仲裁期间，每个发送器将自己发送的电平与被监控的总线电平进行比较，如果电平相同（实际上是近似，据前述信号定义），则这个单元可以继续发送报文。如果发送的是一个“隐性”电平而监视到的是一个“显性”电平，那么这个节点就会失去仲裁权，退出发送状态。如果总线上出现不匹配的位并且不处在仲裁期间则产生错误事件。上述仲裁方式的基础主要在于仲裁段的信息。CAN 总线协议规定，报文的帧 ID 号码越小，优先级越高；对于 ID 相同的情况，由于数据帧的远程传输请求位 RTR 为显性电平，远程帧为隐性电平，所以在帧格式和帧 ID 相同的情况下，数据帧优先于远程帧；由于标准帧的扩展标识符位 IDE 为显性电平，扩展帧的扩展标识符位 IDE 为隐性电平，对于前 11 位 ID 相同的标准帧和扩展帧，标准帧优先级比扩展帧高。假如节点 A、B 和 C 都发送相同格式相同类型的帧（例如标准格式数据帧），总线竞争过程如图 3.19 所示。

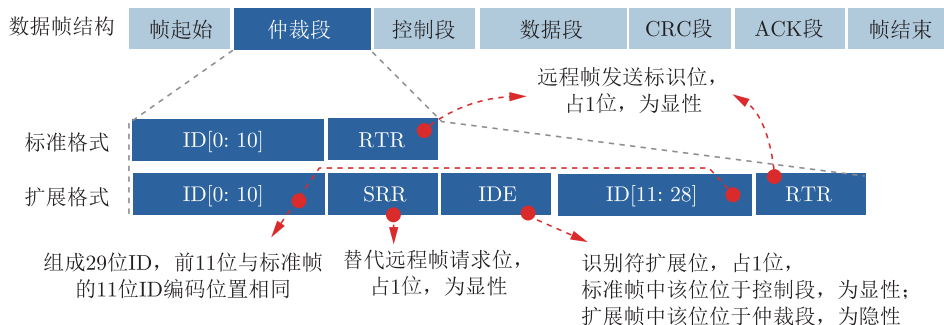


图 3.18 仲裁段的格式

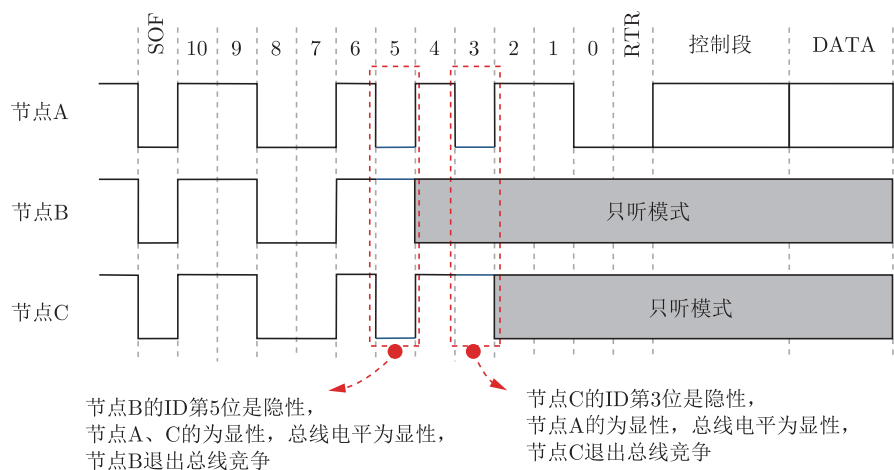


图 3.19 一种节点间的总线竞争过程

(3) 控制段共 6 位，标准帧中控制段包括扩展帧标志位 IDE、保留位 r0、数据长度代码 DLC；扩展帧中控制段除了包括上述三者，还包括保留位 r1。具体组织格式如图 3.20 所示。

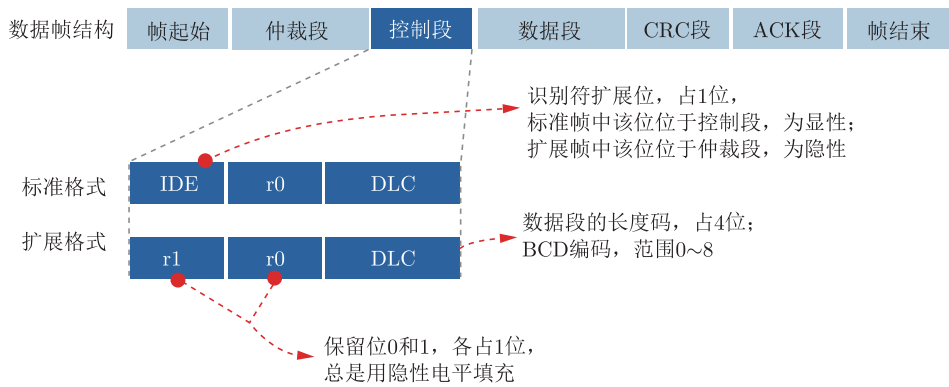


图 3.20 控制段的组织格式

(4) 数据段一般为 0 ~ 8 字节，传输时最高有效位（Most Significant Bit，MSB）先传输，相较于其他总线的短帧结构此方式使得通信实时性非常高，抗干扰能力也强，非常适合汽车和工控嵌入式应用场合。

(5) CRC 校验段由帧起始段、仲裁段、控制段和数据段计算得到的 15 位 CRC 值和 1 位隐性电平定界符构成。

(6) 当一个接收节点接收帧起始到 CRC 段之间的内容没有发生错误时，将在 ACK 段发送一个显性电平，发送节点检查消息是否存在应答位，如果没有就重发消息。ACK 段具体组织如图 3.21 所示。

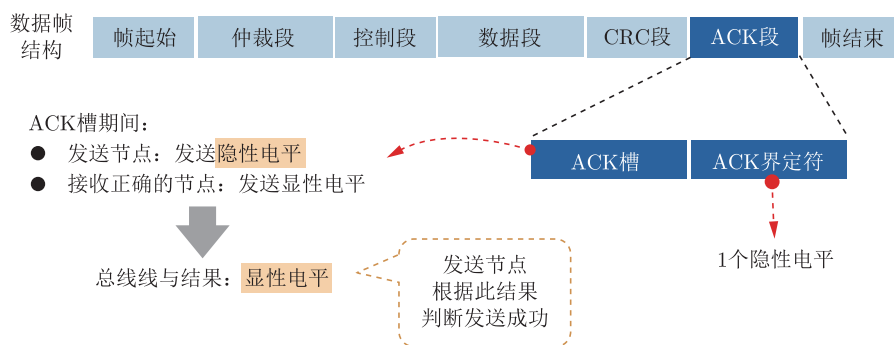


图 3.21 ACK 段的组织

6) 帧类型

在通信中，CAN 总线报文有 4 种帧格式。

(1) 数据帧：数据帧将数据从发送器传输到接收器，根据仲裁段 ID 码长度的不同，分为标准帧（CAN 2.0 A）和扩展帧（CAN 2.0 B）。

(2) 远程帧：总线节点发出远程帧，请求发送具有同一标识符的数据帧。远程帧相对于数据帧而言没有数据段，但是远程帧的 RTR 位被置为 1（隐性电平），表示是远程帧，也有标准格式和扩展格式两种类型。

(3) 错误帧：虽然 CAN 总线可靠性很高，但还是有可能发生错误，任何节点单元检测到总线错误就发出错误帧。当总线上有一个错误帧时，总线上所有节点都将检测到一个错误，所以若有任何一个节点检测到错误，则总线上的其他节点都会发出错误帧。

(4) 过载帧：过载帧用在相邻数据帧或远程帧之间以提供附加的延时，即过载帧是 CAN 接收节点用来向 CAN 总线发送节点告知自身接收能力的帧，标志着某个接收节点来不及处理数据了，希望其他节点减缓发送数据帧或者远程帧。

6. 以太网（Ethernet）总线

1) 以太网概述

1980 年 Xerox 公司和英特尔、DEC 公司一起开发了基带局域网规范，后续发展成为当今局域网采用的最通用的通信协议标准。

以太网协议由于历史和应用原因，一般以物理形式应用在芯片外。通过以太网实现的通信一般以接口的形式出现，通过铜缆或者光纤来连接，其中铜缆可以是同轴线或者差分线。以太网总线协议由 IEEE 802.3 定义，采用带冲突检测的载波监听多路访问（Carrier Sense Multiple Access/Collision Detection, CSMA/CD）技术。除了通常的规范，IEEE 802.3af 定义了将未使用的接口线用于直流供电，也即有源以太网（Power Over Ethernet, POE）接口，此外还有 IEEE 802.3ah 版本。

IEEE 802.3 描述了物理层的连线、电信号和介质访问控制（Media Access Control, MAC）子层的实现方法，历经了十兆、百兆、千兆和万兆以太网的发展。初始的以太网只有 10Mb/s 的带宽。在 IEEE 802.3 标准中，为不同介质制定了不同的物理层标准，标准名

称中前面的数字表示带宽, 最后一个数字表示单段网线长度(基准单位 100m), Base 表示基带。

【例 3-1】 典型的以太网例子。

(1) 10Base-5 使用直径为 0.4 英寸、阻抗为 50Ω 的粗同轴线缆, 最大网段长度 500m, 采用基带传输方法, 拓扑结构为总线型, 以太网卡为 AUI 接口。

(2) 10Base-2 使用直径为 0.2 英寸、阻抗为 50Ω 的细同轴线缆, 最大网段长度 185m, 采用基带传输方法, 拓扑结构为总线型, 以太网卡为 BNC 接口。

(3) 10Base-T 使用非屏蔽双绞线线缆, 最大网段长度 100m, 拓扑结构为星形, 接口为 RJ-45。

(4) 1Base-5 使用双绞线线缆, 最大网段长度 500m, 传输速度 1Mb/s。

(5) 10Broad-36 使用同轴线缆 (RG-59/U CATV), 网络跨度为 3600m, 网段最大长度为 1800m, 是一种宽带传输方式。

(6) 10Base-F 使用光纤传输介质, 传输速率为 10Mb/s。

1995 年 3 月, IEEE 协会宣布了 IEEE 802.3u 100Base-T 快速以太网标准, 开始了 100Mb/s 以太网时代, 它有 3 个子类。

(1) 100Base-TX: 使用 5 类数据无屏蔽双绞线或者屏蔽双绞线。两对双绞线中的一对用于发送数据, 另一对用于接收数据。使用 4B/5B 编码方案, 信号频率为 125MHz, 符合 EIA586 的 5 类布线标准和 IBM 的 SPT 1 类布线标准, 使用 RJ-45 连接器, 最大网段长度为 100m, 支持全双工数据传输。

(2) 100Base-FX: 使用单模或者多模光纤、4B/5B 编码方式, 信号频率同样为 125MHz, 使用 MIC/FDDI 连接器、ST 连接器或者 SC 连接器, 最大网段长度是 150m、412m、2000m 或者 10km, 该长度和使用的的光纤类型和工作模式相关; 支持全双工数据传输, 适合有电气干扰、较大距离或高保密环境条件通信。

(3) 100Base-T4: 可使用 3、4、5 类无屏蔽双绞线或者屏蔽双绞线的快速以太网, 4 对双绞线中的 3 对在 33MHz 频率上传输数据, 每对均工作于半双工模式; 第四对用于 CSMA/CD。采用 8B/6T 编码方式, 信号频率为 25MHz, 符合 EIA586 结构化布线标准, 使用 RJ-45 连接器, 最大网段长度为 100m。

后续千兆以太网填补了上述标准的不足, 传输距离更短, 主要类型如下:

(1) 1000Base-CX Copper STP 25m。

(2) 1000Base-T Copper Cat 5 UTP 100m。

(3) 1000Base-SX Multi-mode Fiber 500m。

(4) 1000Base-LX Single-mode Fiber 3000m。

千兆以太网有两个标准, 分别是 IEEE 802.3z 和 IEEE 802.3ab, 前者制定了光纤和短程铜线连接方案, 后者制定了 5 类双绞线上较长距离连接方案。

万兆以太网的标准是 IEEE 802.3ae, 它扩展了 IEEE 802.3 协议和 MAC 规范, 可以支持 10Gbps 的传输速率。上述标准基本都和其他标准一样, 也可以调整以支持低速率传输。

(1) 10GBase-SR 和 10GBase-SW 主要支持短波(850nm)多模光纤,传输距离为 2~300m,后者用于连接 SONET 设备。

(2) 10GBase-LR 和 10GBase-LW 用于支持长波(1310nm)单模光纤,传输距离为 2m~10km。

(3) 10GBase-ER 和 10GBase-EW 支持超长波(1550nm)单模光纤,传输距离为 2m~40km。

(4) 10GBase-LX4 采用波分复用技术,在单对光缆上以 4 倍波长发送信号,支持 1310nm 单模(传输距离为 2m~10km)或者多模光纤(传输距离为 2~300m)。

2) 工作原理

以太网标准适用曼彻斯特编码和解码,访问控制采用的是 CSMA/CD 技术,是一种广播型的总线标准,工作过程包含侦听、发送、检测、冲突处理 4 个处理阶段。

(1) 侦听:通过专门的检测单元,在节点准备发送前先侦听总线上是否有数据正在传输。若“忙”则进入后述的“退避”处理程序,反复进行侦听工作。若“闲”,则采用一定算法原则(例如“X-坚持”算法)决定如何发送数据。X-坚持的 CSMA 算法为:当在侦听中发现线路空闲时,不一定马上发送数据。

① 非坚持的 CSMA:线路忙,等待一段时间,再侦听;不忙时,立即发送;减少了冲突,信道利用率降低。

② 1 坚持的 CSMA:线路忙,继续侦听;不忙时,立即发送;提高信道利用率,增大了冲突。

③ p 坚持的 CSMA:线路忙,继续侦听;不忙时,根据 p 概率进行发送,另外以 $1-p$ 概率继续侦听(p 是一个指定概率值);能够有效平衡通信效率,但复杂。

(2) 发送:当确定要发送后,通过发送单元,向总线发送数据。

(3) 检测:数据发送后,也可能发生数据冲突。因此,要对数据边发送、边检测,以判断是否冲突。

(4) 冲突处理:当确认发生冲突后,进入冲突处理程序。两种冲突情况如下所述。

① 若在侦听中发现线路忙,则等待一个延时后再次侦听,若仍然忙,则继续延迟等待,一直到可以发送为止。每次延时的时间不一致,由退避算法确定延时长。

② 若发送过程中发现数据碰撞,则先发送阻塞信息,强化冲突,再进行侦听工作,以待下次重新发送(方法同侦听阶段)。

两种冲突情况都会涉及一个共同的算法——退避算法。当出现线路冲突时,如果冲突的各节点都采用同样的退避间隔时间,则很容易产生第二次、第三次的碰撞。因此,要求各个节点的退避间隔时间具有差异性,这时退避算法就派上用场。以下介绍一种典型的退避算法——截断的二进制指数退避算法。当一个节点发现线路忙时,要等待延时时间 M ,然后再进行侦听工作。其中 M 取 $0 \sim (2^k - 1)$ 的一个随机数乘以 512 比特传输时间(例如,对于 10Mb/s 传输速率,则为 $51.2\mu\text{s}$),其中 k 为冲突(碰撞)的次数, M 的最大值为 1023,即当 $k = 10$ 时获得。随后 M 始终是 $0 \sim 1023$ 的一个随机值与 $51.2\mu\text{s}$ 的乘积,当

k 增加到 16 时, 就发出错误信息。

在发送数据后发现冲突时, 立即发送特殊阻塞信息 (连续几字节的全 1, 一般为 32~48 位), 以强化冲突信号, 使线路上的节点可以尽早探测到冲突的信号, 从而减少造成新冲突的可能性。

冲突检测时间一般设定为 2α , 其中 α 表示网络中两个最远节点的传输线路延迟时间。这一设定表示检测时间必须保证满足最远节点发出数据产生冲突后被对方感知的最短时间。若在 2α 时间里没有感知到冲突, 则表明发出的数据没有产生冲突, 也即只要保证检测 2α 时间, 没有必要整个发送过程都进行检测。

将以太网总线放到用应用层、传输层、网络层、数据链路层和物理层 5 层定义的以太网协议栈中来看, 它和数据链路层、物理层强相关, 可以作为芯片接口, 也可以依据需要完全封装到芯片内。以太网总线无论是以接口的形式出现还是封装到芯片内, 都需要遵循一定的以太网帧格式, 这一格式多达 5 种, 包括 Ethernet V1 (1980 年发布)、Ethernet V2 (ARPA 于 1982 年发布)、RAW 802.3 (Novell 公司于 1983 年发布)、IEEE 802.3/802.2 SNAP (1985 年发布) 和 IEEE 802.3/802.2 LLC (1985 年发布)。多种格式是由历史原因造成的, 实际使用时应依据具体情况区别, 例如, 大多数 TCP/IP 应用都采用 Ethernet V2 帧格式, 其中 1997 年 IEEE 802.3 改回了对这一格式的兼容; 而交换机之间的桥协议数据单元 (BPDU) 数据包则采用 IEEE 802.3/LLC 帧; VLAN Trunk 协议如 802.1Q 和 Cisco CDP 等则采用 IEEE 802.3 SNAP 帧。

当今最常使用的 Ethernet V2 以太网帧由 RFC 894 定义, 封装格式主要包括前导码 (7 字节 0x55, 一串 1、0 间隔, 用于信号同步)、帧起始定界符 SFD (1 字节 0xD5)、目的 MAC 地址 (6B)、源 MAC 地址 (6B)、类型/长度 (2B, 其中 0~1500 保留为长度域值, 1536~65 535 保留为类型域值 0x0600~0xFFFF)、数据 (46~1500B)、CRC 帧校验序列 (4B, 使用 CRC 计算从目的 MAC 地址到数据域这部分内容而得到的校验和)。

3.2.4 STM32F4 系列芯片对总线的支持

STM32F4 系列芯片是针对嵌入式应用开发的高效 SoC, 因此对总线的支持包括两个方面: 一是由于集成了 Cortex-M4 芯核, 所以支持了 ARM 系列总线; 二是面向嵌入式应用支持了丰富的总线, 以外部接口的形式体现, 例如, I²C、SPI、CAN、Ethernet 等。综合起来看, STM32F4 系列芯片在对总线协议的支持上, 既有通用性, 也有特殊性, 读者可以参考芯片接口部分进行交叉学习。

3.3 DMA

从前面的阐述可知, 总线是数据交流和控制信号传输的载体。如果涉及大量数据的搬运, 就迫切需要提高通信效率, 但数据搬运又不能长时间占用总线, 因此需要寻求其他的方式来进行, 如此, 直接存储器存取 (Direct Memory Access, DMA) 就应运而生。