

解：Cache 存储系统的平均存取时间

$= \text{Cache 的存取时间} \times \text{命中率} + \text{主存的存取时间} \times \text{不命中率}$
 $= 10 \times 0.9 + 100 \times 0.1 = 19(\text{ns})$ 。

7. 采用容量为 $64\text{K} \times 1\text{b}$ 的 DRAM 芯片构成地址为 $00000\text{H} \sim 7\text{FFFFH}$ 的内存, 需要的芯片数为(64 片)。

解: 由给定地址范围得, 要构成的内存容量为 512KB 。由此可计算出需要的芯片数量。

8. 对图 5-3 所示的译码电路, 74LS138 译码器的输出端 Y_0 、 Y_3 、 Y_5 和 Y_7 所决定的内存地址范围分别是()、()、()、()。

解: 由图知, 要使该 74LS138 译码器工作, 必须要有:
 $A_{19} = 0, A_{18} = 0, A_{16} = 0$ 。 $A_{15} \sim A_{13}$ 分别为 000、011、101、111。因 A_{17} 没有接入, 故输出端所连接的每个芯片都占有两个地址范围。

Y_0 #: $00000\text{H} \sim 01\text{FFFFH}$ 和 $20000\text{H} \sim 21\text{FFFFH}$
 Y_3 #: $06000\text{H} \sim 07\text{FFFFH}$ 和 $26000\text{H} \sim 27\text{FFFFH}$
 Y_5 #: $0\text{A}000\text{H} \sim 0\text{B}\text{FFFFH}$ 和 $2\text{A}000\text{H} \sim 2\text{B}\text{FFFFH}$
 Y_7 #: $0\text{E}000\text{H} \sim 0\text{F}\text{FFFFH}$ 和 $2\text{E}000\text{H} \sim 2\text{F}\text{FFFFH}$

9. 用户自己购买内存条进行内存扩展, 是在进行(位)扩展。

解: 内存条是将若干每单元字长不足 8 位、但单元个数满足要求的存储芯片组合在一起。

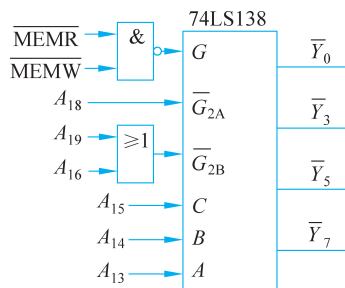


图 5-3 题 8 的译码电路

5.2 简答题

1. 简述 RAM 和 ROM 各有何特点? SRAM 和 DRAM 各有何特点?

解: 理论上 ROM 在正常工作时只能读出, 不能写入。RAM 则可读可写。掉电后, ROM 中的内容不会丢失, RAM 中的内容会丢失。SRAM 称为静态随机存取存储器, 相对于 DRAM, 其主要特点是在通电条件下存储的信息很稳定, 外围控制电路较简单。DRAM 称为动态随机存取存储器, 其存储元主要有电容构成。由于电容存在泄漏, 故需要定时刷新。

2. 说明 Flash 芯片的特点。

解: Flash 属于 EEPROM 型芯片, 与普通 EEPROM 芯片一样, 也有读出、写入和擦除 3 种工作方式。与普通 EEPROM 不同的是, 它通过向内部状态寄存器写入命令来控制芯片的工作方式, 并根据状态寄存器的状态来决定相应的操作。

3. 设某微型机内存 RAM 区的容量为 128KB , 若用 2164A 芯片构成这样的内存, 需多少片 2164A ? 至少需多少根地址线? 其中多少根用于片内寻址, 多少根用于片选译码?

解: (1) 每个 2164A 芯片的容量为 $64\text{K} \times 1\text{b}$, 共需 $128/64 \times 8 = 16$ 片。

(2) 128KB 容量需要地址线 17 根。

(3) 16 根地址线用于片内寻址。该 16 位地址信号通过二选一多路器连到 2164 芯片, 分时传送高位地址与低位地址。

(4) 1 根地址线用于片选译码。

4. 什么是 Cache? 它能够极大地提高计算机的处理能力是基于什么原理?

解: Cache 是位于 CPU 与主存之间的高速小容量存储器。它的存在是基于程序访问的局部性原理。

5. 如何解决 Cache 与主存数据的一致性问题?

解: Cache 与主存数据的一致性主要涉及写 Cache 操作。利用写穿式访问 Cache 可以直接保证 Cache 与主存数据的一致性。采用写更新(写回)方式,是在需要替换时将修改过的 Cache 块内容写回到主存。

可以通过设置“修改位”来保证数据的一致性。当 Cache 中的某块内容被修改时,“修改位”置 1,否则为 0。在该块内容需要被替换时,若对应的“修改位”为 1,则需要先将该块内容写回到主存,再将主存中新的内容调入该块。

6. 什么是存储器系统? Cache 存储器系统的设计目标是什么?

解: 存储器系统的概念是:将两个或两个以上在速度、容量、价格等各方面都不相同的存储器,用软件、硬件或软硬件相结合的方法连接成为一个系统,并使构成的存储器系统的速度接近于其中速度较快的那个存储器,容量接近于较大的那个存储器,而单位容量的价格接近于最便宜的那个存储器。存储器系统的性能,特别是它的存取速度和存储容量关系着整个计算机系统的优劣。

高速缓冲存储器系统的主要设计目标是提升内存的存取速度。

5.3 设计题

1. 利用全地址译码将 1 片 6264 芯片接到 8088 系统总线上,使其所占地址范围为 32000H~33FFFH。

解: 将地址范围展开成二进制形式为:

```
0011 0010 0000 0000 0000
~
0011 0011 1111 1111 1111
```

6264 芯片的容量为 $8K \times 8b$,需要 13 根地址线 $A_0 \sim A_{12}$ (见上图中虚线框内的部分)。由于为全地址译码,因此剩余的高 7 位地址都应作为芯片的译码信号。译码电路如图 5-4 所示。

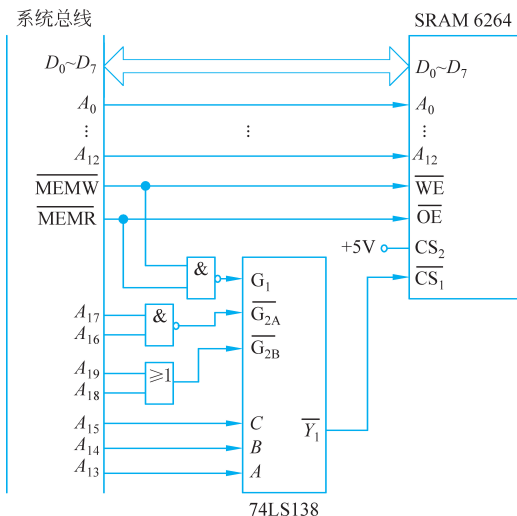


图 5-4 题 1 的译码电路

2. 某 8086 系统要用 EPROM 2764 和 SRAM 6264 芯片组成 16KB 的内存,其中,ROM 地址范围为 FE000H~FFFFFH, RAM 地址范围为 F0000H~F1FFFH。用 74LS138 译码器设计该存储电路。

解: 连接图如图 5-5 所示。

3. 现有两片 6116 芯片,所占地址范围为 61000H~61FFFH,将它们连接到 8088 系统中。并编写测试程序,向所有单元输入一个数据,然后再读出与之比较,若出错则显示“Wrong!”,全部正确则显示“OK!”。

解: 连接图如图 5-6 所示。

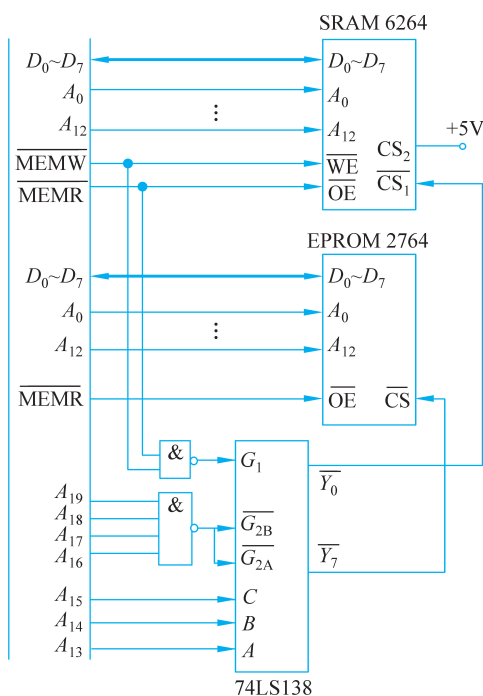


图 5-5 存储电路连接图

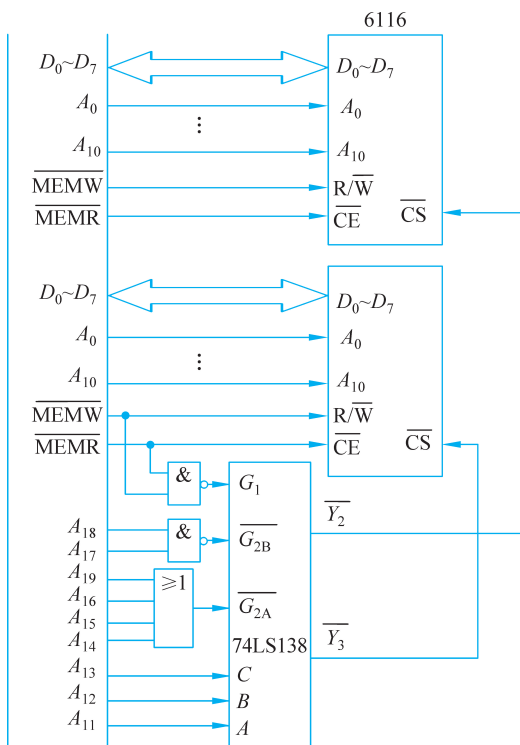


图 5-6 题 3 的电路连接图

测试程序如下:

```
DSEG SEGMENT
    OK DB 'OK!', '$'
    WRONG DB 'Wrong!', '$'
DSEG ENDS
CSEG SEGMENT
    ASSUME CS:CSEG, DS:DSEG
START: MOV AX, 6100H
        MOV ES, AX
        MOV DI, 0
        MOV CX, 1000H
        MOV AL, 55H
        REP STOSB
```

```

MOV DI, 0
MOV CX, 1000H
REPZ SCASB
JZ DIS_OK
LEA DX, WRONG
MOV AH, 9
INT 21H
JMP STOP
DIS_OK: LEA DX, OK
MOV AH, 9
INT 21H
STOP: MOV AH, 4CH
INT 21H
CSEG ENDS
END START

```

4. 某嵌入式系统要使用 $4\text{K} \times 8\text{b}$ 的 SRAM 芯片构成 32KB 的数据存储器。SRAM 芯片的主要引脚有 $D_0 \sim D_7$, $A_0 \sim A_{11}$, $\overline{\text{CE}}$, $\overline{\text{RD}}$, $\overline{\text{WR}}$ 。问:

(1) 该存储器共需要多少个 SRAM 芯片?

(2) 设计该存储器电路, 存储器的地址范围为 $0000\text{H} \sim 7\text{FFFH}$ 。

解: 由题知, 该 SRAM 芯片容量为 4KB , 要构成 32KB 的数据存储器, 需要 8 片这样的 SRAM。

根据给定地址范围, 设计存储器电路如图 5-7 所示。

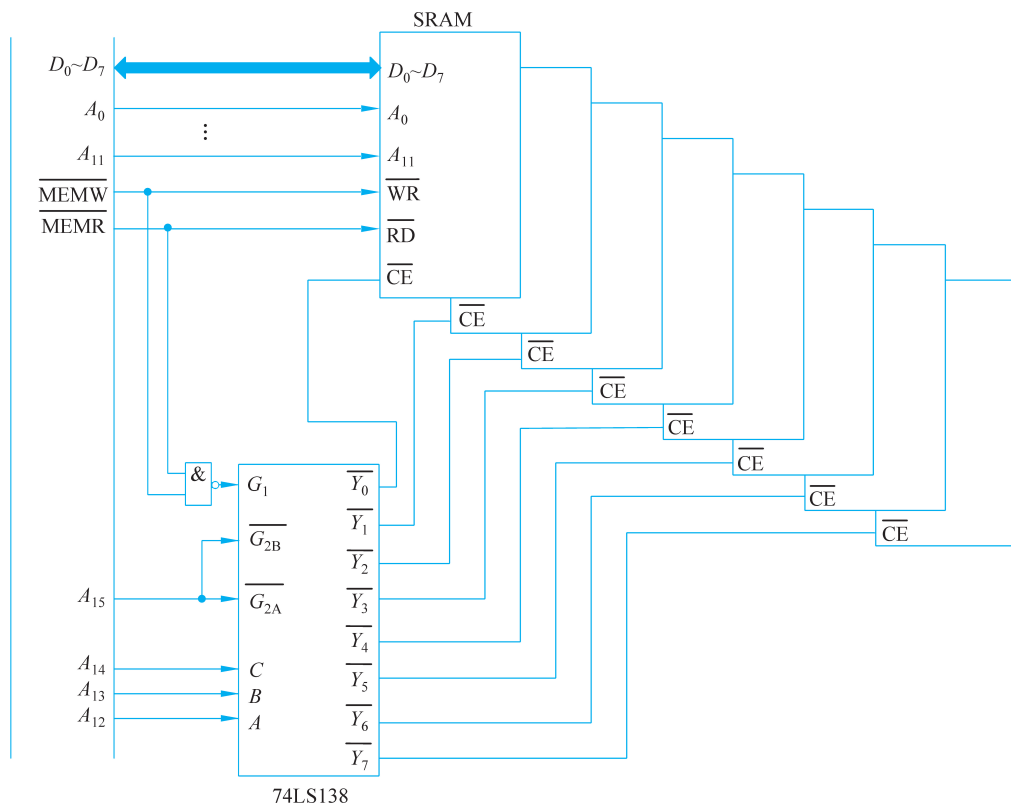


图 5-7 题 4 的存储器电路

5. 为某 8088 应用系统设计内存。要求: ROM 地址范围为 FC000H~FFFFFH, RAM 地址范围为 E00000H~FFFFFH。使用的 ROM 芯片和 SRAM 芯片的主要引脚如图 5-8 所示。

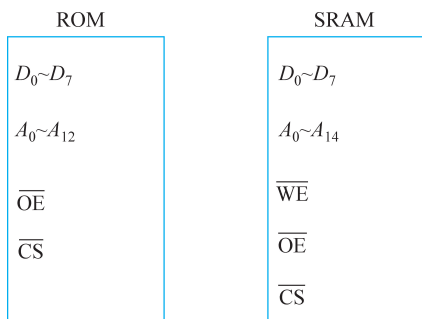


图 5-8 ROM 芯片和 RAM 芯片的主要引脚

解: 由题给出的地址范围知: 要求 ROM 的容量为 16KB, RAM 的容量为 128KB。由芯片引脚图知, ROM 芯片的存储容量是 8KB, SRAM 芯片的容量是 32KB。由此可以得出需要 2 片 ROM 芯片, 4 片 SRAM 芯片。

电路设计如图 5-9 所示。

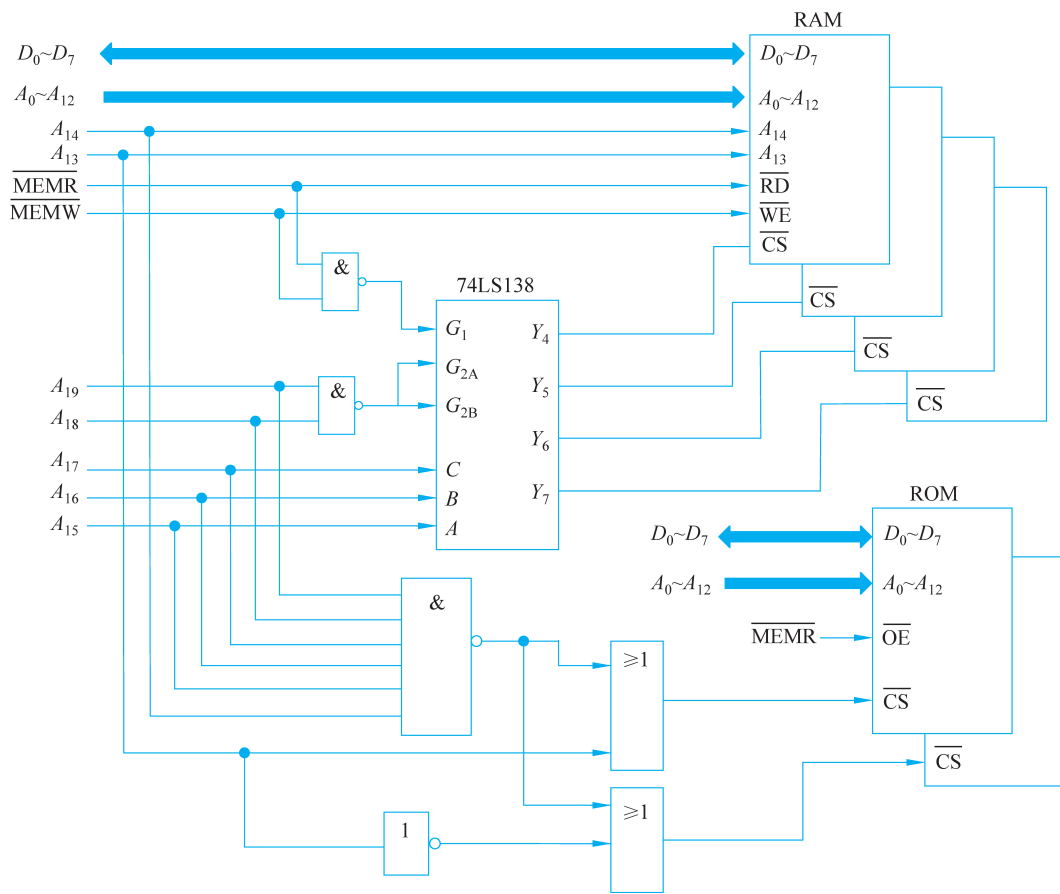


图 5-9 题 5 的存储器接口

第 6 章 输入输出和中断技术

6.1 填空题

1. 主机与外部设备进行数据传送时,处理器效率最高的传送方式是(DMA)。

解: 基本输入输出方式有 4 种,由于直接存储器存取(DMA)方式可以实现 I/O 接口到内存的直接数据交换,且主要由硬件实现,故是效率最高的传送方式。

2. 中断 21H 的中断向量放在从地址(0084H)开始的 4 个存储单元中。

解: 这里的 21H 是中断类型码,中断向量存放在类型码 $\times 4$ 所指向的 4 字节单元中。

3. 输入接口应具备的基本条件是具有(对数据的控制)能力,输出接口应具备的基本条件则是(数据的锁存)能力。

解: 输入数据时,由于外设处理数据的时间一般要比 CPU 长得多,数据在外部总线上保持的时间相对较长,所以要求输入接口必须要具有对数据的控制能力;在输出数据时,同样由于外设的速度比较慢,要使数据能正确写入外设,CPU 输出的数据一定要能够保持到外设将数据读走。如果这个“保持”的工作由 CPU 来完成,则对其资源就必然是个浪费。因此,要求输出接口必须要具有数据的锁存能力。

4. 要禁止 8086 对 INTR 中断进行响应,应该把 IF 标志位设置为(0)。

解: IF 标志位为 1,表示可以相应外部可屏蔽中断请求。

5. 要设置中断类型 60H 的中断向量,应该把中断向量的段地址放入内存地址为(0182H)的字单元中,偏移地址放入内存地址为(0180H)的字单元中。

解: 中断向量存放在中断类型码 $n \times 4$ 所指向的 4 字节中。其中,高地址字单元中存放中断向量的段地址,低地址字单元(即 $n \times 4$)中存放中断向量的偏移地址。

6. ARM 中断向量表通常位于存储器的(低地址端)。

解: ARM 体系结构中,异常中断向量表的大小为 32 字节。其中,每个异常中断占据 4 字节,在这 4 字节空间中存放 1 条跳转指令或者 1 条向 PC 寄存器中赋值的数据访问指令。当中断产生时,通过这两种指令,使程序跳转到相应的异常中断处理程序处执行。

6.2 简答题

1. 输入输出系统主要由哪几部分组成? 它主要有哪些特点?

解: 输入输出系统主要由 3 部分组成,即输入输出接口、输入输出设备、输入输出软件。

输入输出系统主要有4个特点:复杂性、异步性、实时性、与设备无关性。

2. 试比较4种基本输入输出方法的特点。

解:在微型计算机系统中,主机与外设之间的数据传送有4种基本的输入输出方式:

无条件传送方式;

查询工作方式;

中断工作方式;

直接存储器存取(DMA)方式。

它们各自具有以下特点:

无条件传送方式适合于简单的、慢速的、随时处于“准备好”接收或发送数据的外部设备,数据交换与指令的执行同步,控制方式简单。

查询工作方式针对并不随时“准备好”、而需满足一定状态才能实现数据的输入输出的简单外部设备,其控制方式也较简单,但CPU的效率比较低。

中断工作方式是由外部设备作为主动的一方,在需要时向CPU提出工作请求,CPU在满足响应条件时响应该请求并执行相应的中断处理程序。这种工作方式使CPU的效率较高,但控制方式相对较复杂。

DMA方式适合于高速外部设备,是4种基本输入输出方式中速度最高的一种。

3. 8088/8086系统如何确定硬件中断服务程序的入口地址?

解:8088/8086系统的硬件中断包括非屏蔽和可屏蔽两种中断请求。每个中断源都有一个与之相对应的中断类型码 n 。系统规定所有中断服务子程序的首地址都必须放在中断向量表中,其在表中的存放地址 $=n \times 4$, (向量表的段基地址为0000H)。即子程序的入口地址为(0000H: $n \times 4$)开始的4个单元中,低位字(2字节)存放入口地址的偏移量,高位字存放入口地址的段基地址。

4. 简述可屏蔽中断和非屏蔽中断的区别。

解:INTR中断为可屏蔽中断,中断请求信号高电平有效。CPU能否响应该请求要看中断允许标志位IF的状态,只有当 $IF=1$ 时,CPU才可能响应中断。

NMI中断为非屏蔽中断,请求信号为上升沿有效,对它的响应不受IF标志位的约束,CPU只要当前指令执行结束就可以响应NMI请求。

5. 说明8088微处理器可屏蔽中断的处理过程。

解:可屏蔽中断的处理过程(或响应过程)主要包括中断请求、中断源识别与中断判优、中断响应、中断处理和中断返回5个步骤。整个过程如图6-1所示。

6. CPU满足什么条件能够响应可屏蔽中断?

解:(1) CPU要处于开中断状态,即 $IF=1$,才能响应可屏蔽中断。

(2) 当前指令执行结束。

(3) 当前没有发生复位(RESET)、保持(HOLD)和非屏蔽中断请求(NMI)。

(4) 若当前执行的指令是开中断指令(STI)和中断返回指令(IRET),则在执行完该指令后再执行一条指令,CPU才能响应INTR请求。

(5) 对前缀指令,如LOCK、REP等,CPU会把它们和它们后面的指令看作一个整体,直到这个整体指令执行完,方可响应INTR请求。

7. 8259A有哪几种优先级控制方式? 一个外中断服务程序的第一条指令通常为STI,

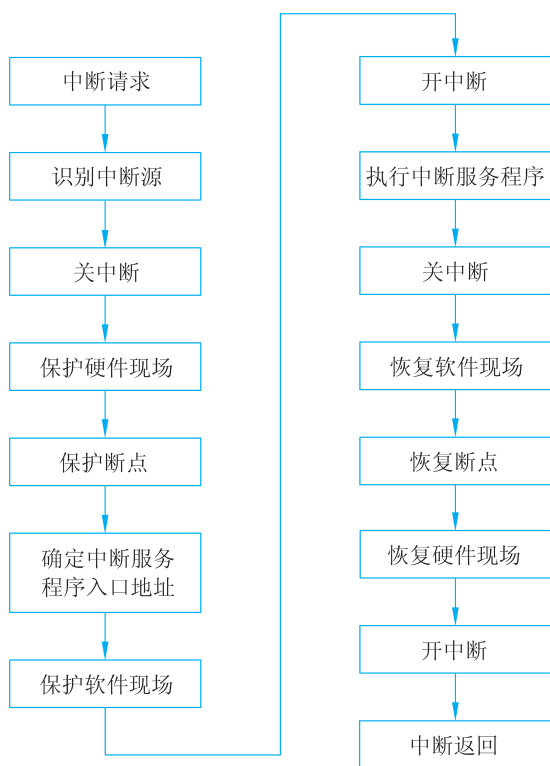


图 6-1 中断处理的过程

其目的是什么？

解：8259A 有两类优先级控制方式，即固定优先级和循环优先级方式。CPU 响应中断时会自动关闭中断（使 $IF=0$ ）。若进入中断服务程序后允许中断嵌套，则需用指令开中断（使 $IF=1$ ），故一个外中断服务程序的第一条指令通常为 STI。

8. 单片 8259A 能够管理多少级可屏蔽中断？若用 3 片 8259A 级联，能管理多少级可屏蔽中断？

解：因 8259A 有 8 位可屏蔽中断请求输入端，故单片 8259A 能够管理 8 级可屏蔽中断。若用 3 片级联，即 1 片用作主控芯片，两片作为从属芯片，每一片从属芯片可管理 8 级，则 3 片级联共可管理 22 级可屏蔽中断。

9. 试分析 ARM 处理器的异常中断与 Intel 微处理器中断处理过程的异同。

解：作为处理器，ARM 处理器和微处理器的中断在技术上有很多相似的地方。如响应中断时，要先保护被中断程序的执行现场（断点地址和硬件现场）；从中断处理程序退出时，要恢复现场等。

ARM 处理器异常中断过程主要包括中断响应和中断返回。详细描述请参见主教材 6.4.4 节。

10. ARM 处理器中主要有哪几类异常中断？试说明它们各自的优先级。

解：ARM 处理器异常中断可分为 3 类：

① 指令执行引起的直接异常软件中断、未定义指令异常中断（包括所要求的协处理器不存在时的协处理器指令）和预取中止（因取指令过程中，存储器的故障导致的无效指令）。

② 指令执行引起的间接异常。因读取和存储数据时的存储器故障引起的数据终止。

③ 外部产生的与指令流无关的异常,如复位、普通中断 IRQ、快速中断 FIQ 等。

各异常中断的优先级请参见主教材 6.4.4 节表 6-1。

11. 已知 $SP = 0100H$, $SS = 3500H$, 在 $CS = 9000H$, $IP = 0200H$, $[00020H] = 7FH$, $[00021H] = 1AH$, $[00022H] = 07H$, $[00023H] = 6CH$, 在地址为 $90200H$ 开始的连续两个单元中存放着一条两字节指令 INT 8。试指出在执行该指令并进入相应的中断例程时, SP 、 SS 、 IP 、 CS 寄存器的内容以及 SP 所指向的字单元的内容是什么?

解: CPU 在响应中断请求时首先要进行断点保护,即要依次将 $FLAGS$ 和 INT 下一条指令的 CS 、 IP 寄存器内容压入堆栈,亦即栈顶指针减 6,而 SS 的内容不变。 INT 指令是一条两字节指令,故其下一条指令的 $IP = 0200H + 2 = 0202H$ 。

中断服务子程序的入口地址则存放在中断向量表(8×4)所指向的连续 4 个单元中。 $8 \times 4 = 0020H$ 。所以,在执行中断指令并进入相应的中断例程时,以上各寄存器的内容分别为:

$SP = 0100H - 6 = 00FAH$

$SS = 3500H$

$IP = [0020H]$ 字单元内容 $= 1A7FH$

$CS = [0022H]$ 字单元内容 $= 6C07H$

$[SP] = 0202H$

6.3 设计题

1. 设输入接口的地址为 $0E54H$, 输出接口的地址为 $01FBH$, 分别利用 74LS244 和 74LS273 作为输入和输出接口。画出其与 8088 系统总线的连接图;并编写程序,使当输入接口的 bit1、bit4 和 bit7 这 3 位同时为 1 时, CPU 将内存中 $DATA$ 为首地址的 20 个单元的数据从输出接口输出,若不满足上述条件则等待。

解: 由给定端口地址知:端口地址为全地址译码,可利用基本逻辑门设计 I/O 接口电路如图 6-2 所示。

输入状态位有 3 位(bit1、bit4 和 bit7)。根据题目要求,可采用查询方式实现数据输出。由查询工作方式流程知:首先需要判断读入的 3 个状态位是否满足输出要求,若满足条件,则通过输出接口输出一个单元的数据;之后再继续判断状态是否满足,直到 20 个单元的数据都从输出接口输出。

参考程序:

LEA SI, DATA	;取数据偏移地址
MOV CL, 20	;数据长度送 CL
AGAIN: MOV DX, 0E54H	
WAITT: IN AL, DX	;读入状态值
AND AL, 92H	;屏蔽掉不相关位,仅保留 bit1、bit4 和 bit7 位状态