

第5章

触发器

第4章介绍的组合逻辑电路,由于内部不存在输出到输入的反馈,其输出只与当时的输入有关,与过去的输入无关,因而不具备记忆功能。时序逻辑电路(sequential logic circuit)则不同,它通过在电路内部引入反馈“记住”输入信号的历史,从而解决了组合逻辑电路无法实现的“记忆”功能。通常把具有记忆功能的这类数字电路称为时序逻辑电路或时序电路。

本章介绍基本的时序逻辑部件触发器、计数器和移位寄存器,举例说明其使用方法,并在此过程中说明用于描述时序逻辑电路的术语和概念。

5.1 SR 锁存器

SR 锁存器(latch)是静态存储单元中最基本,也是电路结构最简单的一种,通常由两个与非门或者或非门构成。

SR 锁存器电路及逻辑符号如图 5.1 所示,它由两个与非门交叉耦合构成。逻辑符号输入端的 S 表示 Set(置位端,置 1 端), R 表示 Reset(复位端,置 0 端), Q 和 $\bar{Q}$ 是触发器的两个互补输出端(输出端的小圆圈表示逻辑非),规定 Q 输出端的逻辑值代表触发器的状态,即 $Q=1$ 表示触发器处于 1 状态, $Q=0$ 表示触发器处于 0 状态;将使 $Q=1$ 的操作称为置位或置 1,使 $Q=0$ 的操作称为复位或置 0。

对图 5.1(a)的 SR 锁存器电路进行分析如下。

(1) $SR=01$ 时: G_1 门先稳定输出 1($Q=1$), G_2 门随后稳定输出 0($Q=0$),即此时触发器处于 1 状态。 $SR=01$ 称为置位(置 1)操作。

(2) $SR=10$ 时: G_2 门先稳定输出 1($Q=1$), G_1 门随后稳定输出 0($Q=0$),即此时触发器处于 0 状态。 $SR=10$ 称为复位(置 0)操作。

(3) $SR=11$ 时: G_1 、 G_2 门的稳定输出由 Q^n (触发器原状态)和 $\bar{Q}^n$ 决定,若 $Q^n=0$,则次态仍是 0;若 $Q^n=1$,则次态仍是 1。 $SR=11$ 称为保持操作。

(4) $SR=00$ 时: G_1 、 G_2 门的稳定输出均为 1,违背了触发器的 Q 和 $\bar{Q}$ 应该互补输出的原则。此外,当 SR 的输入由 00 变为 11 时,新状态不能确定,这与电路设计的确定性原则不符,故应禁止输入 $SR=00$ 。

综上所述,得出 SR 锁存器的真值表如表 5.1 所示。

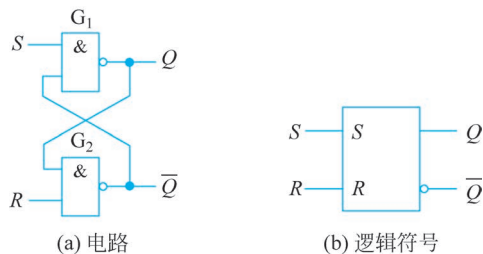


图 5.1 SR 锁存器

表 5.1 SR 锁存器的真值表

S^n	R^n	Q^{n+1}	功能说明
0	1	1	置位(置 1)
1	0	0	复位(置 0)
1	1	Q^n	保持
0	0	Φ	禁用



注意:

表 5.1 中的 Q^n 表示触发器的现态, Q^{n+1} 表示触发器的次态。上标 n 和 $n+1$ 用于标记时间先后顺序: n 对应现在时刻 t_n , $n+1$ 对应下一个时刻 t_{n+1} 。

现态(present state)和次态(next state)是两个相对的概念, 针对每一次状态转移, 状态转移前电路所处的状态为现态, 状态转移后电路所处的状态为次态。

由表 5.1 可以看出, SR 锁存器具有置位($Q=1$)、复位($Q=0$)、保持三种功能, 输入信号 S 、 R 分别起置位和复位作用, 且都是低电平有效。

如图 5.2 所示是 SR 锁存器在一组 S 、 R 信号作用下, Q 和 $\bar{Q}$ 的输出波形。

SR 锁存器也可以由两个或非门交叉耦合构成, 其不同之处在于置位功能和复位功能变为当 S 、 R 为 1 时起作用, 而本节用与非门构成的 SR 锁存器是当 S 、 R 端为低电平时起作用。

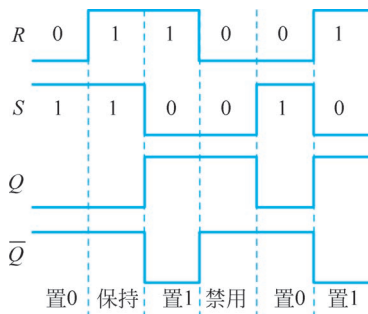


图 5.2 SR 锁存器波形图

5.2 SR 触发器

触发器与锁存器不同之处在于触发器多了一个触发信号输入端, 只有在触发信号到来时, 触发器才会完成置 1、置 0 等操作, 这个触发信号一般是时钟脉冲信号 CP (Clock Pulse), 触发方式有电平触发和边沿触发两种方式。

触发器(Flip-Flop)是时序逻辑电路最基础的器件, 其特点如下。

- (1) 具有高电平和低电平两种稳定的输出状态(双稳态)。
- (2) “不触不发, 一触即发”, 只有在触发信号来到时, 触发器的状态才会发生变化, 否则一直保持原有状态不变。

1. 电平触发的 SR 触发器

SR 锁存器的置 1 和置 0 功能, 在当 S 、 R 端为低电平时是立即响应的, 在实际使用时并不可靠, 解决的方法是在电路中加入一个时钟信号 CP 进行控制, 每来一个 CP 脉冲, 电路发生一次状态改变。图 5.3(a)所示的电路是在 SR 锁存器前加入了时钟信号和控制逻辑门, 称为电平触发 SR 触发器, 有些国外教材中也称为门控 SR 锁存器(gated SR latch), 该电路也是构成各种更为复杂和完善的时钟控制触发器的基本电路, 其逻辑符号如

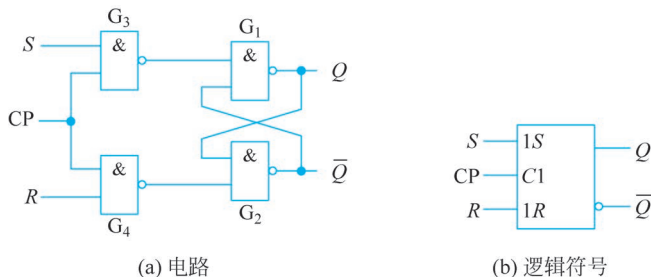


图 5.3 电平触发 SR 触发器

图 5.3(b)所示,真值表如表 5.2 所示。电路图中, G_1 、 G_2 构成基本 RS 触发器, G_3 、 G_4 为控制电路。由于时钟信号 CP 只是触发器状态变化的时间基准,所以没有将其列入真值表。

表 5.2 电平触发 SR 触发器真值表

S^n	R^n	Q^{n+1}	功能说明
0	0	Q^n	保持
0	1	0	复位(置 0)
1	0	1	置位(置 1)
1	1	Φ	禁用



注意:

电平触发 SR 触发器(图 5.3(a)电路)的电路分析如下。

当时钟信号 $CP=0$ 时,导引门 G_3 、 G_4 关闭(输出 1),由 G_1 、 G_2 构成的 SR 锁存器保持原状态不变;当 $CP=1$ 时,导引门 G_3 、 G_4 打开, S 、 R 信号取反后加到 SR 锁存器上,触发器的状态根据 S 和 R 的取值相应变化, S 、 R 仍然分别起置位和复位作用,但均为高电平有效。由此可见,电平触发 SR 触发器的状态转换由 S 、 R 和 CP 控制。 S 、 R 控制状态转换的方向,即触发器的次态由 S 、 R 的取值决定; CP 控制状态转换的时刻,即触发器何时发生状态转换由 CP 决定。 CP 脉冲作用前的状态称为现态, CP 脉冲作用后的状态称为次态。与 SR 锁存器相似,当 S 、 R 同时为 1 时,在 CP 为高电平期间, Q 和 $\bar{Q}$ 都为 1; CP 下降沿到来后, Q 和 $\bar{Q}$ 的状态无法确定,因此,应该禁止出现这种输入情况。

2. 电平触发 SR 触发器的分析

将真值表中的输入 S^n 、 R^n , 输出 Q^{n+1} 构成卡诺图,用卡诺图化简,可以得到描述该触发器状态转换规律的次态方程(也称特征方程)及对输入信号 S 、 R 的约束条件

$$\begin{cases} Q^{n+1} = S^n + \bar{R}^n Q^n \\ S^n R^n = 0 (\text{约束条件}) \end{cases}$$

图 5.4 所示是电平触发 SR 触发器在一组 S 、 R 信号作用下, Q 和 $\bar{Q}$ 的工作波形图。

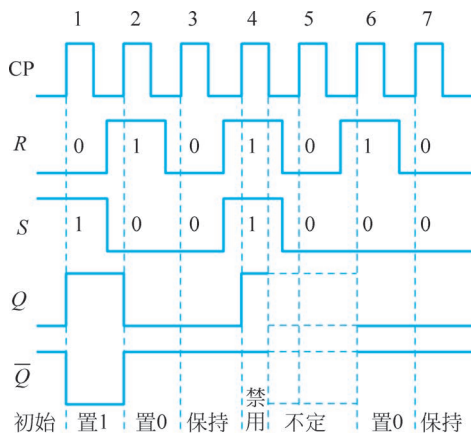


图 5.4 电平触发 SR 触发器的工作波形图



注意:

电平触发 SR 触发器在功能上仍然是不完善的,比如,在 CP 脉冲的高电平期间,S、R 如果发生多次变化,会引起触发器的状态发生多次翻转。这种在一个 CP 脉冲作用期间触发器发生多次状态变化的现象称为空翻。空翻违背了每来一个 CP 脉冲触发器最多发生一次状态变化的原则,必须避免。解决的办法就是采用只对 CP 边沿而不是电平进行响应的边沿触发器。现在的集成触发器大多采用边沿触发(edge-triggered)的结构,如主从式结构、维持-阻塞式结构,有效解决了空翻问题,触发器的状态只可能在 CP 脉冲的上升沿或下降沿到来时发生变化。

5.3 集成触发器



集成触发器包括 D 触发器、JK 触发器和 T 触发器。集成触发器的内部电路一般较为复杂,本节将从使用的角度出发主要介绍它们的外部特性,包括逻辑符号、真值表、激励表、次态方程及工作波形等。

5.3.1 D 触发器

D 触发器(delay flip-flop)的逻辑符号如图 5.5 所示,D 触发器为时钟脉冲上升沿触发,在逻辑符号中,符号 $\triangleright$ 表示边沿,CP 输入端无小圆圈表示上升沿触发(有小圆圈则表示下降沿触发)。

集成触发器逻辑功能的常用描述方法(这些描述手段也是时序逻辑电路中经常用到的)如下。

(1) **真值表**: 真值表反映输入的激励信号取值与触发器次态的关系。D 触发器真值表如表 5.3 所示,由真值表可见,D 触发器是一种延迟型触发器,不管触发器的现态是 0 还是 1,触发器的新状态总是与时钟脉冲上升沿到来时刻的 D 端输入值相同。

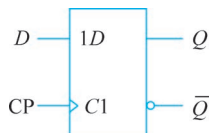


图 5.5 D 触发器的逻辑符号

表 5.3 D 触发器真值表

D^n	Q^{n+1}	功能
0	0	置 0
1	1	置 1

(2) **状态表**: 状态表是状态转换表的简称,状态表以激励信号和触发器的原状态为自变量,以触发器的次态为函数,列表反映其取值关系。表 5.4 是状态表的示意图,表的上方为电路所有可能的输入组合,表的左列为电路所有可能的状态(现态),表栏中为现态和激励作用下的次态和输出。D 触发器的状态表如表 5.5 所示,可以看出,D 触发器的次态 Q^{n+1} 取值只由激励信号 D^n 确定,与触发器的原状态 Q^n 无关。

(3) **状态图**: 状态图是状态转换图的简称,状态图是分析和设计时序逻辑电路的重要工具。状态图和状态表可以方便地相互转换。例如,表 5.4 所示的状态表可以用图 5.6 所示的状态图来表示,反过来也一样。图 5.6 中状态名外加圆圈表示状态,箭头表示状态转换的方向,状态转换所需的输入条件 X^n 和相应的输出信号 Z^n 以 X^n/Z^n 的形式标于箭头旁。图 5.7 是 D 触发器的状态图。

表 5.4 状态表

现态	输 入	
		X^n
Q^n		Q^{n+1}/Z^n

次态/输出

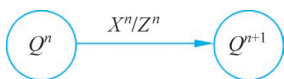


图 5.6 状态图

表 5.5 D 触发器状态表

Q^n	D	
	0	1
0	0	1
1	0	1

Q^{n+1}

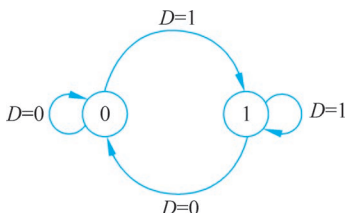


图 5.7 D 触发器的状态图

(4) **次态方程**：将触发器的次态用表达式表示。可以看出,D 触发器的次态 Q^{n+1} 始终等于激励信号 D^n 的值,其次态方程可表示为 $Q^{n+1} = D^n$ 。

(5) **激励表**：激励表用于反映触发器从某个现态转向规定的次态时,在其激励输入端应施加的激励信号,常在设计时序逻辑电路时用到。激励表可由状态表反向推导得到,表 5.6 是 D 触发器的激励表。设计时序电路时,在明确了电路的状态转换关系后,需进一步确定触发器应施加的激励信号,这时就要用到触发器的激励表。

图 5.8 是 D 触发器在给定 D 端输入波形情况下, Q 端的输出波形图,设 Q 的起始状态为 0,状态变化只发生在时钟脉冲的上升沿到来时,故用虚线将这些时刻标注。

表 5.6 D 触发器激励表

Q^n	Q^{n+1}	D^n
0	0	0
0	1	1
1	0	0
1	1	1

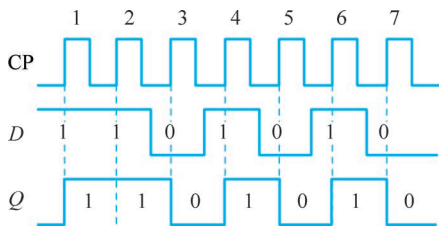


图 5.8 D 触发器工作波形图

5.3.2 JK 触发器

JK 触发器的逻辑符号如图 5.9 所示,JK 触发器在时钟脉冲 CP 的下降沿触发翻转,逻辑符号时钟输入端的小圆圈表示下降沿触发。 J 、 K 是触发器的两个激励信号输入端,表 5.7 是 JK 触发器真值表,由真值表可知,JK 触发器的逻辑功能最丰富,包括置 1(置位)、置 0(复位)、保持(状态不变)和翻转 4 种功能。JK 触发器的状态表和激励表分别如表 5.8 和表 5.9 所示,图 5.10 是 JK 触发器状态图,状态图和激励表中的 Φ 表示取任意值(0 或 1)。

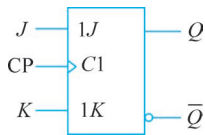


图 5.9 JK 触发器的逻辑符号

表 5.7 JK 触发器真值表

J^n	K^n	Q^{n+1}	功能
0	0	Q^n	保持
0	1	0	置 0
1	0	1	置 1
1	1	$\bar{Q}^n$	翻转

表 5.8 JK 触发器状态表

Q^n	$J^n K^n$				Q^{n+1}
	00	01	10	11	
0	0	0	1	1	1
1	1	0	1	0	

表 5.9 JK 触发器激励表

Q^n	Q^{n+1}	J^n	K^n
0	0	0	Φ
0	1	1	Φ
1	0	Φ	1
1	1	Φ	0

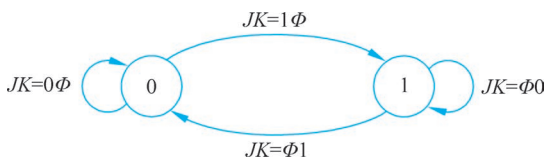


图 5.10 JK 触发器状态图

将状态表通过卡诺图化简可得 JK 触发器次态方程 $Q^{n+1} = J^n \bar{Q}^n + \bar{K}^n Q^n$ 。

5.3.3 T 触发器

T 触发器(Toggle flip-flop)是一种只有保持和翻转两种功能的触发器,也称为计数触发器, T 是它的激励信号输入端。上升沿触发的 T 触发器的逻辑符号如图 5.11 所示,其状态图如图 5.12 所示,其真值表、状态表和激励表分别如表 5.10、表 5.11 和表 5.12 所示,其次态方程为 $Q^{n+1} = T^n \bar{Q}^n + \bar{T}^n Q^n = Q^n \oplus T^n$ 。

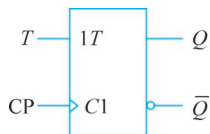


图 5.11 T 触发器的逻辑符号

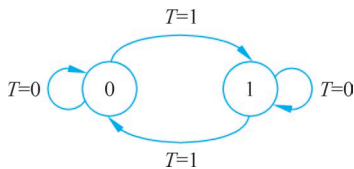


图 5.12 T 触发器状态图

表 5.10 T 触发器真值表

T^n	Q^{n+1}	功能说明
0	Q^n	保持
1	$\bar{Q}^n$	翻转

表 5.11 T 触发器状态表

Q^n	T^n		Q^{n+1}
	0	1	
0	0	1	1
1	1	1	

表 5.12 T 触发器激励表

Q^n	Q^{n+1}	T^n
0	0	0
0	1	1
1	0	1
1	1	0

将 T 触发器 T 端固定接 1,就得到只具有翻转功能的触发器,称为 T' 触发器,每来一个时钟脉冲, T' 触发器的状态就翻转一次。现实数字集成电路中并无 T 触发器或 T' 触发器这类器件,一般需要用 D 触发器或 JK 触发器改接实现。用 D 触发器构成 T 触发器时,D 触发器的激励函数表达式为 $D = Q \oplus T$; 用 JK 触发器构成 T 触发器时,JK 触发器的激励函数表达式为 $J = K = T$ 。此时,T 触发器的触发类型(上升沿触发还是下降沿触发)与所使用的触发器相同。

5.3.4 触发器的异步端口

集成触发器还具有优先级更高的异步端口,包括异步置位端 $\overline{\text{PR}}$ (preset)、异步复位端 $\overline{\text{CLR}}$ (clear),带异步端口的 JK 触发器的逻辑符号如图 5.13 所示, $\overline{\text{PR}}$ 和 $\overline{\text{CLR}}$ 端口的小圆圈表示低电平有效,当 $\overline{\text{PR}}$ 端口为低电平时,触发器将立即被置位($Q=1$);当 $\overline{\text{CLR}}$ 端口为低电平时,触发器将立即被复位($Q=0$),不允许异步置位与异步复位信号同时有效。只有当异步端口信号无效时,时钟和激励信号才起作用;带异步端口的 JK 触发器的真值表如表 5.13 所示。

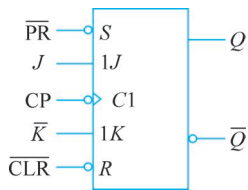


图 5.13 带异步端口的 JK 触发器的逻辑符号

集成 D 触发器也带有异步端口(置位端 $\overline{\text{PR}}$ 、异步复位端 $\overline{\text{CLR}}$),异步端口的主要作用是便于为触发器设置初始状态,以及实时改变触发器输出状态。

表 5.13 带异步端口的 JK 触发器的真值表

$\overline{\text{PR}}$	$\overline{\text{CLR}}$	CP	J^n	K^n	Q^{n+1}	功 能
0	0	Φ	Φ	Φ	Φ	禁止
0	1	Φ	Φ	Φ	1	异步置 1
1	0	Φ	Φ	Φ	0	异步复位
1	1	$\downarrow$	0	0	Q^n	保持
1	1	$\downarrow$	0	1	0	同步置 0
1	1	$\downarrow$	1	0	1	同步置 1
1	1	$\downarrow$	1	1	$\overline{Q}^n$	翻转

如图 5.14 所示是带异步端口的 JK 触发器在给定 $\overline{\text{PR}}$ 、 $\overline{\text{CLR}}$ 、J 和 K 端输入波形情况下, Q 端的输出波形图,设 Q 的起始状态为 0。

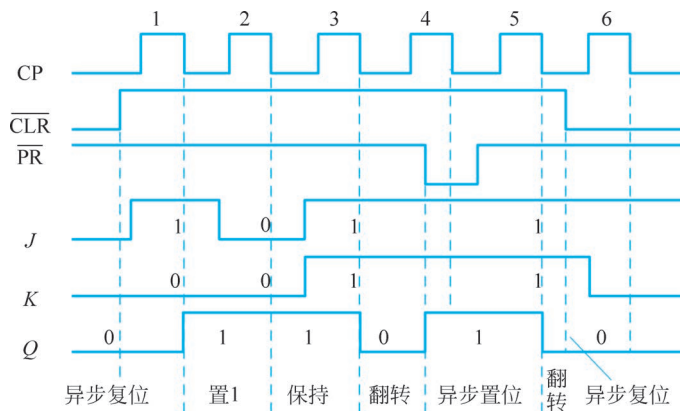


图 5.14 带异步端口的 JK 触发器的工作波形图



注意：

触发器的动态特性：触发器在使用时,还应注意其动态特性,包括建立时间、保持时间、最高时钟频率等,尤其是工作在时钟频率很高的情况下时。一般地说,当 CP 脉冲的有效边沿到来时,激励输入信号应该已经到来

一段时间,这个时间的最小值称为建立时间,用 t_{SU} 表示; CP 脉冲的有效边沿到来后,激励输入信号还应该继续保持一段时间,这个时间的最小值称为保持时间,用 t_{H} 表示。建立时间和保持时间示意图如图 5.15 所示。最高时钟频率是指触发器在连续、重复翻转的情况下,时钟信号可以达到的最高工作频率,用 f_{max} 表示。如双 D 触发器芯片 74LS74A,器件手册上给出的动态特性指标为 $t_{\text{SU}}=20\text{ns}$, $t_{\text{H}}=5\text{ns}$, $f_{\text{max}}=25\text{MHz}$ 。

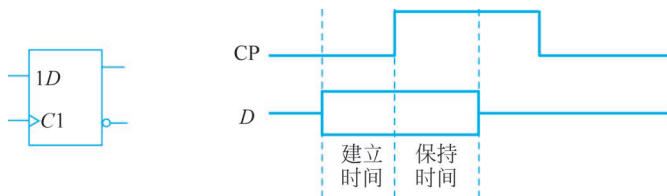


图 5.15 触发器的建立时间和保持时间示意图

5.3.5 触发器逻辑功能的转换

可将触发器附加门电路使其逻辑功能转换为另一种触发器,图 5.16 给出了几种触发器转换的电路,图 5.16(a)是 D 触发器转换为 T 触发器,此时 D 触发器的激励函数表达式为 $D=Q\oplus T$,在时钟上升沿触发;图 5.16(b)是 JK 触发器转换为 T 触发器,此时,JK 触发器的激励函数表达式为 $J=K=T$,在时钟下降沿触发;令 JK 触发器 $J=D$, $K=\bar{D}$,则 JK 触发器转换为 D 触发器,如图 5.16(c)所示。

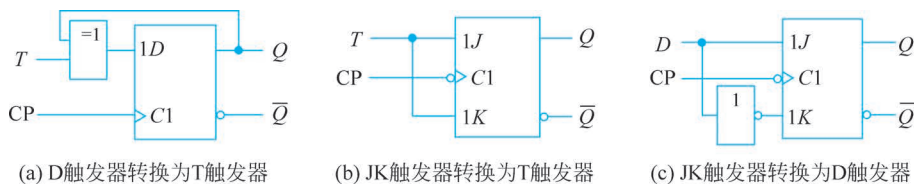


图 5.16 触发器功能的相互转换

5.4 触发器的应用

本节以触发器构成计数器为例介绍触发器的应用。计数器(counter)是用于累计输入脉冲个数的逻辑电路,在计算机和各类数字设备中应用广泛。计算机内部各种定时器、分频器,以及电子表、交通控制系统中使用的计时电路,本质上都是计数器。

计数器可分为加法计数器、减法计数器、双向计数器、BCD 码计数器、二进制计数器等类型。计数器的状态数称为计数器的模,模为 M 的计数器也称 M 进制计数器,其总的状态数为 M ,每经过 M 个时钟脉冲,状态完成一次遍历。加法计数器的计数状态按照递增的规律变化,减法计数器的计数状态按照递减的规律变化;双向计数器既可以按照加法规律计数,也可以按照减法规律计数,也称可逆计数器;BCD 计数器的状态按照某种 BCD 码编码,即十进制计数器;二进制计数器的模是 2^n 。还可以根据计数器中各触发器

状态的变化是否同步,将计数器分为同步计数器(计数器中各触发器采用同一时钟信号)和异步计数器(计数器中各触发器采用不同时钟信号)两类。

5.4.1 触发器构成异步行波计数器

图 5.17 所示电路是用下降沿触发的 JK 触发器构成的 3 位(八进制或模 8)行波加法计数器,各触发器的时钟信号不同,因此这是一个异步时序电路。

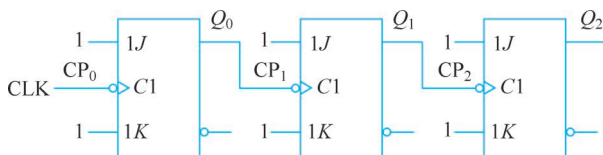


图 5.17 3 位行波加法计数器

3 个 JK 触发器均处于翻转状态, Q_0 在 CLK 的下降沿处状态翻转; Q_1 以信号 Q_0 为时钟,在 Q_0 的下降沿处状态翻转; Q_2 以信号 Q_1 为时钟,在 Q_1 的下降沿处翻转,由此可画出电路的工作波形,如图 5.18 所示。

从图 5.18 的波形图可看出,电路的起始状态为 $Q_2Q_1Q_0=000$,第 1 个 CLK 下降沿后,电路的状态变为 001;以此类推,第 7 个时钟周期后,电路的状态变为 $Q_2Q_1Q_0=111$;第 8 个时钟使电路状态回到 000,从而进入下一个循环,由此可画出电路的状态图,如图 5.19 所示。由状态图可见,该计数器的计数循环内包含 8 个状态,每经过 8 个时钟脉冲,状态按递增顺序循环一次,因此是八进制加法计数器。

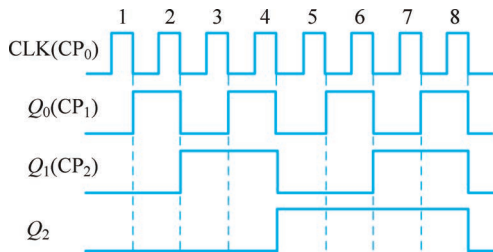


图 5.18 3 位行波加法计数器电路的工作波形图

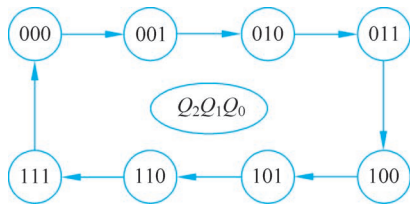


图 5.19 3 位行波加法计数器电路的状态图

图 5.17 所示的计数器,其时序波形类似行波,常称作行波计数器(ripple counter)。若将计数器中的触发器换成上升沿触发类型,则电路的状态变化将按二进制数递减的规律进行,得到行波减法计数器。

由此,可进一步总结出 2^n 进制异步计数器的更为普遍的规律。 2^n 进制异步计数器共有 2^n 个状态,需要用 n 个触发器实现,各触发器的连接规律如表 5.14 所示,其中 CP_0 是最低位触发器 Q_0 的时钟输入端,CLK 是外部时钟(计数脉冲)。

表 5.14 2^n 进制异步计数器的构造规律

计数方式	激励输入	上升沿触发时钟	下降沿触发时钟
加法计数器	全部连接为 T' 触发器	$CP_0 = \text{CLK}$, 其他 $CP_i = \bar{Q}_{i-1}$	$CP_0 = \text{CLK}$, 其他 $CP_i = Q_{i-1}$
减法计数器	$J_i = K_i = 1, D_i = \bar{Q}_i, T_i = 1$	$CP_0 = \text{CLK}$, 其他 $CP_i = Q_{i-1}$	$CP_0 = \text{CLK}$, 其他 $CP_i = \bar{Q}_{i-1}$

5.4.3 计数器的异步变模

利用触发器的异步置位端 S 和异步复位端 R , 可以将 2^n 进制计数器修改为 M 进制 ($2^{n-1} < M < 2^n$) 计数器, 这种方法也称为计数器的异步变模, 其方法可归纳为: 先实现一个模 2^n 的加法计数器, 再用与非门对状态 M 译码(状态 M 中取值为 1 的 Q 端接与非门输入端), 与非门输出端接各触发器的异步复位端(低电平有效)。

比如设计一个 8421 加法计数器(模 10), 可在十六进制同步加法计数器的基础上通过异步变模实现, 因为模 $M=10=(1010)_2$, 应在 $Q_3Q_2Q_1Q_0=(1010)_2$ 状态异步清 0, 因此, 将 Q_3 、 Q_1 与非后接到每个触发器的异步复位端 R 上, 电路如图 5.23 所示。

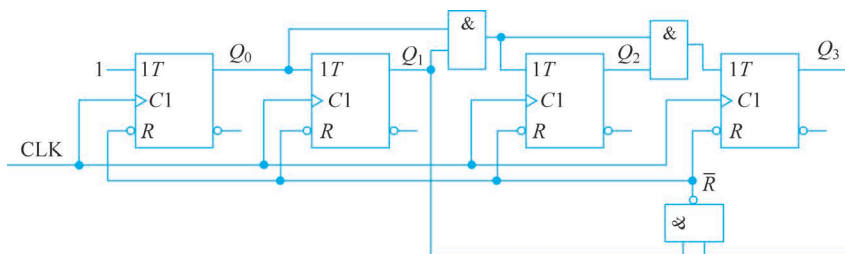


图 5.23 8421 加法计数器(模 10)电路

对图 5.23 的 8421 加法计数器(模 10)电路做进一步分析, 首先画出电路的全状态图, 如图 5.24 所示, 图中的实圈表示稳态, 虚圈表示暂态, 状态 0000~1001 是持续一个时钟周期的稳态, 状态 1010 是持续时间很短的暂态(在状态 1010 触发器异步清 0, 电路迅速变为状态 0000)。通过全状态图可看出, 此电路具备自启动特性, 即电路即使由于某种原因(如开机上电所处状态的不确定性)处于主循环外的某个状态, 经过几个时钟周期之后, 也会自动进入计数主循环。

画出 8421 加法计数器的工作波形图, 如图 5.25 所示。

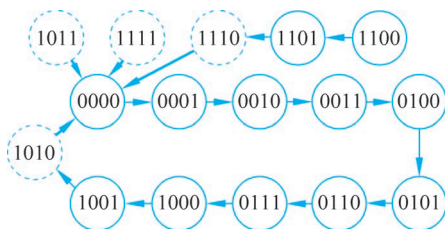


图 5.24 8421 加法计数器电路的全状态图

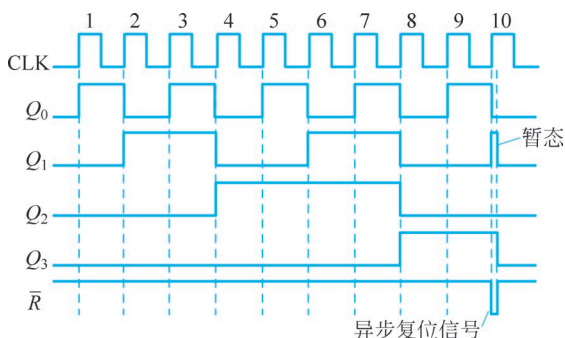


图 5.25 8421 加法计数器的工作波形图

如果电路不回到状态 0000, 就不能只用触发器的异步复位端了。图 5.26 所示的余 3 码同步加法计数器电路是综合采用异步置位和异步复位实现的, 余 3 码同步加法计数器的状态循环应该是 0011~1100, 故电路选择 1100 状态的下一个状态 1101 译码, 通过触发器的异步置位和异步复位, 使电路回到状态 0011。

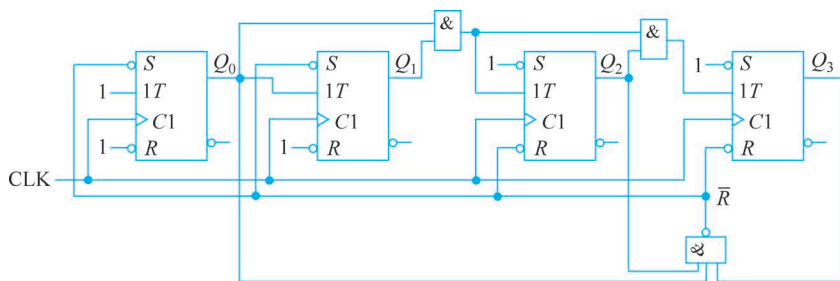
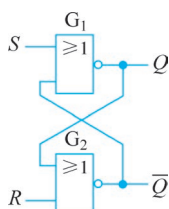


图 5.26 余 3 码同步加法计数器电路

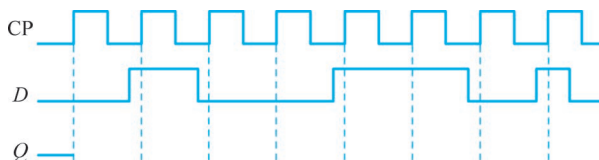
习题 5

5-1 图题 5.1 为或非门构成的 SR 锁存器电路,试画出逻辑符号,列出真值表,画出 Q 和 $\bar{Q}$ 的工作波形(S 、 R 输入波形自己假设,但必须反映各种输入情况)。

5-2 上升沿触发的 D 触发器的输入波形如图题 5.2 所示,画出对应的 Q 端波形,设初态 $Q=0$ 。

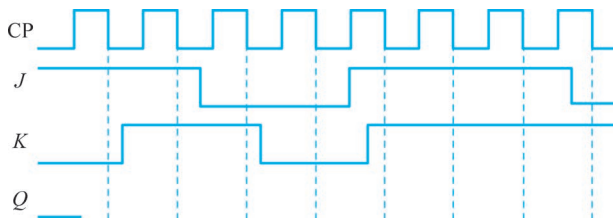


图题 5.1



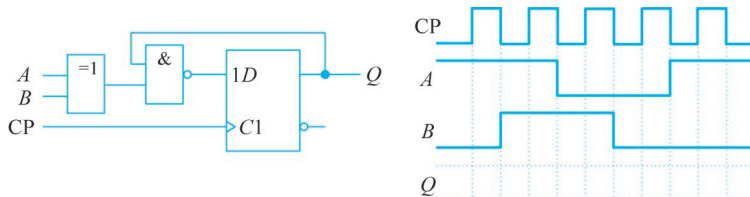
图题 5.2

5-3 下降沿触发的 JK 触发器的输入波形如图题 5.3 所示,画出对应的 Q 端波形,设初态 $Q=0$ 。



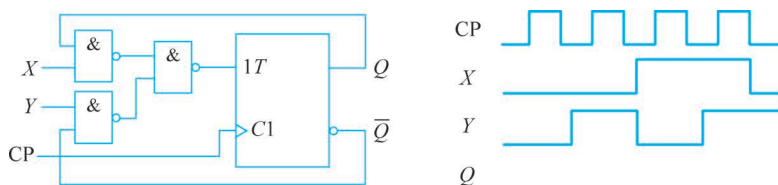
图题 5.3

5-4 设图题 5.4 中 D 触发器的初始状态为 0,针对输入波形画出 Q 端的波形。



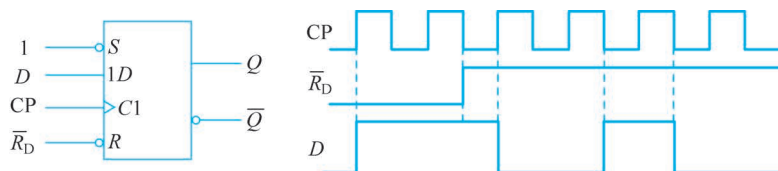
图题 5.4

5-5 T 触发器组成图题 5.5 所示电路。试求出电路次态方程,列出状态表,完成 Q 端波形图。(设起始状态为 0)。



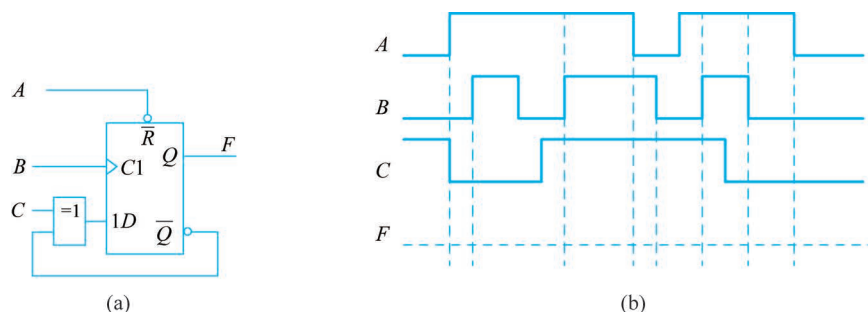
图题 5.5

5-6 试根据图题 5.6 所示电路及其输入波形,画出 Q 端波形,设初态 $Q=0$ 。



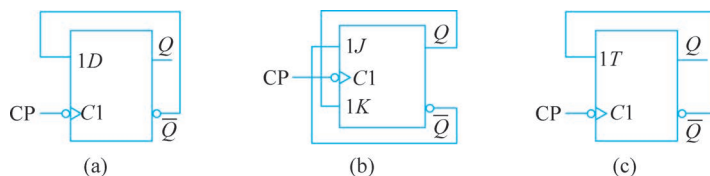
图题 5.6

5-7 已知上升沿触发的 D 触发器构成如图题 5.7(a)所示电路。写出激励方程和次态方程,试根据图题 5.7(b)中给出的输入波形,画出 F 的波形。



图题 5.7

5-8 设图题 5.8 所示各触发器 Q 端的初态都为 1,试画出在 4 个 CP 脉冲作用下各触发器的 Q 端波形。



图题 5.8

5-9 填空。

- (1) n 个触发器构成计数器的最大计数长度为()。
- (2) 要构成十一进制加法计数器,至少需要()个触发器,有()个无效状态。

- (3) 设3位二进制加法计数器的当前状态为011,则输入10个计数脉冲后状态为()。
- (4) 一个1位8421码加法计数器,当前计数值为3,经过13个输入脉冲后,计数器的状态为()。
- 5-10 画出用下降沿触发的D触发器构成的八进制异步行波加法计数器电路。
- 5-11 画出用下降沿触发的JK触发器构成的四进制异步行波可逆计数器电路。当控制端 $X=0$ 时,加法计数;当 $X=1$ 时,减法计数。
- 5-12 画出用上升沿触发的T触发器构成的五进制异步加法计数器电路。
- 5-13 画出用下降沿触发的T触发器构成的八进制同步减法计数器电路。
- 5-14 画出用上升沿触发的JK触发器构成的四进制同步可逆计数器电路。当控制端 $X=0$ 时,加法计数;当 $X=1$ 时,减法计数。

实验与设计

5-1 触发器功能测试。

(1) D触发器(74LS74)功能测试:74LS74内部集成了两个上升沿触发的D触发器,在时钟CP上升沿时刻,触发器输出端Q随输入端D的值而改变; $\overline{\text{CLR}}$ 和 $\overline{\text{PR}}$ 为异步复位、置位端,低电平有效。测试和验证D触发器74LS74的逻辑功能,观察并记录Q输出端的状态随输入端 $\overline{\text{PR}}$ 、 $\overline{\text{CLR}}$ 、D的值改变的情况。

(2) JK触发器(74LS112)功能测试:JK触发器具有清0、置1、保持和翻转4种功能。74LS112内部集成了两个下降沿触发的JK触发器,常用的JK触发器还有74LS73、74LS113、74LS114等芯片,功能及使用方法略有不同,使用时应参考器件手册。

测试JK触发器(74LS112)的逻辑功能,观察并记录Q输出端的状态随输入端 $\overline{\text{PR}}$ 、 $\overline{\text{CLR}}$ 、J、K的值改变的情况。

5-2 用D触发器实现六进制异步加法计数器:用D触发器实现六进制异步加法计数器,并验证其逻辑功能。

(1) 触发器的时钟信号用单脉冲输入,观察并记录3个触发器的输出端口的状态变化。

(2) 用 $f=1\text{kHz}$ 的连续脉冲作输入,用双踪示波器观察并比较CP端与最高位Q输出端的脉冲波形图,记录最高位Q输出端的高电平持续时间和低电平持续时间。

5-3 用JK触发器实现同步五进制加法计数器:用74LS112双JK触发器实现同步五进制加法计数器,并验证其逻辑功能。

(1) 触发器的时钟信号用单脉冲输入,观察并记录3个触发器的输出端口的状态变化。

(2) 用 $f=1\text{kHz}$ 的连续脉冲输入,用双踪示波器观察并比较CP端与最高位Q输出端的脉冲波形图,记录最高位Q输出端的高电平持续时间和低电平持续时间。