

浮栅型3D NAND Flash

5.1 简介

目前,量产的平面 NAND Flash 都是基于浮栅型 Flash 器件,这种器件结构已经发展了几十年。所以人们一直在尝试开发基于浮栅型器件的 3D NAND Flash,这样就能利用浮栅型器件这么多年积累的经验。图 5.1 展示了本章中将介绍的垂直沟道浮栅型 3D NAND Flash 结构,另外 5.7 节将介绍另外一种水平沟道的浮栅型 3D NAND Flash 结构。

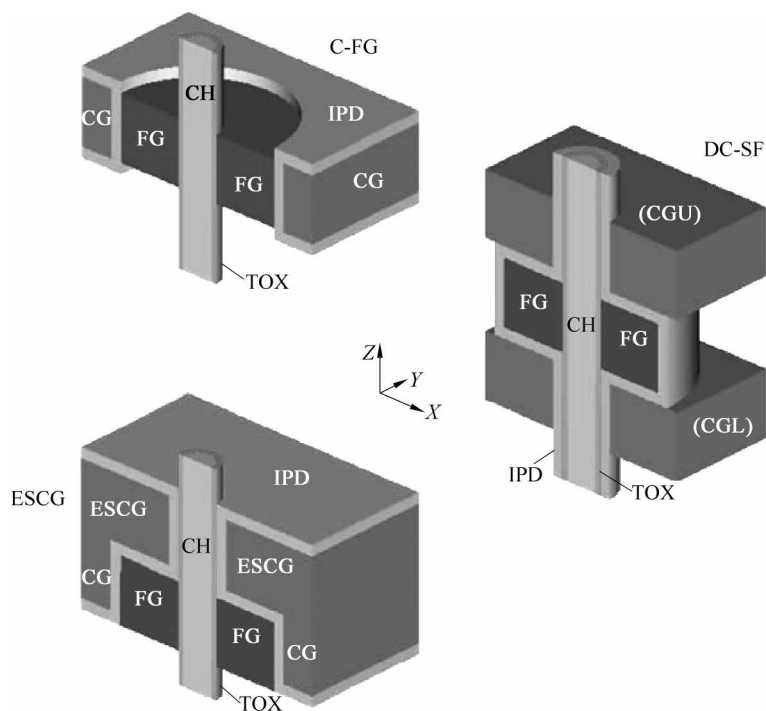


图 5.1 不同种类的浮栅型 3D NAND Flash 结构

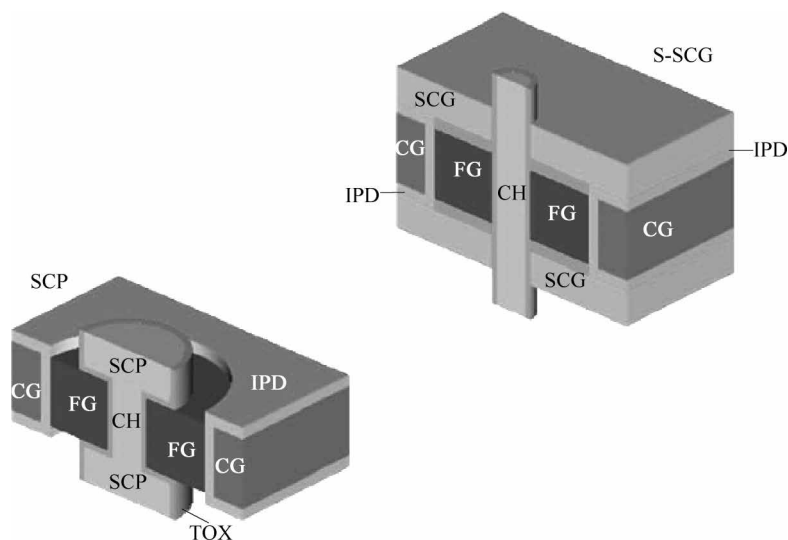


图 5.1 (续)

5.2 传统浮栅型 Flash

第一种浮栅型垂直 Flash 结构是在 2001 年被提出的^[1],阵列是利用这种被称为传统浮栅型(3D Conventional FG)或者 S-SGT(Stacked-Surrounding Gate Transistor)的器件^[1-3]搭建而成的。器件基本结构如图 5.2 所示,浮栅(FG)和控制栅(CG)环绕沟道,隧穿氧化层(Tunnel Oxide, TOX)和绝缘介质层包围浮栅材料形成完整的浮栅。图 5.3 展示了器件的俯视图和侧视图,X-Y 和 X-Z 方向剖面图如图 5.4 所示。

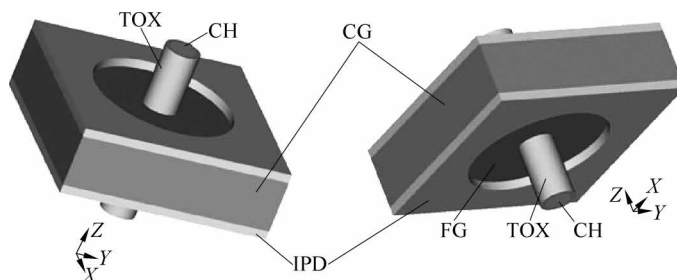


图 5.2 C-FG Flash 器件

如图 5.5 所示,可以沿纵向堆叠简单的器件形成 NAND 存储器串,为简化示意图,图中画了 6 个器件的存储器串,实际中的存储器串可以有更多的器件。图 5.6 展示了图 5.5 不同角度的剖面图。垂直 NAND 结构的顶部可以看到 BLS,通过位线接触孔将存储器串与 BL 连接;底部是连接 SL 的 SLS。由于它们仅起到开关作用,所以是没有浮栅的标准晶体管。图 5.7 展示了选通管的剖面图,其栅介质层使氧化硅材料、IPD 和其他氧化层同样可以实现这个功能。

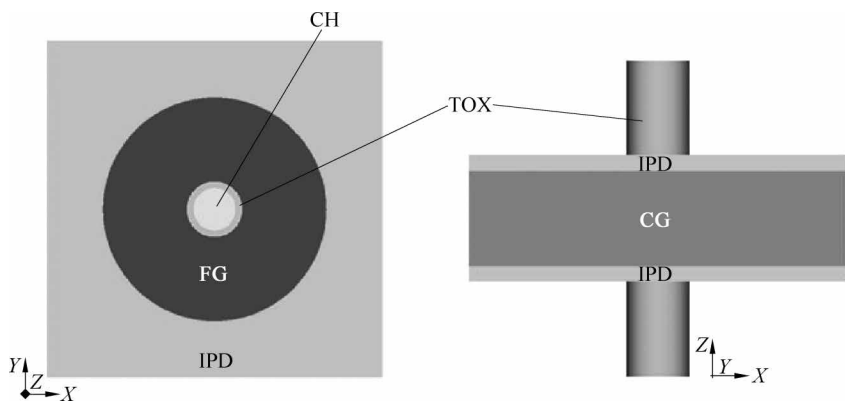


图 5.3 传统浮栅型 3D Flash 器件俯视图和侧视图

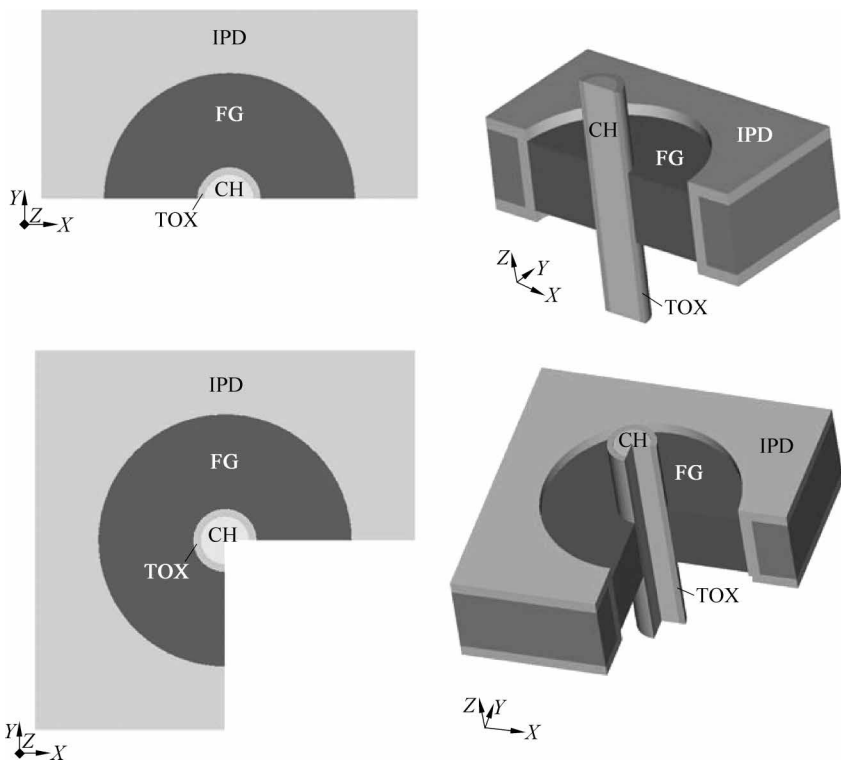


图 5.4 C-FG 阵列 X-Y 和 X-Z 方向剖面图

以一个简单的存储器串为基础(图 5.5)可以形成完整的存储器阵列(图 5.8)。

所有属于同一页的器件栅极被短接在一起形成一个字线, BLS 和 SLS 也采用同样的结构。位线和字线在存储阵列平面上相互垂直排布, 在图 5.8 所示例子中, 每一页上有 8 个器件(对应 8 条位线), 共有 48 条字线。为了更好地介绍阵列结构的细节, 图 5.9 展示了此结构的分层图。

字线被沿着 Y 方向切割开, 这是在制造过程中为完成相应步骤而形成的结构, SLS 的字线是同样的结构。图 5.10~图 5.12 增加了存储阵列的外围电路, 需要注意的是在 Z 方

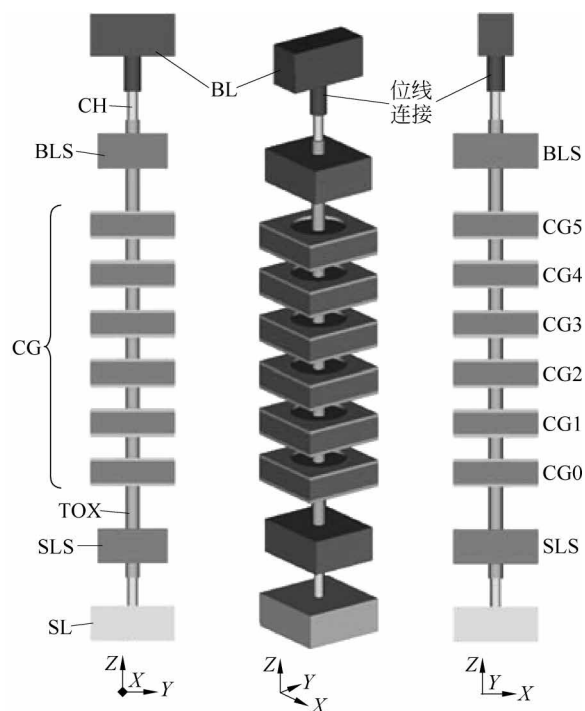


图 5.5 C-FG NAND 存储器串

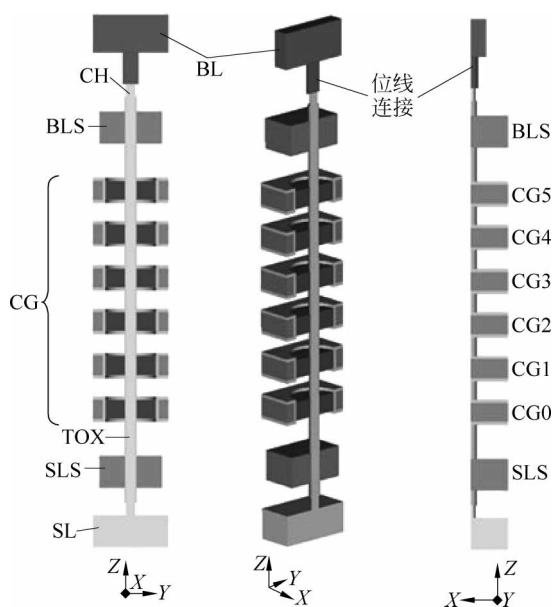


图 5.6 图 5.5 的剖面图

向同一层的字线被短接在一起,也就是说 48 条字线组成了一个 NAND 存储器的块。当然,位线不能短接在一起,因为需要它们来区分在同一个控制栅极层上的 8 个器件中的一个。因为 SLS 只有在块被擦除的时候才被选中,在同一个块中的 SLS 都是短接在一起的。

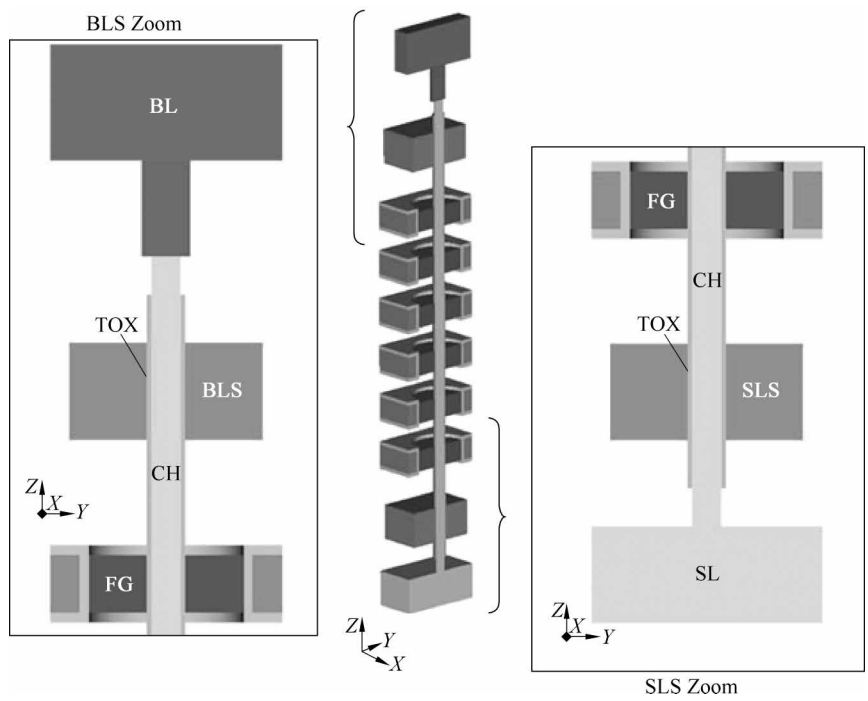


图 5.7 BLS 和 SLS 的剖面图

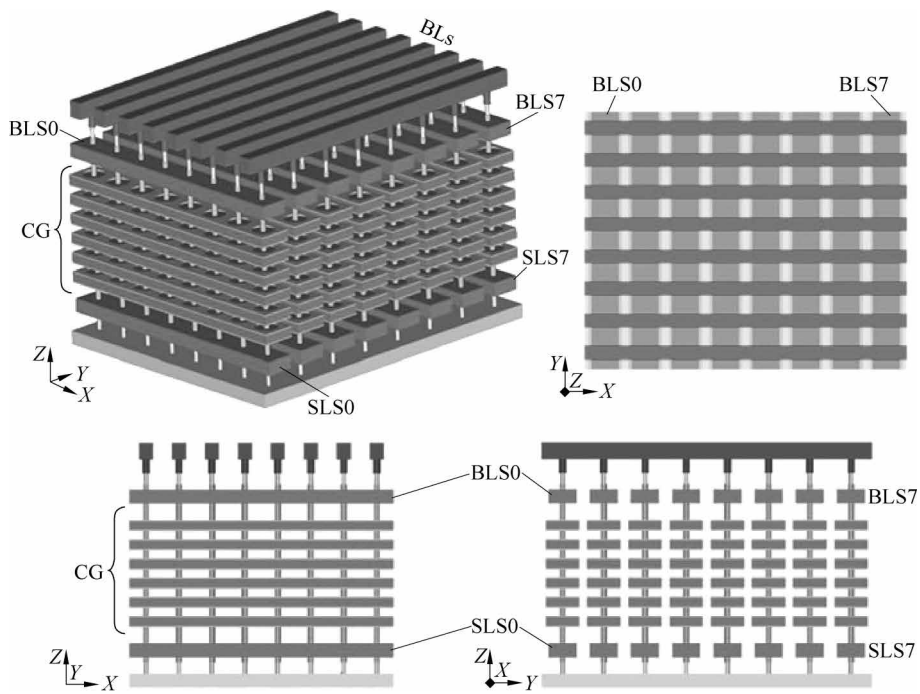


图 5.8 C-FG NAND 阵列结构

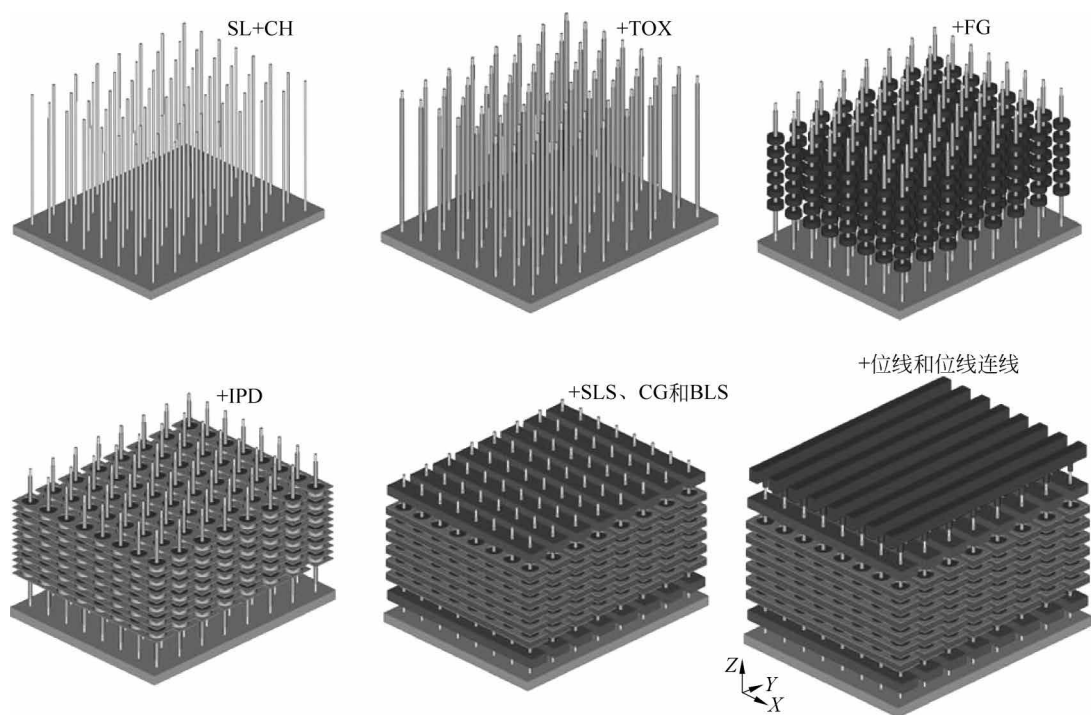


图 5.9 C-FG 存储器阵列各层结构示意图

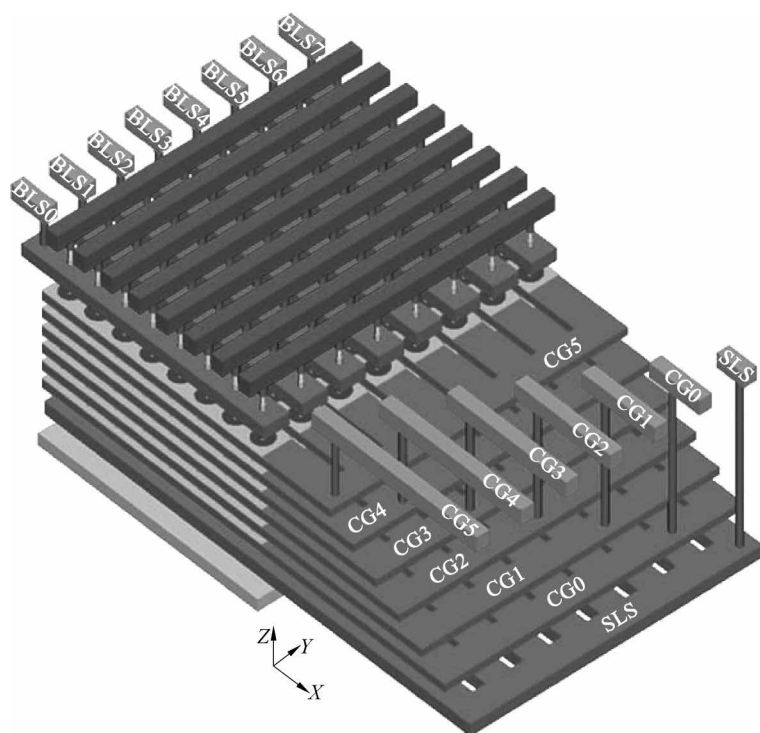


图 5.10 C-FG NAND Flash 外围电路引线结构

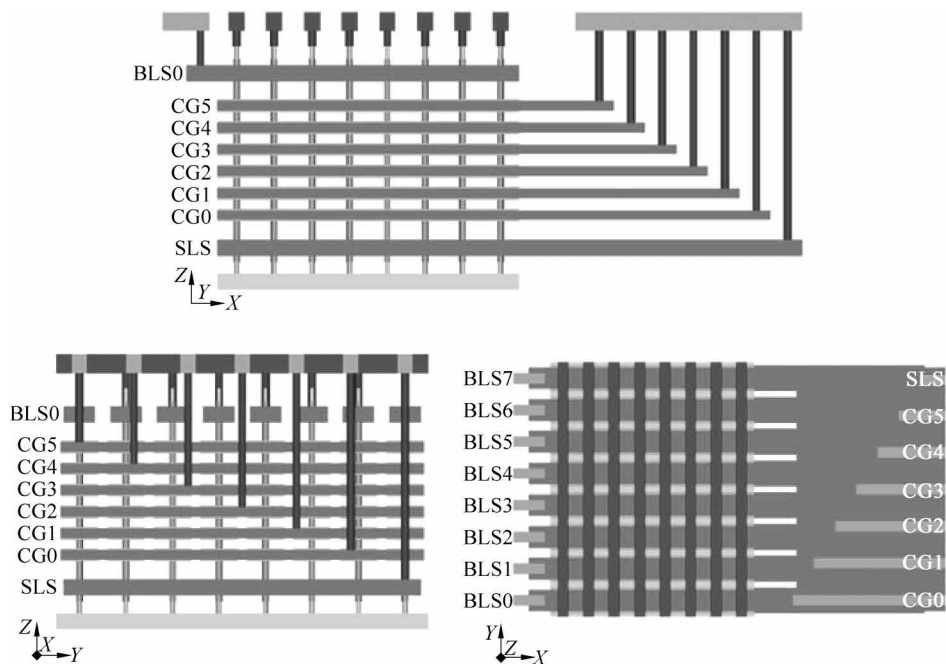


图 5.11 图 5.10 的顶视图和侧视图

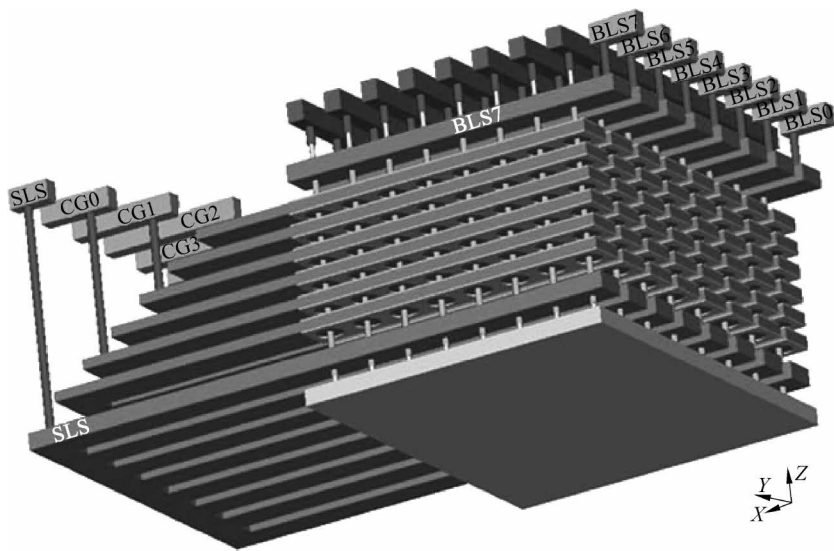


图 5.12 C-FG NAND Flash 外围电路引线结构底部视图

将引线短接在一起的好处是可以降低译码复杂度,从而降低功耗和芯片面积。

在最新的工艺中,CG 和 SLS 层可以不被刻蚀开,如图 5.13 和图 5.14 所示。

为了降低示意图的复杂度,突出阵列结构的关键细节,本节的示意图没有画出 IPD 和隧穿氧化层,删除了这些结构后的存储阵列如图 5.15 所示。

从优化存储阵列功能角度考虑,减小 SL 引线电阻很重要,因为对于每个器件 SL 都起

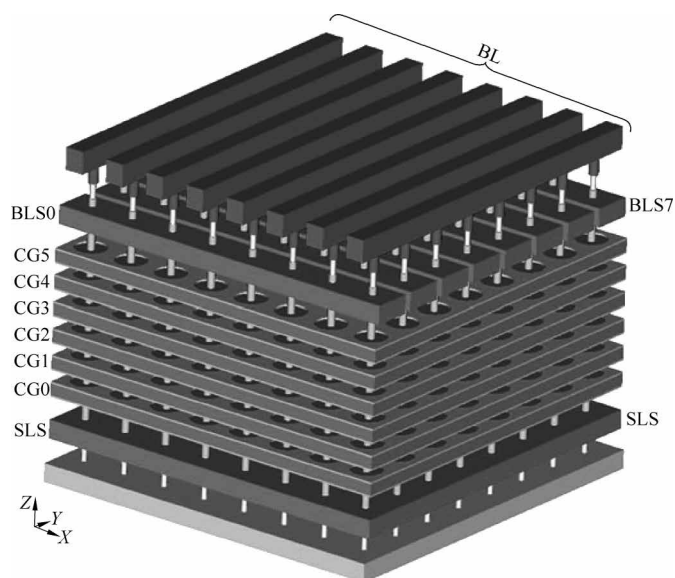


图 5.13 具有整块 CG 和 SLS 平面的 C-FG 存储阵列结构

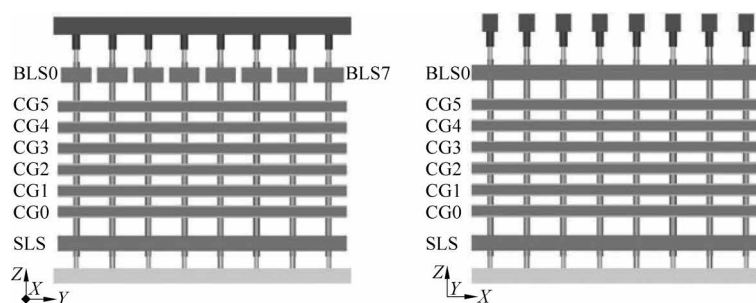


图 5.14 图 5.13 的垂直剖面图

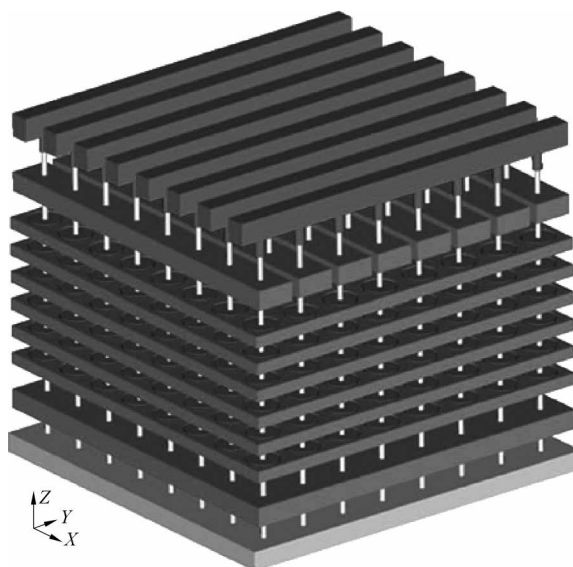


图 5.15 删除了 IPD 和隧穿氧化层的存储阵列示意图

到局部接地的作用。正因为这个原因,底层的 SL 只有一个只有几个接触孔的结构是不合理的,这样在并行接通上万个器件时,SL 会引入过大的噪声。所以,SL 需要增加接触孔数量,如图 5.16 所示。注意,这种设计影响到了位线结构,位线布线增加了一层。

这里可以增加一层金属引线来降低 SL 的引线电阻,如图 5.17 和图 5.18 中的顶层 SL。当然,这仅仅是一种布线方式,根据不同的金属引线层数和串联电阻要求,可以有很多设计方案。

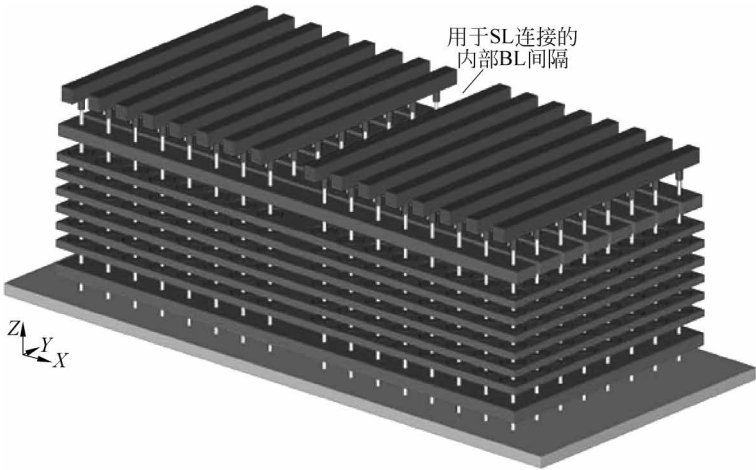


图 5.16 优化后的阵列结构为更多的 SL 接触孔留下空间

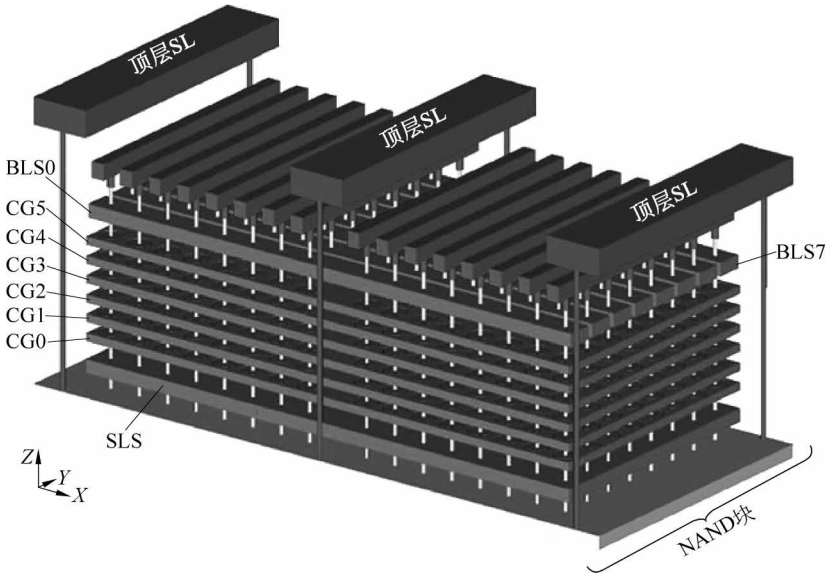


图 5.17 带有顶层 SL 的 C-FG 阵列结构

为了降低写入和读取过程中的串扰,也为了降低并行负载,NAND 块通常会被刻蚀成条形,如图 5.19、图 5.20 和图 5.21 所示。需要刻蚀的有 CG 和 SLS,不包括位线和顶层 SL,因为位线和顶层 SL 是被整个存储器阵列公用的。这种结构在第 4 章介绍的 BiCS 结构中也可以看到。

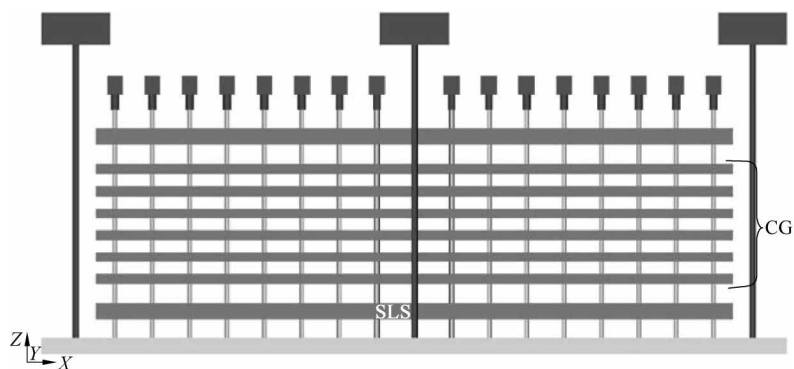


图 5.18 图 5.17 在 X-Z 方向的剖面图

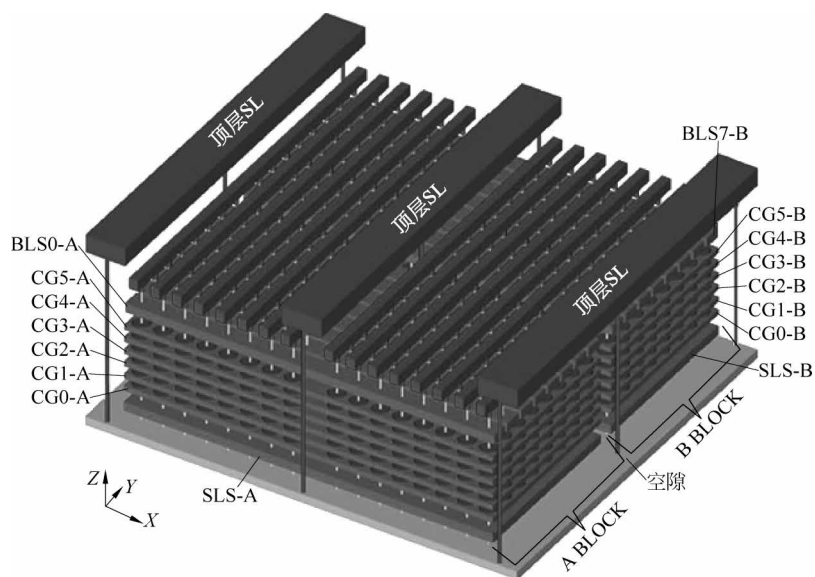


图 5.19 C-FG NAND 阵列的两个块

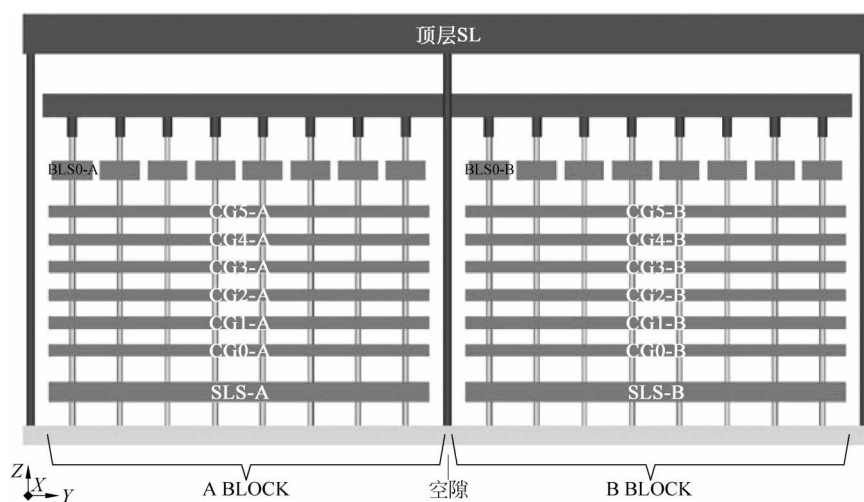


图 5.20 图 5.19 在 Y-Z 方向的剖面图

阵列沿 X 轴的规模决定了 NAND 逻辑页的大小,沿 Y 轴的规模决定了块的数量。

本节的所有示意图都包含 6 层 CG,实际中,CG 层的数量可以根据工艺能力的提高而增加。由于讨论的浮栅型器件,垂直方向上的尺寸缩小能力被相邻器件的干扰问题限制,其他寄生效应也需要仔细考虑,所以已经发展出了很多不同种类的 3D 浮栅型 NAND 器件,将在下面章节中详细介绍。

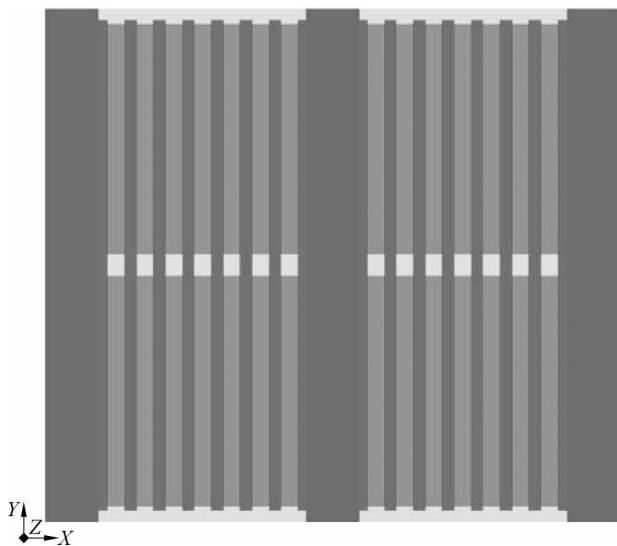


图 5.21 图 5.19 的俯视图

5.3 ESCG 结构 Flash 器件

3D NAND 阵列中另一个需要注意的问题是,作为增强型器件,在操作过程中的高 S/D 电阻问题。为了解决这个问题,S/D 区域需要采用高掺杂设计,但这对于多晶硅沟道是很难实现的。另外,扩散的 S/D 将引起短沟道效应,同时影响传统的体擦除操作在 3D NAND Flash 上的实现。所以,在实际 3D NAND 阵列中,是没有 S/D 重掺杂的,读取过程需要对栅极施加更高的电压来反型 S/D 区域,但由于 FG 厚度过大,这个操作对于 C-FG 器件几乎是不可能的。

为了解决这个问题,同时为了降低串扰,提出了 ESCG 存储器件^[4]。

图 5.22 展示了 ESCG 器件结构。图 5.23 展示了其剖面图,浮栅为圆柱形,被控制栅极包围住。

当给 ESCG 结构栅极施加正向电压(图 5.24),沟道表面的电子浓度比传统的浮栅型器件高出一个数量级。也就是说,通过更好地反型 S/D 区域,得到了更低的 S/D 电阻。

ESCG 结构不仅降低了 S/D 电阻,它的延伸控制栅极结构也降低了浮栅之间的耦合串扰。注意 ESCG 区域不是浮空的。由于控制栅极和浮栅之间正对面积的增大,控制栅极对浮栅的耦合电容(C_{CG})明显增大,这使得此结构具有更大的控制栅极耦合率,而这对于高速 NAND Flash 操作是很重要的。

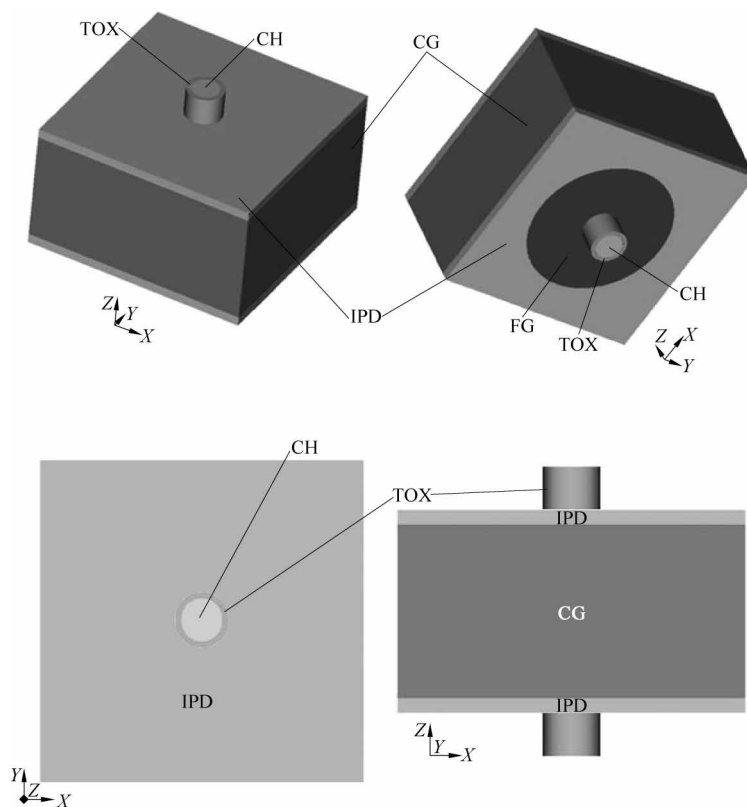


图 5.22 ESCG NAND Flash 器件

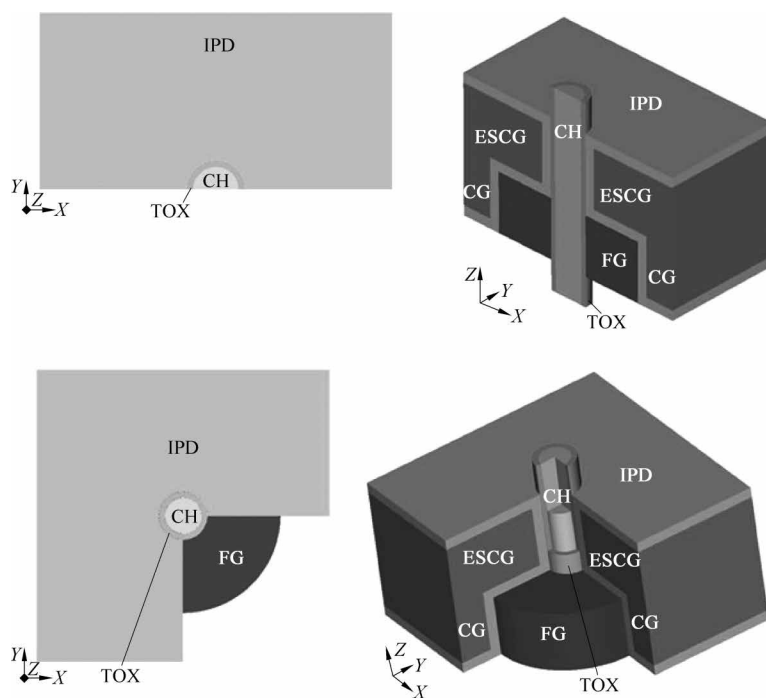


图 5.23 ESCG NAND Flash 器件剖面图

与前面讨论的类似,多个器件可以纵向连接形成 NAND 存储器串,如图 5.25 和图 5.26 所示。为简化视图,图中展示了一个包含 6 个器件的存储器串。

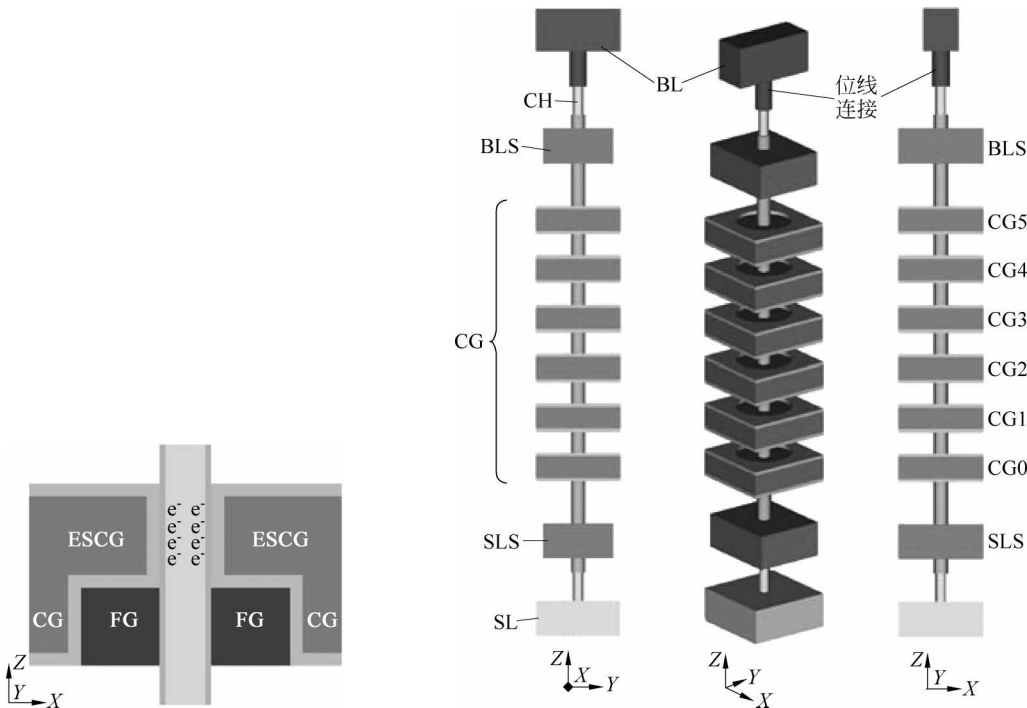


图 5.24 沟道表面的电子浓度

图 5.25 ESCG NAND 存储器串结构

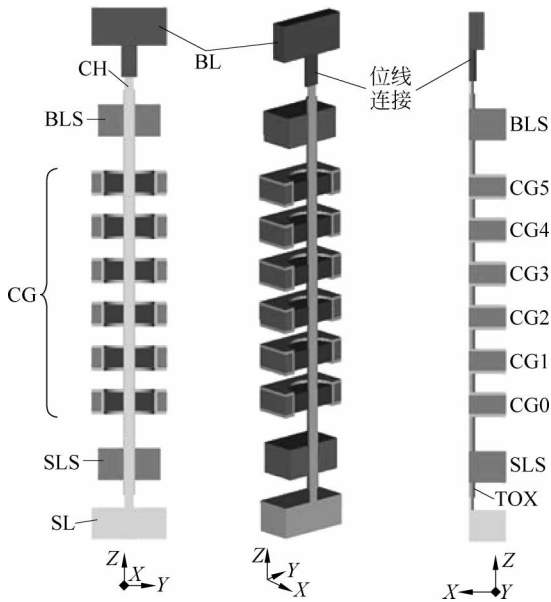


图 5.26 图 5.25 的剖面图

和 C-FG 结构一样(图 5.7),此结构中的 SLS 和 BLS 也不具有浮栅结构。利用图 5.25 所示的结构,存储阵列的核心结构被搭建出来(图 5.27),就像图 5.8 展示的 C-FG 结构一样。接下来,构建多个块,添加外围电路互连结构,SL 结构等都与前讨论的 C-FG 结构类似。

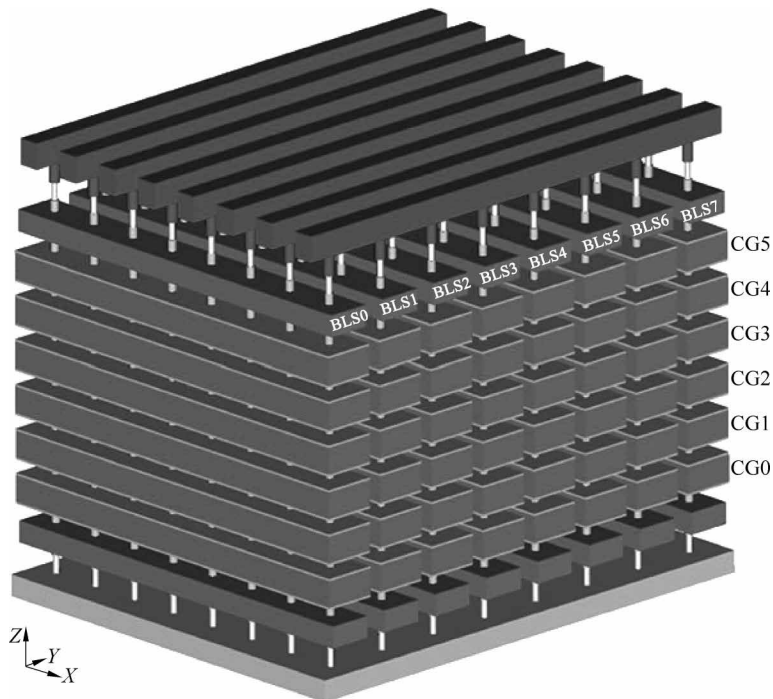


图 5.27 ESCG NAND Flash 结构示意图

5.4 DC-SF 结构 Flash 器件

另一种可行的浮栅型 3D NAND 结构是图 5.28 所示的 DC-SF(Dual Control-Gate with Surrounding Floating Gate),在此结构中浮栅同时被两个控制栅极控制^[6]。这种结构的主要优势是控制栅极对浮栅的电容耦合比率比较大,阵列写入和擦除电压要求较低,这得益于控制栅极和浮栅的接触面积很大。DC-SF 结构的另外一个优势是可以很好地抑制浮栅间串扰,因为控制栅极位于两个浮栅之间,起到了电场屏蔽的作用。由于这些优点,DC-SF 结构具有很大的写入/擦除阈值电压窗口值,更有利于多值存储技术的应用^[7]。

由图 5.29 的截面图可以看到,浮栅完全被绝缘介质材料包围,在 Z 方向上被上控制栅极(Control Gate Upper,CGU)和下控制栅极(Control Gate Lower,CGL)共同控制。

隧穿氧化层只在多晶硅沟道和浮栅之间形成,IPD 在控制栅极的侧面形成,这样控制栅极与浮栅之间的介质层更厚一些,所以,电荷只能通过隧穿氧化层进出浮栅,而不会隧穿进控制栅极。

图 5.30 和图 5.31 分别展示了 DC-SF 结构的存储器串和它的剖面图。需要注意的是,在 DC-SF 结构中,同一个存储器串内,两个浮栅共享一个控制栅极,所以整体的层数会降

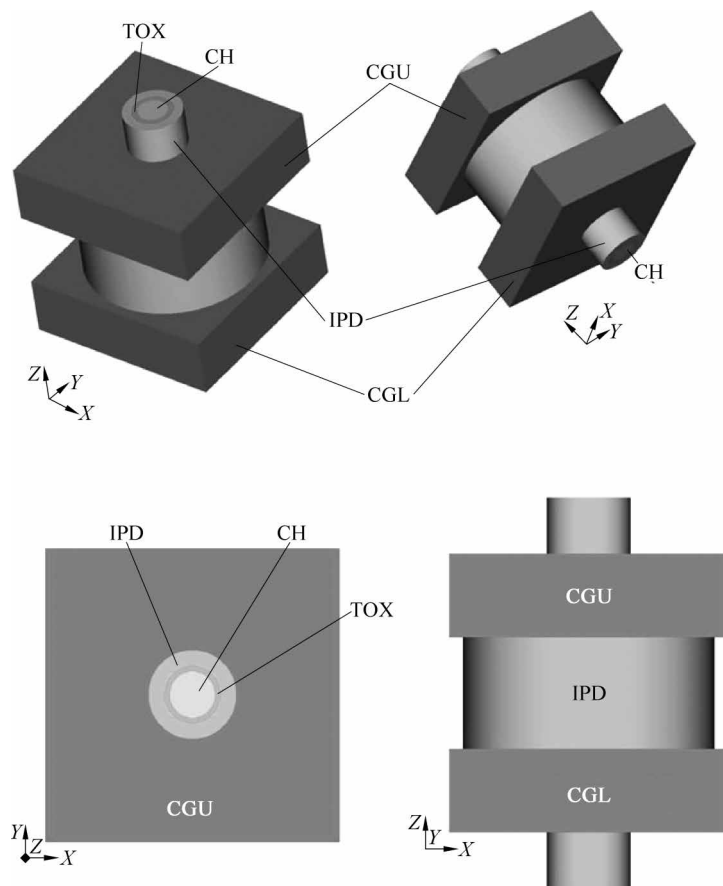


图 5.28 DC-SF NAND Flash 器件

低。跟 C-FG 和 ESCG 结构一样,DC-S 结构的 SLS 和 BLS 也没有浮栅结构,只是一个传统的 NMOS 晶体管。

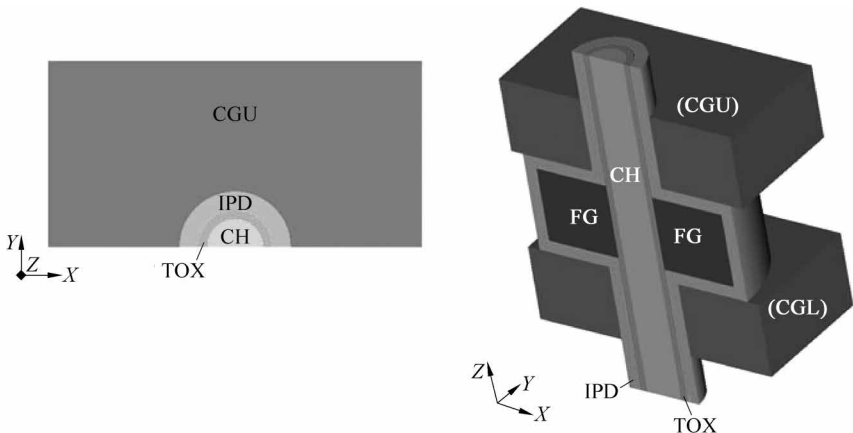


图 5.29 DC-SF NAND Flash 器件的剖面图

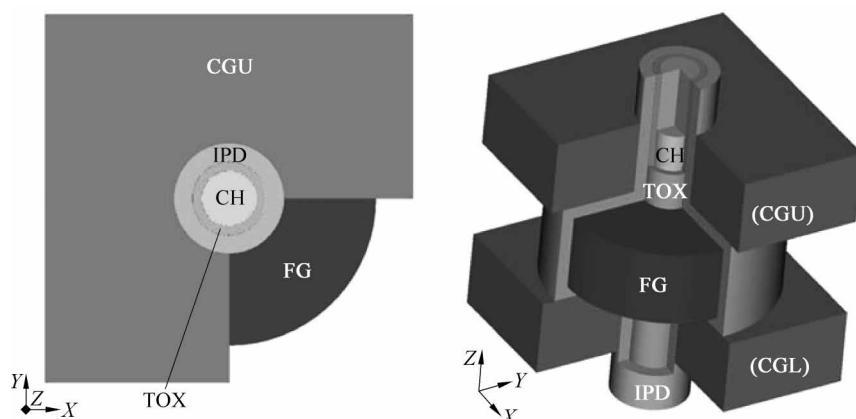


图 5.29 (续)

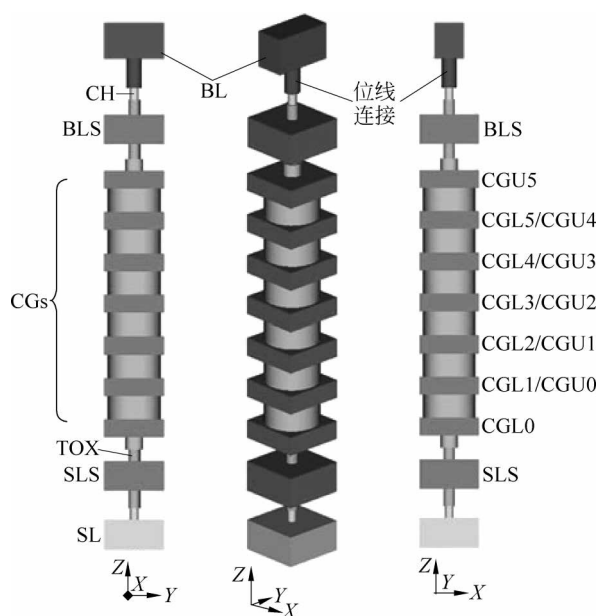


图 5.30 DC-SF NAND 存储器串结构

单纯地从物理结构分析,就能比较出 BiCS 和 DC-SF 结构的保持特性。如图 5.32 中两种结构的存储器串,在 BiCS 结构中,不同器件的氮化硅电荷存储层是沿着沟道方向连续形成的,这样形成了一个电荷扩散通路。在第 2 章中已经讨论过,这会导致数据保持特性的恶化。相对的,DC-SF 结构中浮栅被 IPD 和隧穿氧化层完全包围住,意味着 DC-SF 具有很高的电荷保持特性^[8,9]。

同一个存储器件被两个控制栅极共同控制的坏处是偏置电压设计变得更加复杂^[10,11],同时在 NAND 存储器串的上下各需要增加一层控制栅极。

与之前讨论的阵列结构一样,利用 NAND 存储器串,可以搭建图 5.33 所示的整个阵列。因为图 5.33 与图 5.8 基本一致(除了器件本身),C-FG 结构的外围电路互连以及 SL 结构对于 DC-SF 结构同样适用。

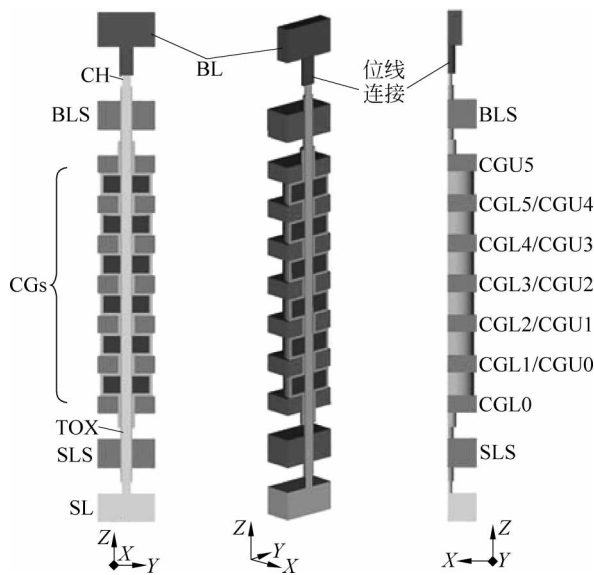


图 5.31 DC-SF NAND 存储器串剖面图

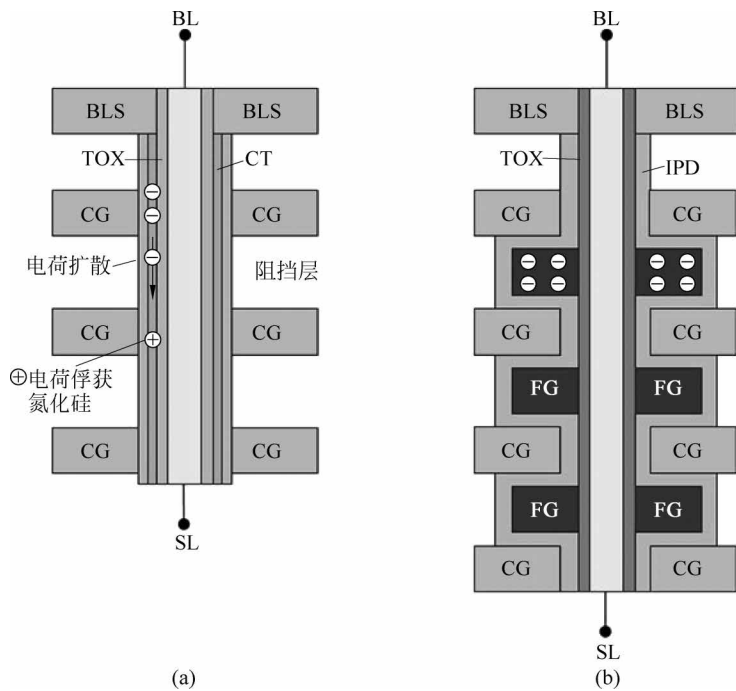


图 5.32 BiCS 结构与 DC-SF 结构比较；(a) BiCS；(b) DC-SF

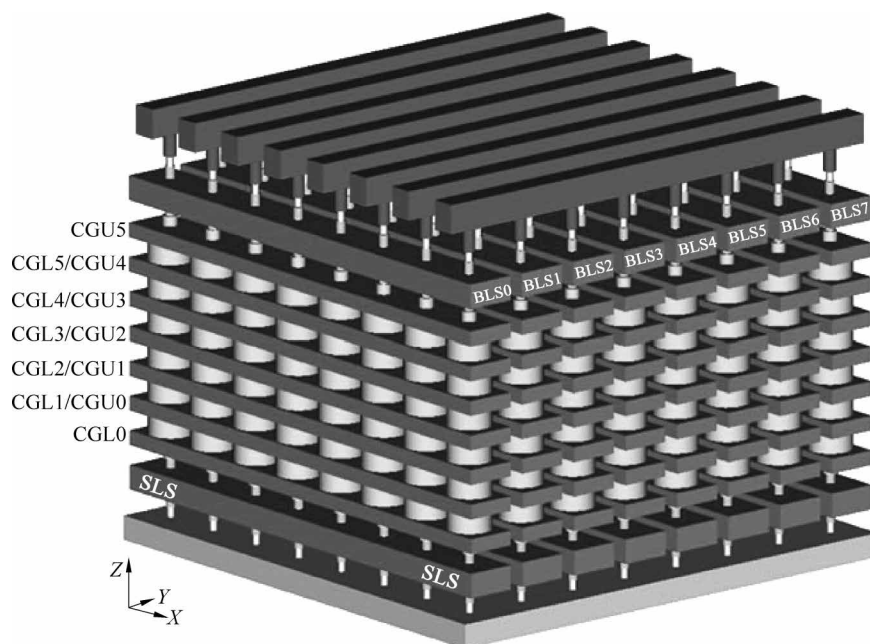


图 5.33 DC-SF NAND Flash 结构

5.5 S-SCG 结构 Flash 器件

另外一种侧壁控制栅极的浮栅型 3D NAND 结构是 S-SCG (Separated Sidewall Control Gate) Flash^[12], 如图 5.34 和图 5.35 所示。在 DC-SF 和 ESCG 结构中已经看到, 侧壁控制栅极结构可以带来很多好处, 包括降低浮栅间耦合以及更高的控制栅极耦合电容比率等。

在一个 S-SCG 存储器串中, 器件可以共享侧壁栅极, 如图 5.36 和图 5.37 所示。共享侧壁栅极可以在降低复杂度的同时减少层数, 而这两点都是 3D 集成中最为关键的。

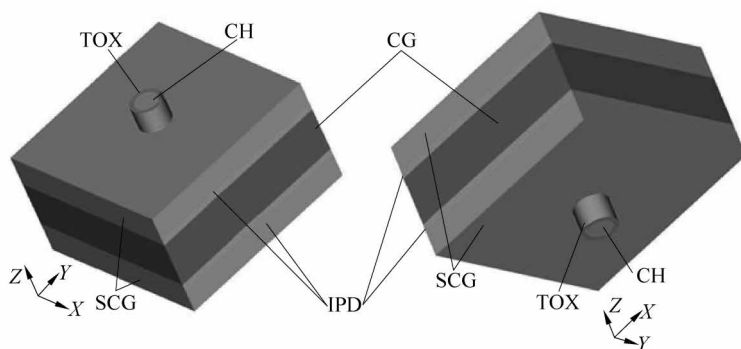


图 5.34 S-SG NAND Flash 器件

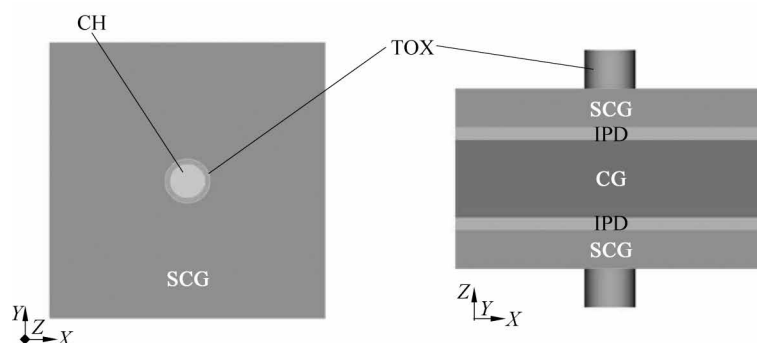


图 5.34 (续)

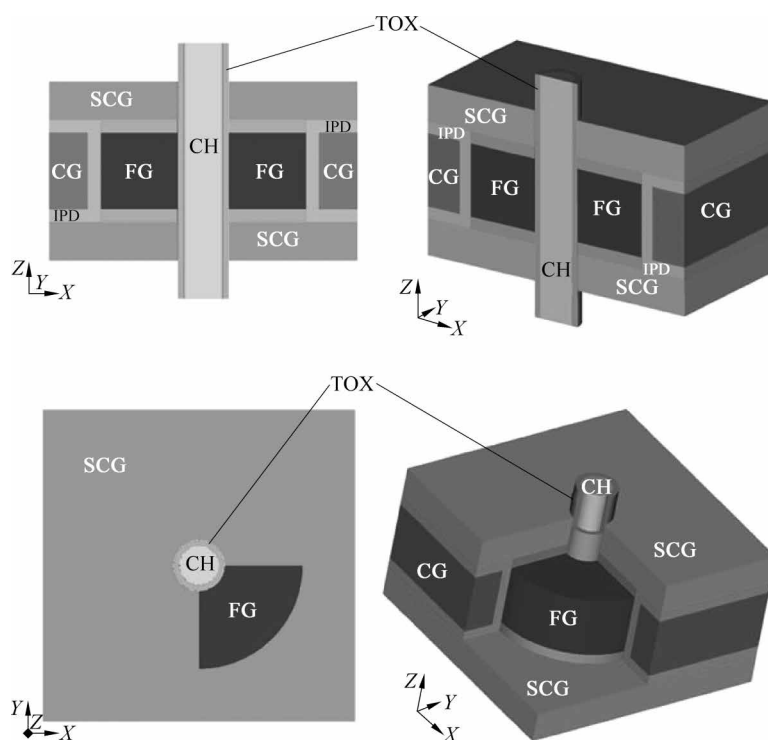


图 5.35 S-SCG NAND Flash 器件剖面图

这种结构最严重的问题是由于侧壁栅极(Sidewall Control Gate, SCG)和浮栅之间的耦合电容很高, SCG 对两侧器件的导通会产生直接影响。实际上, SCG 施加的电压会直接影响两侧浮栅(因为有很高的耦合电容)。当然, 这种影响在 DC-SF 结构中更为严重, 因为它有两个侧壁栅极, 而 ESCG 结构中只有一个。

为了降低译码复杂度, 同时降低阵列接触孔数量, 一个块里的所有 SCG 都短接在一起(共用 SCG), 因此在操作过程中都施加相同的电压。也就是说, 除了起到相邻浮栅之间的屏蔽作用, 还可以在侧壁栅极施加相应的偏压, 辅助完成读取、写入、擦除等操作^[13]。在读取过程中, 共用 SCG 采用 1V 偏压, 跟 ESCG 相似, 可以反型正对区域的沟道, 由于存储器件两侧都具有侧壁栅极, 它可以同时辅助反型源端和漏端, 如图 5.38 所示。

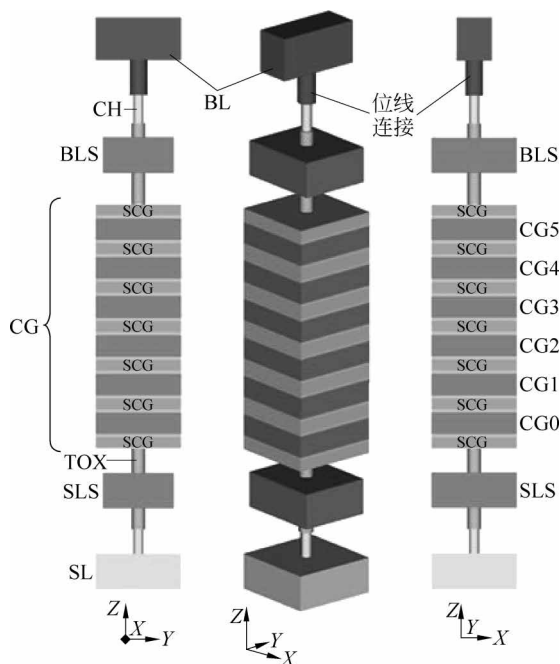


图 5.36 S-SCG NAND 存储器串结构

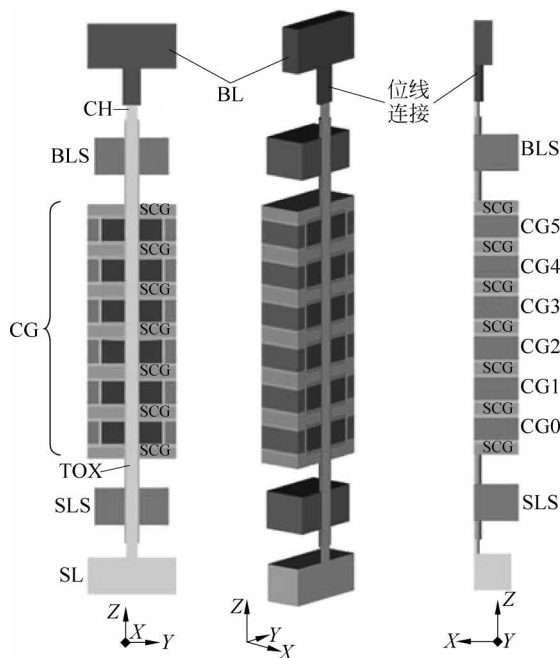


图 5.37 S-SCG NAND 存储器串剖面图

在写入过程中,共用 SCG 施加适当大小的偏压(11V 左右),可以提高沟道电压抬升(Channel Boosting)效率。图 5.39 展示了 S-SCG NAND Flash 阵列的示意图。

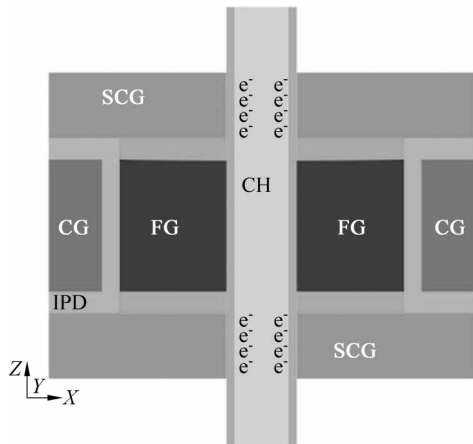


图 5.38 共用 SCG 结构辅助反型源端和漏端

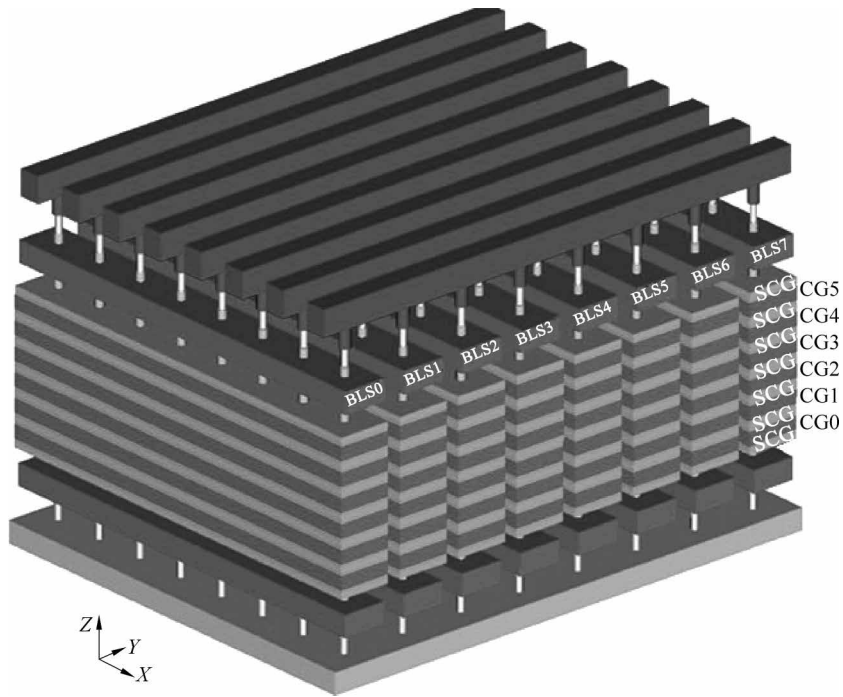


图 5.39 S-SCG NAND Flash 阵列结构

5.6 SCP Flash 结构

前面已讨论过,SCG 结构的缺点是 SCG 会对两侧存储器件产生直接的串扰影响。此外,SCG 侧面的 IPD 层可能带来可靠性问题,因为在写入和擦除过程中,SCG 会施加很高的电压。这种结构在垂直方向的尺寸缩小能力有天然的限制(比如小于 30nm),因为 SCG 需要有很高的电压偏置,所以 SCG 和 IPD 的厚度都不能过小。

为了解决上述问题,在 2012 年提出了 SCP(Sidewall Control Pillar)结构,如图 5.40 和图 5.41 所示。

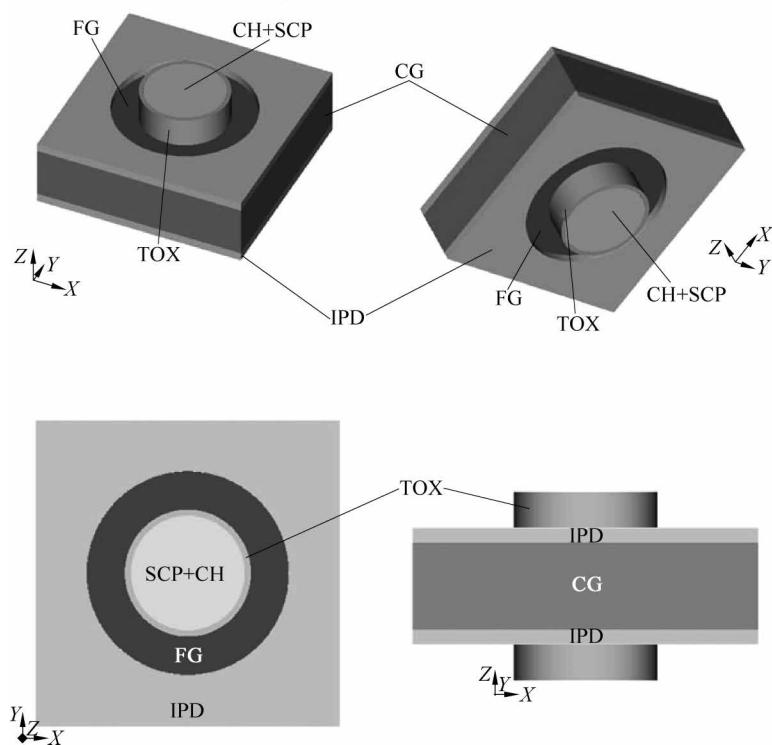


图 5.40 SCP NAND Flash 器件

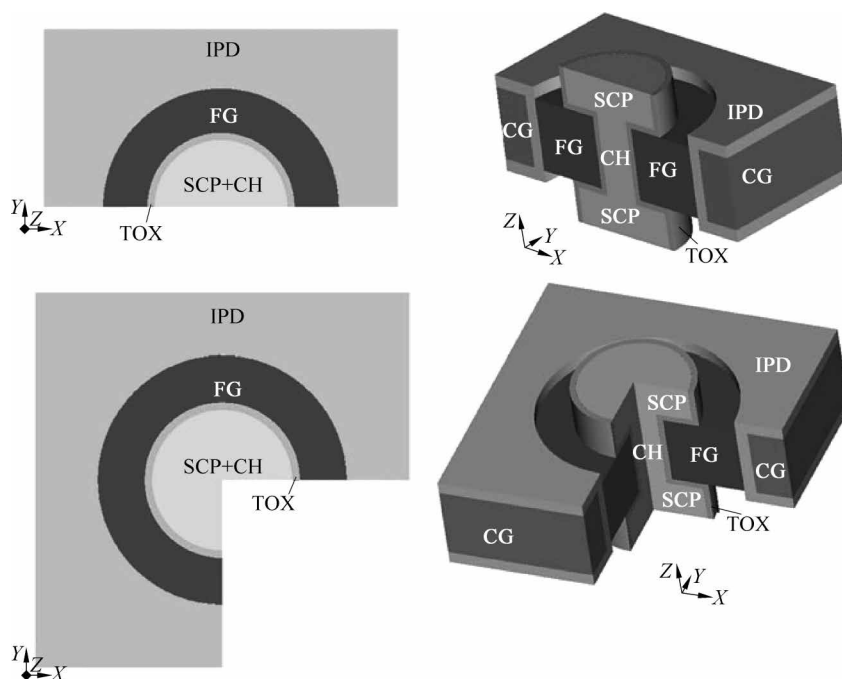


图 5.41 SCP NAND Flash 器件剖面图

在这个结构中,浮栅之间的隔离是依靠多晶硅沟道本身实现的,每个浮栅的上下面都有一部分被沟道材料包裹,侧壁处的沟道厚度可以减低到 20nm,可以有效地提高集成密度。由于没有侧壁栅极,SCP 结构操作与 C-FG 相同,这样可以利用已经优化的较为成熟的操作方案。

SCP NAND 存储器串及其剖面图如图 5.42 和图 5.43 所示,两侧的存储器件共用 SCP,这样也降低了阵列复杂度和整个阵列的厚度。

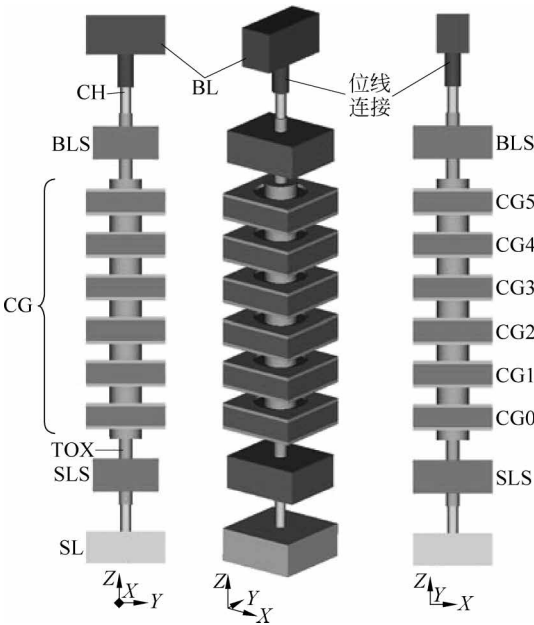


图 5.42 SCP NAND 存储器串示意图

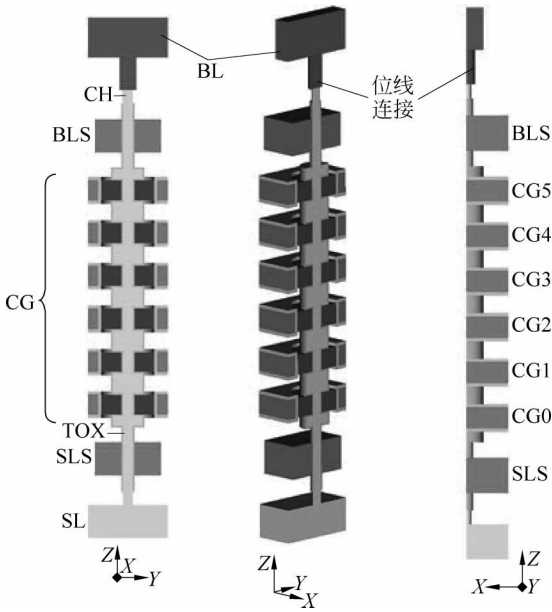


图 5.43 SCP NAND 存储器串剖面图

这是本章介绍的最后一种垂直沟道浮栅型 NAND Flash,接下来的部分将介绍水平沟道浮栅型 NAND Flash 结构。

5.7 水平沟道 Flash 结构

本章之前讨论的浮栅型器件尺寸都比较大,因为它们都是环栅型器件。另外,增加的侧壁电极结构使得阵列操作变得更加复杂,前面讨论的垂直沟道器件都是如此。

浮栅型器件同样可以利用水平沟道、垂直控制栅极结构进行 3D 集成^[15]。水平沟道浮栅型(Horizontal Channel Floating Gate, HC-FG)Flash 器件结构如图 5.44 所示。

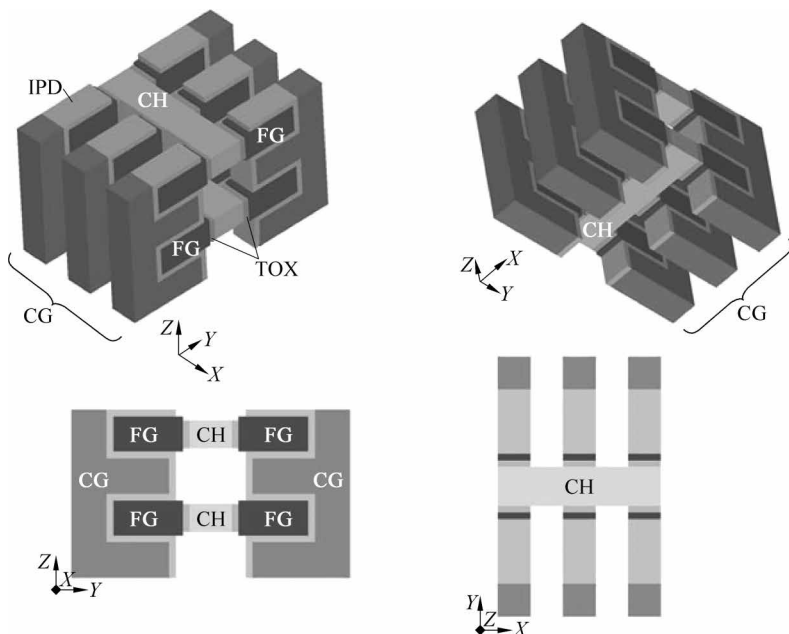


图 5.44 水平沟道浮栅型 Flash 器件结构

最初的水平沟道 3D NAND Flash 结构在第 3 章中讨论过,它是将传统的浮栅型器件沿垂直于衬底方向堆叠形成的。在这个结构中,由于不同层的控制栅极是分开的,不同的存储层是可以单独译码的。

在 HC-FG 结构中,NAND 存储器串同样是垂直于衬底方向堆叠出来的,但它采用双栅结构,避免了浮栅沿垂直方向短路的风险。当然,相邻的两个器件共用控制栅极,在不同存储层,控制栅极是被短接在一起的。

从制造工艺角度来看,浮栅型器件是利用后栅工艺形成,类似于 2D 器件。另外一个优势是这种结构的写入和擦除操作可以利用 2D 结构中相同的操作电压完成,可以继承平面 NAND Flash 中成熟的操作策略经验和结构优化,尤其是隧穿氧化层生长的经验。

水平沟道 3D NAND Flash 的译码会比第 4 章中讨论的垂直沟道复杂一些。主要原因是沟道需要沿着 NAND 存储器串垂直于阵列上方的位线译码。此结构的译码有几种具体的实施方式,基本原则都是 HVCD(Horizontal to Vertical Channel Decoder),如图 5.45 所

示。当然,每个 NAND 存储器串都穿过所有的控制栅极,在一端为 SL,另一端为 HCVD。图 5.45 中有 16 个存储器串,但只有 4 个位线接触孔,这意味着至少要采用 16 : 4 的译码器结构。

读者可以参考第 7 章的设计细节,例如 PN 结和常开 SSL 等这些 3D 垂直沟道 NAND Flash 的常用结构。

本节介绍的水平沟道结构是最后一种常见的 3D 浮栅型 Flash 结构。

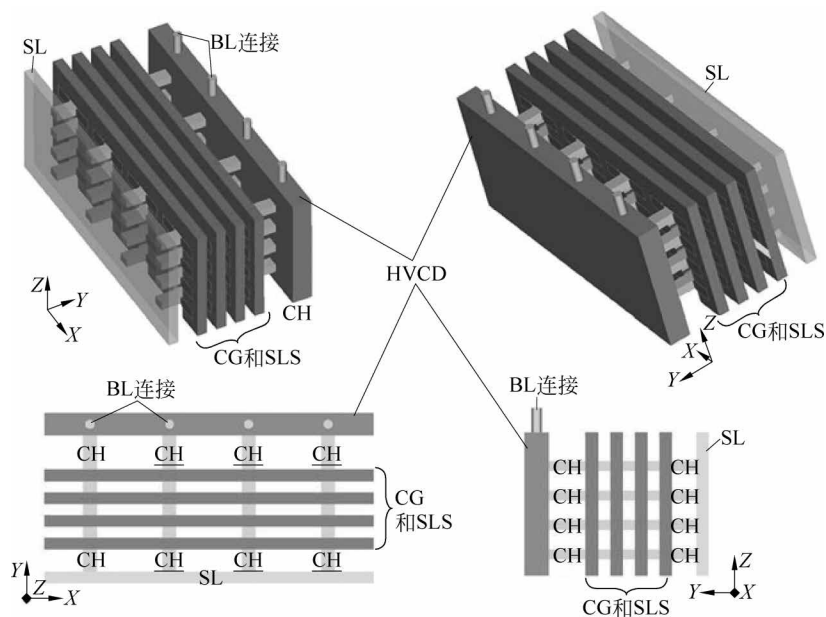


图 5.45 水平沟道和垂直沟道阵列的译码结构

5.8 工业界 3D 浮栅型 NAND Flash 结构

Micron 公司是浮栅型 3D NAND Flash 产品开发中最为活跃的公司。第一款浮栅 3D NAND Flash 结构是在 2015 年 IEDM(IEEE International Electron Devices Meeting)上发布的^[16]。这款 NAND Flash 芯片容量为 256Gb MLC 或者 384Gb TLC。采用传统 3D C-FG 器件结构,有 32 层存储器件和额外的伪字线和选通管,SLS 和 BLS 都为氧化硅介质层晶体管结构。

此芯片的存储阵列形成在硅片上层,没有利用到硅片本身,外围电路设计在阵列下方的衬底中,节省了芯片面积,提高了存储密度。芯片共设计了 4 层金属布线:下两层用于阵列下方 CMOS 电路的互连,上面两层一层为位线和电源引线,另一层为全局互连。

2016 年,在 ISSCC(IEEE International Solid State Circuits Conference)上发布了一个 768Gb 的浮栅型 3D NAND Flash 芯片,而这一存储容量也创造了 Flash 容量记录。这一芯片同样采用 C-FG 垂直沟道结构,这次对外公布了很多将外围电路如何设计在阵列下方的细节,如图 5.46 所示。

通常,电路是在存储阵列同一层的旁边,如图 5.47 和图 5.48 所示。而在 Micron 公司

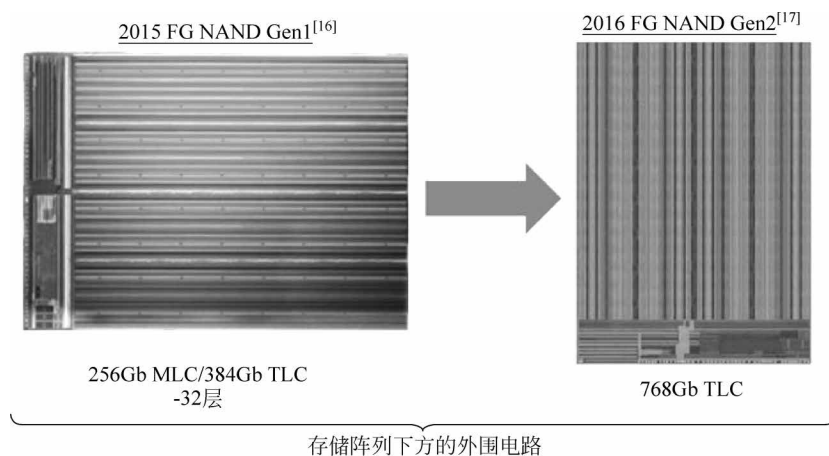


图 5.46 Micron 公司发布的浮栅型 3D NANDFlash 结构(图示非等比例)^[16,17]

发布的芯片中,一部分电路包括页缓存,字线驱动电路,数据通路,块和行冗余电路都放在存储阵列下方。为了更好地说明,考虑只把页缓存移到阵列下方的情况,如图 5.49 和图 5.50 所示。从图 5.51 的底部视图中可以看到页缓存电路模块,它不需要占据整个阵列下方空间。剩余空间可以用来设计其他 CMOS 电路,如图 5.52 所示。

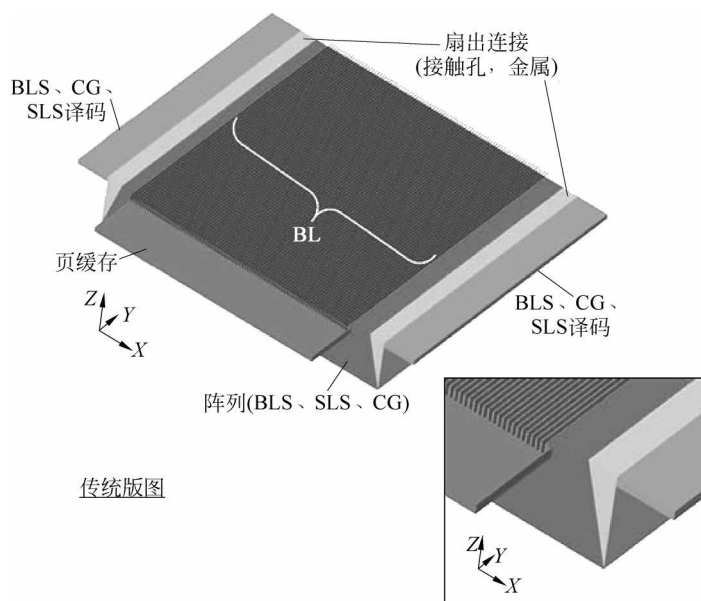


图 5.47 传统的存储阵列顶层完成的外围电路布线

这种结构的优势不仅仅是节省面积。由于页缓存和字线驱动电路就在它们负责处理的阵列下方,阵列结构支持将 BL 和 WL 分开的结构。阵列的分割有利于降低延迟,尤其是字线延迟,它是用多晶硅形成,具有很大的寄生电阻。同样,由于 SL 也就在它们处理阵列的下方,SL 的电压延迟可以降到最低,使得全位线灵敏放大结构更为可靠。

这种系统层创新证明了 3D 集成为更多的技术创新带来机会,同时浮栅型结构的可行

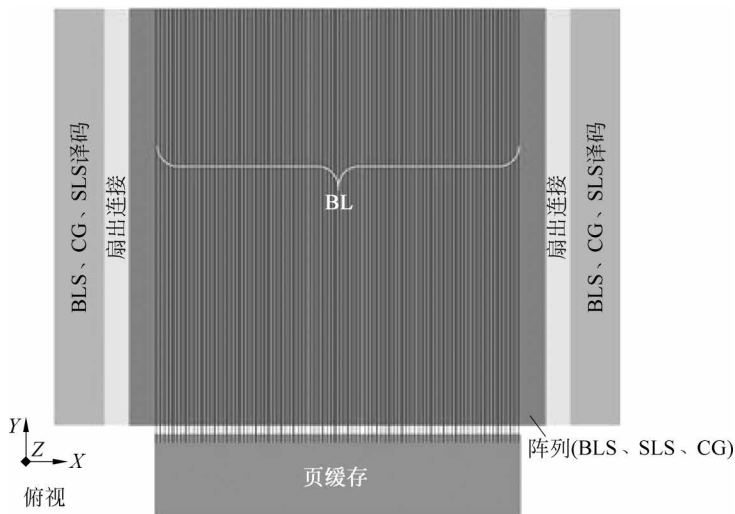


图 5.48 图 5.47 顶部视图

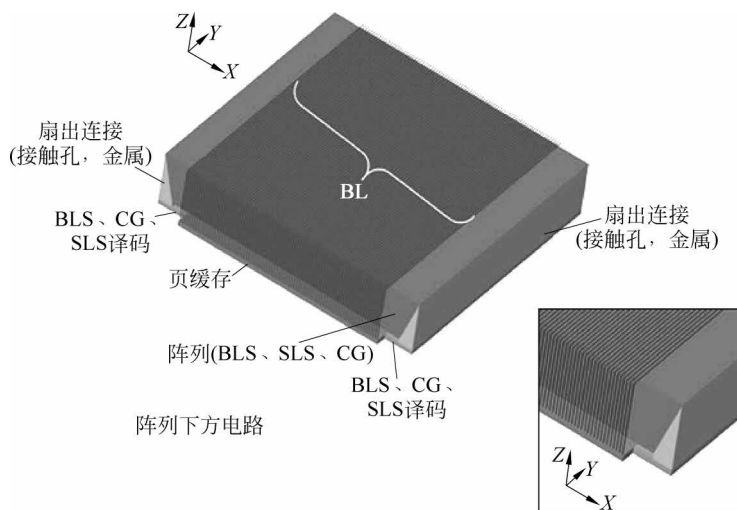


图 5.49 存储阵列下方的页缓存结构

性也说明电荷俘获型 Flash 和浮栅型 Flash 之间的竞争还在继续。

在第 4 章和第 5 章的讨论结束之后,可以看到 3D NAND Flash 结构中最重要有两点。其中一点是存储器件自身的功能性和存储器如何形成 NAND 存储阵列。当然电荷俘获型 Flash 和浮栅型 Flash 需要完全不同的结构。另一点是 BL、WL、NAND 存储器串选通管和 SL 如何引出到译码器、灵敏放大器等外围电路的问题。本章中讨论的引出方法仅仅是一种可行方案,实际中会有更多的方法。

下一章将主要讨论目前最新的垂直沟道 3D NAND 结构细节,例如交错排列的存储器串和位线接触孔,这种结构可以将存储密度最大化。这些优化结构可以被其他类型的存储器件借鉴采用,所以对于 Flash 发展很有意义。

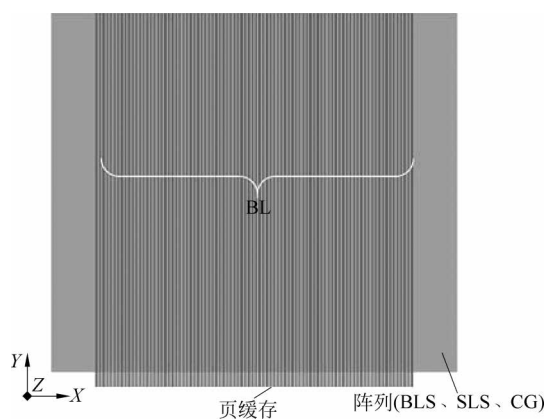


图 5.50 图 5.49 的顶部视图

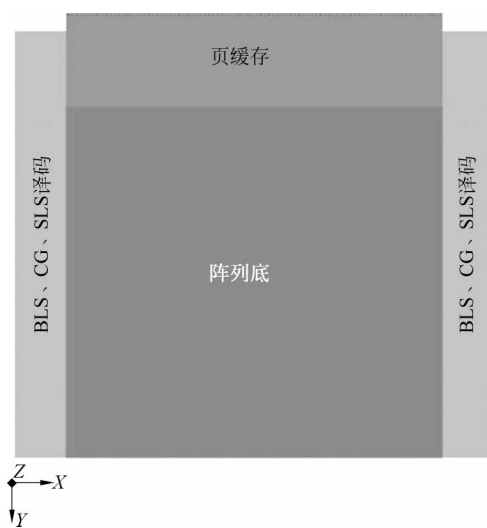


图 5.51 图 5.49 的底部视图

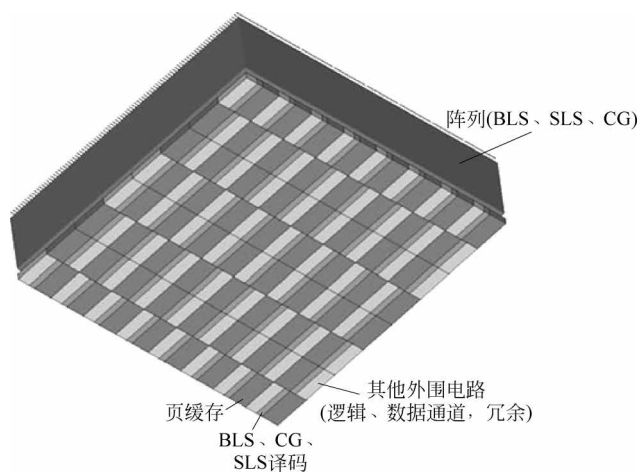


图 5.52 阵列下方的 CMOS 电路

参考文献

- [1] Endoh T, et al. Novel ultra-high density flash memory with a stacked-surrounding gate transistor (S-SGT) structured cell[C]. IEEE International Electron Devices Meeting (IEDM) Technical Digest, 2001: 33-36.
- [2] Endoh T, et al. Novel ultra-high density flash memory with a stacked-surrounding gate transistor (S-SGT) structured cell[J]. IEEE Transactions on Electron Devices, 2003, 50(4): 945-951.
- [3] Endoh T, et al. Floating channel type SGT flash memory[J]. Transactions of the Institute of Electronics Information & Communication Engineers, 1999, 82: 134-135.
- [4] Seo M S, et al. The 3-dimensional vertical FG NAND Flash memory cell arrays with the novel electrical S/D technique using the extended sidewall control gate (ESCG)[C]. IEEE International Memory Workshop(IMW), 2010: 1-4.
- [5] Seo M S, et al. 3-D Vertical FG NAND flash memory with a novel electrical S/D technique using the extended sidewall control gate[J]. IEEE Transactions on Electron Devices, 2011, 58(9): 2966-2973.
- [6] Whang S, et al. Novel 3-dimensional dual control gate with surrounding floating-gate (DC-SF) NAND flash cell for 1 Tb file storage application[C]. IEEE International Electron Devices Meeting (IEDM), 2010: 668-671.
- [7] Noh Y, et al. A new metal control gate last process (MCGL process) for high performance DC-SF (dual control gate with surrounding floating gate) 3D NAND Flash memory[C]. Symposium on VLSI Technology, 2012: 19-20.
- [8] Nishi Y. Advances in Non-volatile Memory and Storage Technology (chapter 3: Multi-bit NAND flash memories for ultra-high density storage devices) [M]. Swanston: Woodhead Publishing, 2014.
- [9] Campardo G, et al. Memory Mass Storage (chapter 7: High-capacity NAND flash memories: XLC storage and single-die 3D) [M]. Berlin: Springer, 2011.
- [10] H. Yoo et al. New read scheme of variable Vpass-read for dual control gate with surrounding floating gate (DC-SF) NAND flash cell[C]. IEEE International Memory Workshop (IMW), 2011: 1-4.
- [11] S. Aritome et al. Advanced DC-SF cell technology for 3-D NAND flash[J]. IEEE Transactions on Electron Devices, 2013, 60(4), 1327-1333.
- [12] M. S. Seo et al. A novel 3-D vertical FG nand flash memory cell arrays using the separated sidewall control gate (S-SCG) for highly reliable MLC operation[C]. IEEE International Memory Workshop (IMW), 2011: 1-4.
- [13] Seo M S, et al. Novel concept of the three-dimensional vertical FG NAND Flash memory using the separated-sidewall control gate [J]. IEEE Transactions on Electron Devices, 2012, 59 (8): 2078-2084.
- [14] Seo M S. Highly scalable 3-D vertical FG NAND cell arrays using the sidewall control pillar (SCP) [C]. IEEE International Memory Workshop (IMW), 2012: 1-4.
- [15] Sakuma K, et al. Highly scalable horizontal channel 3-D NAND memory excellent in compatibility with conventional fabrication technology[J]. IEEE Electronics Device Letters, 2013, 34 (9): 1142-1144.
- [16] Parat K, Dennison C. A floating gate based 3D NAND technology with CMOS under array[C]. IEEE International Electron Devices Meeting (IEDM), 2015.
- [17] Tanaka T, et al. A768Gb 3 b/cell 3D-floating-gate NAND Flash memory[C]. IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, 2016: 142-143.