

本章讨论的触发器是双稳态触发器,简称触发器。首先介绍触发器的特点,其次介绍各种不同结构触发器的工作原理及特点,重点讨论触发器的逻辑功能、触发方式和应用触发器的一些实际问题。

## 5.1 触发器的特点

在数字系统中,二进制信息除了参加算术和逻辑运算,有时还需要将这些信息暂时保存起来。触发器是用来保存二进制信息的基本单元电路,在数字电路中被广泛采用。

触发器有两个稳定状态,即 0 状态和 1 状态。在控制信号的作用下,它既可以被置成 0 状态,也可以被置成 1 状态;在控制信号不起作用时,触发器的状态保持不变,因而具有记忆功能。

触发器有两个输出端,即  $Q$  和  $\bar{Q}$  端,正常情况下它们以互补的形式出现。当  $Q=0(\bar{Q}=1)$  时,触发器的状态定义为 0 状态;当  $Q=1(\bar{Q}=0)$  时,触发器的状态定义为 1 状态。当  $Q=\bar{Q}=1$  或  $Q=\bar{Q}=0$  时,触发器的状态既不是“1”状态,也不是“0”状态。

触发器在接收信号前的状态定义为现态,用  $Q^n$  表示,接收信号后的状态定义为次态,用  $Q^{n+1}$  表示。使触发器输出状态改变的输入信号称为触发信号,触发信号的形式称为触发方式,根据触发信号的不同形式可分为电平触发方式、脉冲触发方式和边沿触发方式,触发器输出状态的改变称为翻转。不同的触发器具有不同的逻辑功能,在电路结构和触发方式方面也有不同的种类。根据电路功能,触发器可分为 RS 触发器、JK 触发器、D 触发器等。根据电路结构,触发器可分为基本 RS 触发器、同步触发器、主从触发器和边沿触发器。

## 5.2 RS 触发器

### 5.2.1 基本 RS 触发器

基本 RS 触发器是触发器中结构最简单的一种触发器,其主要功能有两个,即清 0 或置 1,因而又称为清 0、置 1 触发器。

#### 1. 电路结构

基本 RS 触发器由两个与非门交叉相连构成,如图 5.2.1(a)所示,图 5.2.1(b)为逻辑

符号。两个门的输出端分别称为  $Q$  和  $\bar{Q}$ ，正常工作时， $Q$  和  $\bar{Q}$  是互为取非的关系。基本 RS 触发器有两个输入端： $\bar{S}$  端和  $\bar{R}$  端， $\bar{S}$  端称为置 1 端， $\bar{R}$  端称为置 0 端。

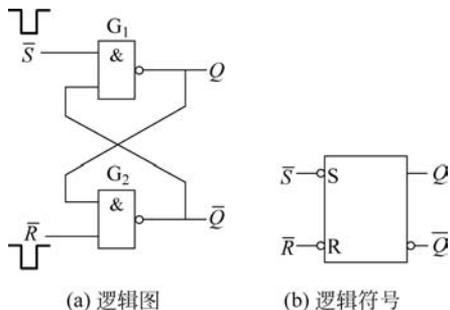


图 5.2.1 基本 RS 触发器

## 2. 工作原理

根据输入信号  $\bar{R}$ 、 $\bar{S}$  不同状态的组合，触发器的输出与输入之间的关系有 4 种情况，现进行如下分析。

1)  $\bar{R}=1, \bar{S}=0$

因为门  $G_1$  有一个输入端是 0，所以输出端  $Q=1$ ；门  $G_2$  的两个输入端全是 1，则输出  $\bar{Q}=0$ 。可见，当  $\bar{R}=1, \bar{S}=0$  时，触发器被置于 1 态，称触发器置 1（或称置位）。当置 1 端  $\bar{S}$  由 0 返回 1 时，门  $G_1$  的输出端  $Q$  仍然为 1，这是因为  $\bar{Q}=0$ ，使门  $G_1$  的输入端中仍有一个为 0，可见当  $\bar{R}=1, \bar{S}=1$  时，不改变触发器的状态，即当去掉置 1 输入信号  $\bar{S}=0$  后，触发器保持原状态不变，触发器具有记忆功能。

2)  $\bar{R}=0, \bar{S}=1$

因为门  $G_2$  有一个输入端是 0，所以输出端  $\bar{Q}=1$ ；门  $G_1$  的两个输入端全是 1，则输出端  $Q=0$ 。可见，当  $\bar{R}=0, \bar{S}=1$  时，触发器置 0（或称复位）。当置 0 端再返回 1 时，门  $G_2$  的输出  $\bar{Q}$  仍为 1，因为  $Q=0$  使门  $G_2$  的输入端中仍有一个为 0，这时触发器保持原状态不变。

3)  $\bar{R}=1, \bar{S}=1$

前面的分析表明，在置 1 信号（ $\bar{R}=1, \bar{S}=0$ ）作用之后， $\bar{S}$  返回 1 时， $\bar{R}=1, \bar{S}=1$ ，触发器保持 1 态不变；在置 0 信号（ $\bar{R}=0, \bar{S}=1$ ）的作用之后， $\bar{R}$  返回到 1 时，即  $\bar{R}=1, \bar{S}=1$ ，触发器保持原来的 0 态不变。

4)  $\bar{R}=0, \bar{S}=0$

在此条件下，两个与非门的输出端  $Q$  和  $\bar{Q}$  全为 1，这违背了  $Q$  和  $\bar{Q}$  互补的条件，而在两个输入信号都同时撤去（回到 1）后，由于两个门传输时间的差异，触发器的状态将不能确定是 1 还是 0，因此称这种情况为不定状态，应当避免。

## 3. 特性表和波形图

综上所述，基本 RS 触发器输入输出关系可以用特性表来表示，如表 5.2.1 所示，表中“×”表示触发器输出的不确定状态，可当作无关项处理。由于置 1 信号  $\bar{S}=0$  和置 0 信号  $\bar{R}=0$  都是低电平，即引起触发器状态改变的触发信号是电平信号的形式，这种触发方式称为电平触发

方式,分高电平触发和低电平触发两种。逻辑符号如图 5.2.1(b)所示, $\bar{S}$  端和  $\bar{R}$  端的小圆圈表示是低电平触发,如果没有小圆圈,则表示是高电平触发。

表 5.2.1 基本 RS 触发器的特性表

$\bar{R}$	$\bar{S}$	$Q^n$	$Q^{n+1}$
0	0	0	×
0	0	1	×
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

基本 RS 触发器的输入、输出关系也可以用波形图来表示,如图 5.2.2 所示。图中实线波形忽略了门的传播延迟时间,只反映输入、输出之间的逻辑关系。当触发器置 0 端和置 1 端同时加上宽度相等的负脉冲时(假设正跳和负跳时间均为 0),在两个负脉冲作用期间,门 1 和门 2 的输出都是 1;而当两个负脉冲同时消失时,若门 1 的传播延迟时间  $t_{pd1}$  较门 2 的传播延迟时间  $t_{pd2}$  小,触发器将建立稳定 0 态;若  $t_{pd2} < t_{pd1}$ ,触发器将建立稳定 1 态。通常,两个门之间的传播延迟时间  $t_{pd1}$  和  $t_{pd2}$  的大小关系是不知道的,因而,两个宽度相等的负脉冲从  $\bar{S}$  和  $\bar{R}$  端同时消失后,触发器的状态是不确定的,图 5.2.2 中虚线表示不确定状态。

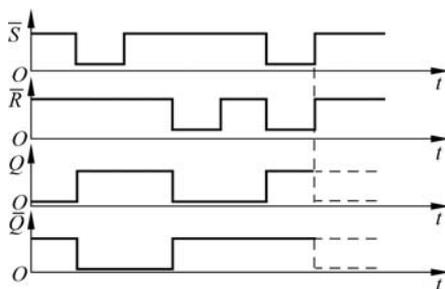


图 5.2.2 基本 RS 触发器输入、输出波形

基本 RS 触发器除了可用与非门构成,还可用其他逻辑门实现,图 5.2.3(a)是利用或非门构成的基本 RS 触发器的逻辑图,其逻辑功能与与非门基本 RS 触发器触发相同,即具有置 0、置 1 和保持功能,但触发电平与与非门基本 RS 触发器不同,是高电平触发,因此逻辑符号中 R、S 输入端没有小圆圈,如图 5.2.3(b)所示。对于图 5.2.3 所示电路逻辑功能分析,读者可自行分析。

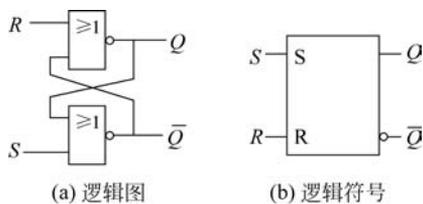


图 5.2.3 用或非门构成的基本 RS 触发器

#### 4. 基本 RS 触发器的应用举例

在数字系统中,操作人员用机械开关对电路发出命令信号。机械开关包含一个可动的弹簧片和一个或几个固定的触点。当开关改变位置时,弹簧片不能立即与触点稳定接触,存在跳动过程,会使电压或电流波形产生“毛刺”,如图 5.2.4(a)和图 5.2.4(b)所示。在电子电路中,一般不允许出现这种现象。如果用开关的输出直接驱动逻辑门,经过逻辑门整形后,输出会有一串脉冲干扰信号导致电路工作出错。

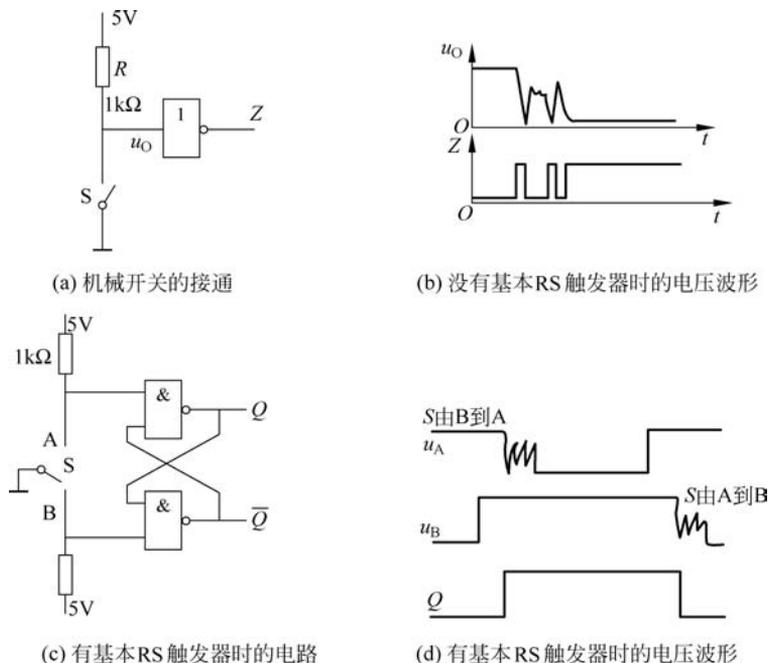


图 5.2.4 利用基本 RS 触发器消除开关振动影响

利用基本 RS 触发器的记忆作用可以消除上述开关振动所产生的影响,开关与触发器的连接方法如图 5.2.4(c)所示。设单刀双掷开关原来与 B 点接通,这时触发器的状态为 0。当开关由 B 拨向 A 时,其中有一短暂的浮空时间,这时触发器的 R、S 均为 1, Q 仍为 0。中间触点与 A 接触时, A 点的电平由于振动而产生“毛刺”。但是, B 点已经为高电平, A 点一旦出现低电平,触发器的状态翻转为 1,即使 A 点再出现高电平,也不会再改变触发器的状态,所以 Q 端的电压波形不会出现“毛刺”现象,如图 5.2.4(d)所示。

### 5.2.2 同步 RS 触发器

前面介绍的基本 RS 触发器的触发翻转过程直接由输入信号控制,而在数字系统中,常常要求触发器按各自输入信号所决定的状态在规定的时刻触发翻转,为此,在基本 RS 触发器中增加了时钟脉冲控制信号,构成同步 RS 触发器。

#### 1. 电路结构

如图 5.2.5(a)所示为同步 RS 触发器的电路结构,它在基本 RS 触发器的基础上增加两个与非门和一个时钟脉冲输入端 CP。同步 RS 触发器的触发方式为脉冲触发方式,分为正脉冲触发和负脉冲触发两种,其逻辑符号如图 5.2.5(b)所示。

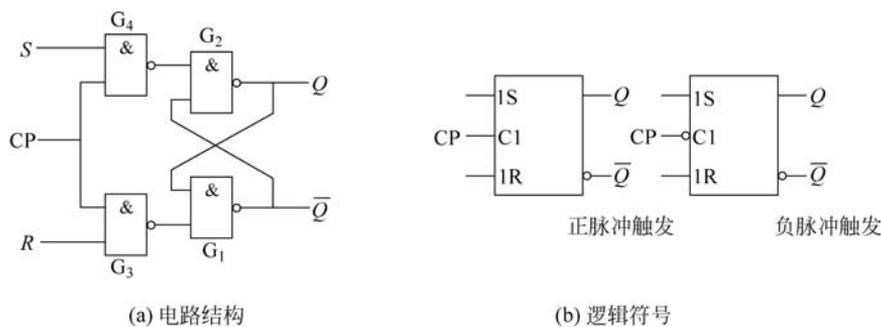


图 5.2.5 同步 RS 触发器

### 2. 工作原理

由图 5.2.5(a)可知,输入信号  $R$ 、 $S$  要经过门  $G_3$ 、门  $G_4$  两个引导门的传递,这两个门同时受  $CP$  信号控制。

当  $CP=0$  时,无论输入端  $S$  和  $R$  取何值,门  $G_3$  和门  $G_4$  的输出端始终为 1,所以,由门  $G_1$  和门  $G_2$  组成的基本 RS 触发器处于保持状态。

当时钟脉冲到达时  $CP$  端变为 1, $R$  和  $S$  端的信息通过引导门反相之后,作用到基本 RS 触发器的输入端。在  $CP=1$  的时间内,当  $S=1,R=0$  时,触发器置 1;当  $S=0,R=1$  时,触发器置 0;若两个输入皆为 0( $S=R=0$ )时,触发器输出端保持不变,若两个输入皆为 1( $S=R=1$ )时,则基本 RS 触发器的两个输入端全为 0,两个输出端全为 1,时钟脉冲结束时,触发器的状态是不确定的,至于进入 1 状态还是 0 状态,取决于  $G_1$  和  $G_2$  传输时间的差异。

### 3. 特性表和特性方程

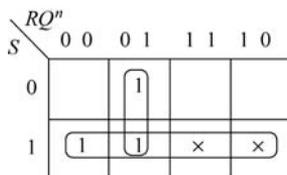
触发器现态  $Q^n$  和次态  $Q^{n+1}$  之间的转换关系可用触发器的特性表来表示,如表 5.2.2 所示。表中“ $\times$ ”表示  $S=R=1$  时,触发器为不确定状态,为避免触发器的不确定状态, $S$ 、 $R$  的取值不能同时为 1,这就是 RS 触发器的约束条件。由特性表可得到  $Q^{n+1}$  的卡诺图,如图 5.2.6 所示,化简后的表达式为

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{cases} \quad (5.2.1)$$

式(5.2.1)称为同步 RS 触发器特性方程。

表 5.2.2 同步 RS 触发器的特性表

S	R	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	$\times$
1	1	1	$\times$

图 5.2.6  $Q^{n+1}$  的卡诺图

触发器的功能还可以用状态转换图表示,同步 RS 触发器的状态转换图如图 5.2.7 所示。图中两个圆圈内标的 1 和 0,表示触发器的两个状态,带箭头的弧线表示状态转换的方向,箭头指向触发器次态,箭尾为触发器现态,弧线旁边标出了状态转换的条件。

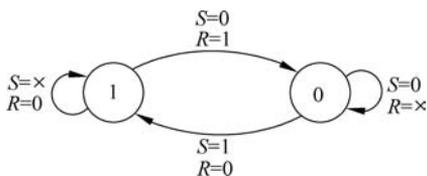


图 5.2.7 RS 触发器的状态转换图

根据上述分析,同步 RS 触发器具有如下特点。

同步 RS 触发器的翻转是在时钟脉冲的控制下进行的,触发方式属于脉冲触发方式。在正脉冲触发方式下,当  $CP=1$  时,接收输入信号,允许触发器翻转;当  $CP=0$  时,封锁输入信号,禁止触发器翻转。

由于触发器在  $CP$  为高电平时翻转,在  $CP$  为 1 的时间间隔内, $R$ 、 $S$  的状态变化就会引起触发器状态的变化。因此,这种触发器的触发翻转只能控制在一个时间间隔内,而不是控制在某一时刻进行。

**例 5.2.1** 如图 5.2.5 所示的同步 RS 触发器的  $CP$ 、 $S$ 、 $R$  的波形如图 5.2.8 所示,试画出  $Q$  和  $\bar{Q}$  的波形,设初始状态  $Q=0, \bar{Q}=1$ 。

**解** 在第 1 个和第 2 个  $CP=1$  的作用时间内, $R=0, S=1$  没有改变,因此在第 1 个  $CP=1$  的起点至第 2 个  $CP=0$  的终点时间内,输出  $Q=1, \bar{Q}=0$ 。在第 3 个和第 4 个  $CP=1$  的作用时间内, $R$ 、 $S$  都发生了变化,因而输出也随之变化,输出  $Q$  和  $\bar{Q}$  的波形如图 5.2.8 所示。

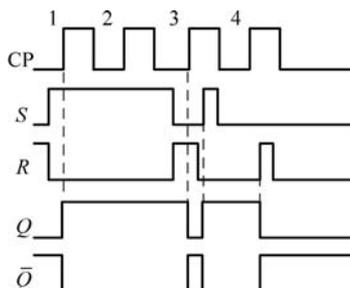


图 5.2.8 例 5.2.1 的图

### 5.2.3 主从 RS 触发器

由于同步 RS 触发器的翻转时刻只能控制在一段时间内,而不是控制在某一时刻进行,

因此这种工作方式的触发器在应用中受到一定限制。要使触发器的翻转能控制在某一时刻,可采用主从 RS 触发器。

### 1. 电路结构

主从 RS 触发器由两级同步 RS 触发器构成,其中一级接收输入信号,其状态直接由输入信号决定,称为主触发器;还有一级的输入与主触发器的输出连接,其状态由主触发器的状态决定,称为从触发器,从触发器的状态即整个触发器的状态。主从 RS 触发器的逻辑图和逻辑符号如图 5.2.9 所示,两个触发器的逻辑功能和同步 RS 触发器的逻辑功能完全相同,时钟为互补时钟。

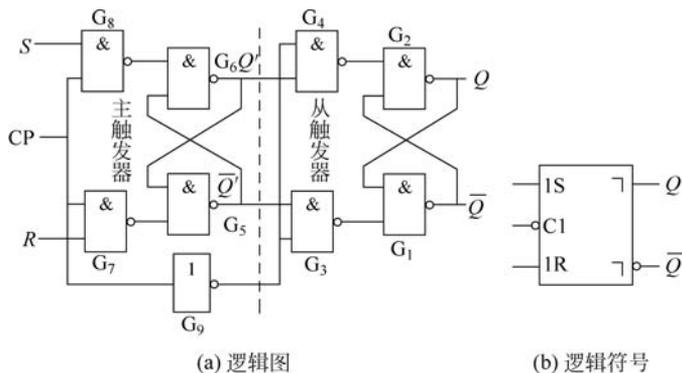


图 5.2.9 主从 RS 触发器的逻辑图和逻辑符号

### 2. 工作原理

(1) 当  $CP=1$  时,主触发器的输入门  $G_7$  和门  $G_8$  打开,主触发器根据  $R$ 、 $S$  的状态触发翻转。对于从触发器,  $CP$  经门  $G_9$  反相后加于它的输入门为逻辑 0 电平,门  $G_3$  和门  $G_4$  封锁,其状态不受主触发器输出的影响,或者说这时保持状态不变。

(2)  $CP$  由 1 变 0 后,情况则相反,门  $G_7$  和门  $G_8$  被封锁,输入信号  $R$ 、 $S$  不影响主触发器的状态。而这时从触发器的门  $G_3$  和门  $G_4$  打开,从触发器可以触发翻转,其状态为主触发器的状态,从触发器的翻转是在  $CP$  由 1 变 0 时刻( $CP$  的负跳沿)发生的。

(3)  $CP$  达到 0 电平后,主触发器被封锁,其状态不受  $R$ 、 $S$  的影响,触发器的状态也不可能再改变。

从工作原理看,主从触发器具有如下特点。

(1) 由两个同步 RS 触发器即主触发器和从触发器组成,它们受互补时钟脉冲控制。

(2) 触发器在时钟脉冲作用期间(本例为  $CP$  高电平)接收输入信号,只在时钟脉冲的跳变沿到来前一瞬间(本例为负跳沿,在逻辑符号中,时钟脉冲输入端  $CP$  带有小圆圈),由主触发器的状态,即  $R$ 、 $S$  的状态,决定触发器的状态,故属于边沿触发方式。在时钟脉冲跳变后(本例为负跳变)封锁输入信号,触发器的状态保持不变。

(3) 对于负跳沿触发的触发器,输入信号应在  $CP$  正跳沿前加入,并在  $CP$  正跳沿后的高电平期间保持不变,为主触发器触发翻转做好准备,若输入信号在  $CP$  高电平期间发生改变,将可能使主触发器发生多次翻转。

### 3. 特性表和特性方程

由以上分析可知,主从 RS 触发器与同步 RS 触发器从逻辑功能方面看是相同的,两者

的差异仅仅是触发器状态转换的时间不同,因此,两者具有相同的特性表和特性方程。

### 5.2.4 集成 RS 触发器

TTL 集成主从 RS 触发器 74LS71 的逻辑符号和引脚分布如图 5.2.10 所示。该触发器有 3 个 S 端和 3 个 R 端,分别为与逻辑关系,即  $1R = R_1 \cdot R_2 \cdot R_3$ ,  $1S = S_1 \cdot S_2 \cdot S_3$ , 使用中如有多余的输入端,要将它们接至高电平。触发器带有置 0 端  $\bar{R}_D$  和置 1 端  $\bar{S}_D$ , 它们的有效电平均为低电平。74LS71 的功能如表 5.2.3 所示。

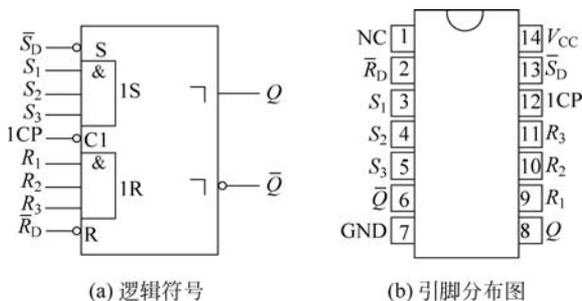


图 5.2.10 TTL 集成主从 RS 触发器

表 5.2.3 TTL 集成主从 RS 触发器功能表

输 入					输 出	
预置 $\bar{S}_D$	置 0 $\bar{R}_D$	时钟 CP	1S	1R	$Q^{n+1}$	$\bar{Q}^{n+1}$
0	1	×	×	×	1	0
1	0	×	×	×	0	1
1	1	┐	0	0	$Q^n$	$\bar{Q}^n$
1	1	┐	1	0	1	0
1	1	┐	0	1	0	1
1	1	┐	1	1	不定	不定

由表 5.2.3 可知,触发器具有置 1、置 0 功能,当置 1 端加低电平,置 0 端加高电平时,触发器置 1,反之触发器置 0。置 1 和置 0 与 CP 无关,这种方式称为直接置 1(或异步置 1)和直接置 0(或异步清 0), $\bar{R}_D$ 、 $\bar{S}_D$  称为异步输入端,不受时钟控制。而 R、S 称为同步输入端,正常工作时,置 1 端和置 0 端必须都加高电平,且在时钟脉冲作用下,R、S 输入端才起作用。

## 5.3 JK 触发器

由于主从 RS 触发器输入信号 R、S 的取值不能同时为 1,这一因素限制了 RS 触发器的实际应用。JK 触发器的输入信号 J、K 的取值不受限制,从而解决了这一问题。

### 5.3.1 主从 JK 触发器

#### 1. 电路结构

主从 JK 触发器是在主从 RS 触发器的基础上稍加改动而产生的,负跳沿主从 JK 触发器的逻辑图和逻辑符号如图 5.3.1 所示。在图 5.3.1 中,主 RS 触发器的 R 端和 S 端分别

增加一个 2 输入的与门  $G_{10}$  和  $G_{11}$ , 与门  $G_{10}$  的 2 个输入端一个作为信号输入端  $J$ , 另一个接触发器输出端  $\bar{Q}$ , 而与门  $G_{11}$  的 2 个输入端一个作为信号输入端  $K$ , 另一个接触发器输出端  $Q$ 。无论触发器处于 0 状态还是 1 状态, 门  $G_{10}$  和  $G_{11}$  总有一个输出 0, 这样就避免了 RS 触发器中  $R$ 、 $S$  同时为 1 的情况, 所以,  $J$ 、 $K$  的取值不再受限制。

### 2. 特性方程

由图 5.3.1 可得

$$S = J\bar{Q}^n$$

$$R = KQ^n$$

将上式代入 RS 触发器的特性方程即式(5.2.1), 可得到 JK 触发器的特性方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^nQ^n = J\bar{Q}^n + \bar{K}Q^n \quad (5.3.1)$$

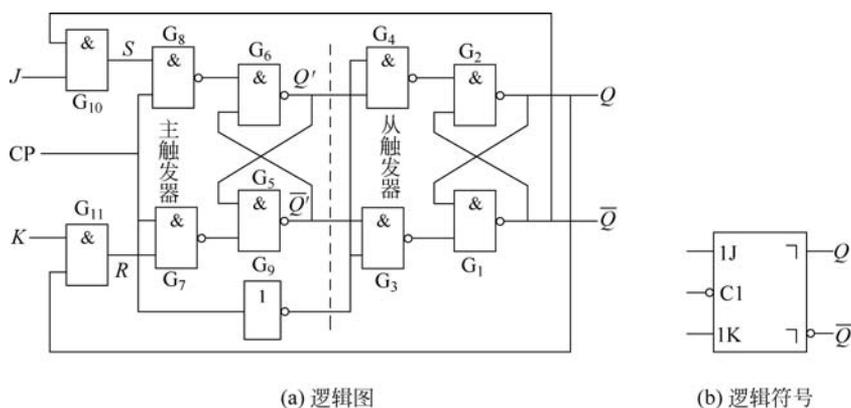


图 5.3.1 负跳沿主从 JK 触发器

### 3. 逻辑功能

由式(5.3.1)可知, 当  $J = K = 1$  时,  $Q^{n+1} = \bar{Q}^n$ , 即每输入一个时钟脉冲, 触发器翻转一次, 触发器的这种工作状态称为计数状态, 由触发器翻转的次数可以计算出输入时钟脉冲的个数。当  $J = K = 0$  时,  $Q^{n+1} = Q^n$ , 触发器状态保持不变。当  $J \neq K$  时,  $Q^{n+1} = J$ 。可见, JK 触发器具有置 0、置 1 保持和翻转的功能, 是功能最全、使用最多的一种触发器。JK 触发器的特性如表 5.3.1 所示, 状态转换图如图 5.3.2 所示。

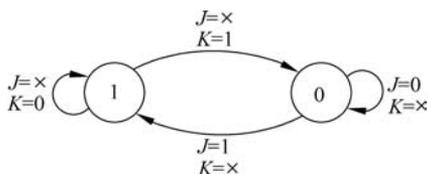


图 5.3.2 JK 触发器状态转换图

表 5.3.1 JK 触发器特性表

$J$	$K$	$Q^n$	$Q^{n+1}$	功 能
0	0	0	0	保持
0	0	1	1	

续表

$J$	$K$	$Q^n$	$Q^{n+1}$	功 能
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	

**例 5.3.1** 设负跳沿触发的 JK 触发器的时钟脉冲和  $J$ 、 $K$  信号的波形如图 5.3.3 所示,画出输出端  $Q$  的波形。设触发器的初始状态为 0。

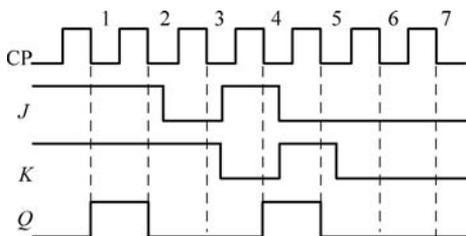


图 5.3.3 例 5.3.1 的波形图

**解** 根据式(5.3.1)或表 5.3.1 或图 5.3.2,可画出  $Q$  端的波形,如图 5.3.3 所示。

从图 5.3.3 可以看出,触发器的触发翻转发生在时钟脉冲的下跳沿,如在第 1、2、3、4、5 个 CP 脉冲下跳沿, $Q$  端的状态改变一次;判断触发器次态的依据是下跳沿前一瞬间输入端的状态。

#### 4. 主从 JK 触发器的一次变化现象

由图 5.3.1 可知,由于输出端和输入端之间存在反馈连接,若触发器处于 0 态(相当于  $K=0$ ),当  $CP=1$  时,主触发器只能接受  $J$  端的信号,一旦主触发器进入 1 态,即使  $J$  由 1 变为 0,由于门  $G_{10}$ 、门  $G_{11}$  的输出均为 0,主触发器保持 1 态,不可能回到 0 态。若触发器处于 1 态, $\bar{Q}=0$ (相当于  $J=0$ ),当  $CP=1$  时,主触发器只能接受  $K$  端的信号,一旦主触发器进入 0 态,即使  $K$  由 1 变为 0,或由 0 变为 1,都不能改变主触发器的 0 态。所以在  $CP=1$  期间,主触发器状态只能改变 1 次,在 CP 的下跳沿,从触发器与主触发器状态取得一致,而与  $J$ 、 $K$  取值无关。这种情况称为主从结构 JK 触发器的一次变化现象。

**例 5.3.2** 负跳沿触发的 JK 触发器的时钟信号 CP 和输入信号  $J$ 、 $K$  的波形如图 5.3.4 所示,在信号  $J$  的波形图上用虚线标出干扰信号,画出在干扰信号影响下  $Q$  端的输出波形。设触发器的初始状态为 1。

**解** (1) 第一个 CP 的高电平期间, $J=0$ , $K=1$ ,因此 CP 的负跳到来触发器应翻转为 0。

(2) 第二个 CP 的高电平期间,由图 5.3.1 分析可知,干扰信号出现前,主触发器和从触发器的状态是  $Q'=0$ , $\bar{Q}'=1$  和  $Q=0$ , $\bar{Q}=1$ 。当干扰信号出现时, $J$  由 0 变为 1,门  $G_{10}$  的两个输入端都为 1,其输出为 1,使门  $G_8$  输出变为 0,因而使  $Q'=1$ , $\bar{Q}'=0$ ,由于干扰信号的产生使主触发器的状态由 0 变为 1。

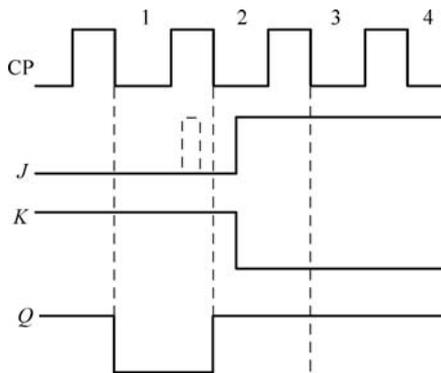


图 5.3.4 例 5.3.2 的波形图

干扰信号消失后,主触发器的状态是否能恢复到原来的状态呢? 由于  $\bar{Q}' = 0$ , 已将门  $G_6$  封锁, 门  $G_8$  的输出变化不会影响  $Q'$  的状态, 也就是  $J$  端的干扰信号的消失不会使  $Q'$  恢复到 0。因此第 2 个 CP 的负跳沿到来后, 触发器的状态为  $Q = Q' = 1$ 。如果  $J$  端没有正跳变的干扰信号产生, 根据  $J = 0, K = 1$  的条件, 触发器的正常状态应为  $Q = 0$ 。由此得知, 当  $Q = 0$  时, 在  $CP = 1$  期间,  $J$  由 0 变为 1, 主触发器的状态只能根据输入信号改变一次, 即一次变化现象。并非在所有条件下都会出现一次变化现象。根据电路的对称性, 不难理解, 当满足条件  $Q = 1$  时, 在  $CP = 1$  期间, 信号  $K$  由 0 变 1, 也会产生一次变化现象。只有在这两种条件下主从触发器会产生一次变化现象。

(3) 对应于第 3 个、第 4 个 CP 的输入条件都是  $J = 1, K = 0$ , 所以  $Q = 1$ 。

由以上分析可知, JK 主从触发器具有如下特点。

(1) 触发器在时钟脉冲作用期间(本例为 CP 高电平)接收输入信号, 在时钟脉冲的跳变沿(本例为负跳沿, 在逻辑符号中, 时钟脉冲输入端 CP 带有小圆圈)触发翻转, 在时钟脉冲跳变后(本例为负跳变)封锁输入信号。

(2) 在  $CP = 1$  期间, 只要  $J, K$  状态保持不变, 触发器的次态取决于时钟 CP 下降沿到来前一瞬间  $J, K$  的取值。

(3) 主触发器的状态只能根据输入信号改变一次。

主从触发器在使用过程中, 为避免出现一次变化现象, 对于负跳沿触发的触发器, 输入信号应在 CP 正跳沿前加入, 满足建立时间  $t_{set}$ , 并保证在时钟脉冲的持续期内输入信号保持不变, 时钟脉冲作用后, 输入信号不需要保持一段时间, 因而保持时间为零。

### 5.3.2 边沿 JK 触发器

负跳沿触发的主从 JK 触发器工作时, 必须在正跳沿前加入输入信号。如果在 CP 高电平期间输入端出现干扰信号, 或改变  $J, K$  的状态, 就有可能使触发器的状态出错。而边沿触发器允许在 CP 触发沿来到前一瞬间加入输入信号。这样, 输入端受干扰的时间大大缩短, 受干扰的可能性也就降低了。

#### 1. 电路结构

边沿 JK 触发器有多种结构, 共同特点是在时钟的跳变沿到来时, 根据输入信号  $J, K$  的状态决定触发器的状态。图 5.3.5(a) 是利用门电路的传输延迟时间构成的下降沿触发

的边沿 JK 触发器,图中的与非门  $G_3$ 、 $G_4$  的传输时间比其他 6 个门组成的触发器的传输时间要长得多(由制造工艺保证)。图 5.3.5(b)是下降沿触发的边沿 JK 触发器的逻辑符号。

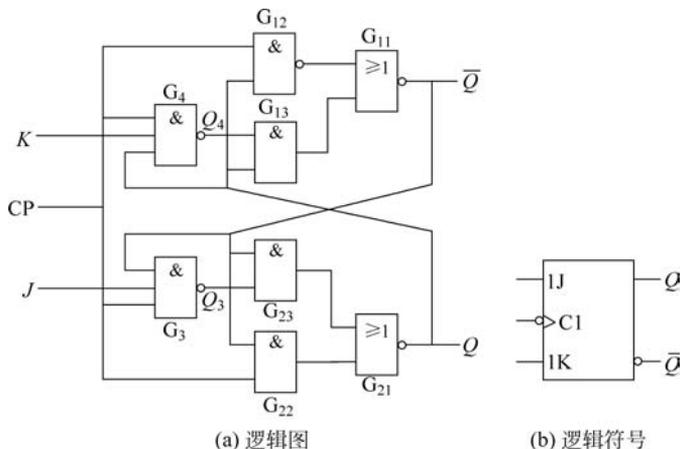


图 5.3.5 下降沿触发的边沿 JK 触发器

## 2. 工作原理

(1)  $CP=0$  时,触发器处于一个稳态。

$CP$  为 0 时,门  $G_4$ 、 $G_3$  被封锁,不论  $J$ 、 $K$  为何状态, $Q_3$ 、 $Q_4$  均为 1; 另外,门  $G_{12}$ 、 $G_{22}$  也被  $CP$  封锁,因而由与门和或非门组成的触发器处于一个稳定状态,使输出  $Q$ 、 $\bar{Q}$  状态不变。

(2)  $CP$  由 0 变 1 时,触发器不翻转,为接收输入信号做准备。

设触发器原状态为  $Q=0$ 、 $\bar{Q}=1$ 。当  $CP$  由 0 变 1 时,有两个信号通道影响触发器的输出状态,一个是门  $G_{12}$ 、 $G_{22}$  打开,直接影响触发器的输出,另一个是门  $G_4$ 、 $G_3$  打开,再经门  $G_{13}$ 、 $G_{23}$  影响触发器的状态。前一个通道只经一级与门,而后一个通道则要经一级与非门和一级与门,显然  $CP$  的跳变经前者影响输出比经后者要快得多。在  $CP$  由 0 变 1 时,门  $G_{22}$  的输入信号  $\bar{Q}=1$ 、 $CP=1$ ,其输出首先由 0 变 1,这时无论门  $G_{23}$  为何种状态(即无论  $J$ 、 $K$  为何状态)都使  $Q$  仍为 0。由于  $Q=0$  同时连接门  $G_{12}$  和门  $G_{13}$  的输入端,因此它们的输出均为 0,使门  $G_{11}$  的输出  $\bar{Q}=1$ ,触发器的状态不变。 $CP$  由 0 变 1 后,门  $G_4$ 、 $G_3$  打开,为接收输入信号  $J$ 、 $K$  做好了准备。

(3)  $CP$  由 1 变 0 时触发器翻转。

设输入信号  $J=1$ 、 $K=0$ ,则  $Q_3=0$ 、 $Q_4=1$ ,门  $G_{13}$ 、 $G_{23}$  的输出均为 0,门  $G_{22}$  的输出为 1。当  $CP$  负跳沿到来时,门  $G_{22}$  的输出由 1 变 0,由于  $G_3$ 、 $G_4$  传输时间较长,在  $G_3$ 、 $G_4$  改变状态之前的一段时间里,门  $G_{22}$ 、 $G_{23}$  各有一个输入端为 0,所以门  $G_{21}$  输出为 1,即  $Q=1$ ,并经过门  $G_{13}$  使  $\bar{Q}=0$ ,触发器翻转。 $CP$  一旦处于 0 电平,则将触发器封锁,回到(1)所分析的情况。

由以上分析可知,该触发器为边沿触发器,其特点是:触发器是在时钟脉冲跳变前一瞬间接受输入信号,跳变时触发翻转(本例为负跳沿,在逻辑符号中,时钟脉冲输入端  $C1$  带有小圆圈),跳变后输入即被封锁,换句话说,接收输入信号、触发翻转、封锁输入在同一时刻完成,显然触发方式属于边沿触发。因此,边沿触发器的次态取决于触发跳变沿到来前一瞬间

输入端的状态。

### 3. 特性表和特性方程

边沿 JK 触发器与主从 JK 触发器从逻辑功能方面看是相同的,因此,两者有相同的特性表和特性方程。由于边沿 JK 触发器没有一次变化现象,工作更可靠,因此应用范围更加广泛。

### 4. 集成 JK 触发器

集成 JK 触发器的产品较多,如 74LS76 为常用的 TTL 双 JK 触发器。该器件内含两个相同的 JK 触发器,它们都带有异步置 1 和清 0 输入端  $\bar{R}_D$  和  $\bar{S}_D$ ,属于负跳沿触发的触发器。如果在一片集成器件中有多个触发器,通常在符号前面(或后面)加上数字,以示不同触发器的输入、输出信号,比如 1CP、1J、1K 同属一个触发器,2CP、2J、2K 则属另一个触发器。76 型号的产品种类较多,比如还有主从 TTL 的 7476、74H76、负跳沿触发的高速 CMOS 双 JK 触发器 HC76 等,它们的功能基本相同,只是主从触发器与边沿触发器在接收信号的时间上有所不同。

**例 5.3.3** 设负跳沿边沿 JK 触发器的起始状态为 0,各输入端的波形如图 5.3.6 所示,试画出输出波形。

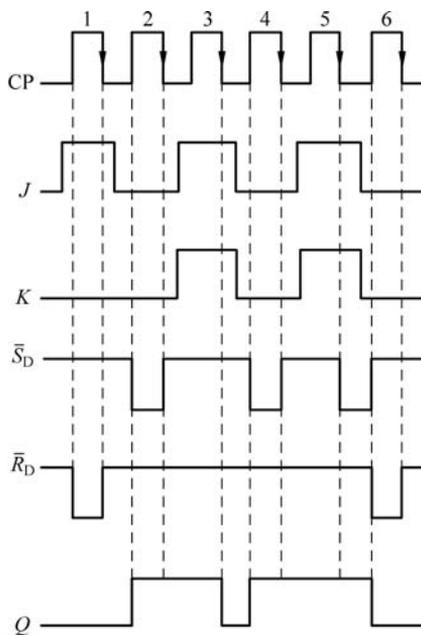


图 5.3.6 例 5.3.3 的波形图

**解** 本例有异步置 1 信号  $\bar{S}_D$  和异步清 0 信号  $\bar{R}_D$ ,所以,要考虑置 1 和清 0 功能。负跳沿边沿 JK 触发器是在 CP 脉冲负跳沿发生转换,当 CP 脉冲负跳沿与输入信号的变化发生在同一时刻时,其输出状态应由跳变前一刻的输入端状态决定。

(1) 第 1 个 CP 正跳时,异步清 0 信号到来( $\bar{R}_D=0$ ),此时,不管 J、K 信号如何,触发器输出端 Q 清 0。此后,由于 CP 负跳沿与  $\bar{R}_D$  信号跳变(由 0 跳变 1)发生在同一时刻,所以  $\bar{R}_D$  应取 0,输出端 Q 仍维持 0 态。

(2) 第 2 个 CP 正跳时,异步置 1 信号到来( $\bar{S}_D=0$ ),此时,不管  $J$ 、 $K$  信号如何,触发器输出端  $Q$  置 1。此后,由于 CP 负跳沿与  $S_D$  信号跳变(由 0 跳变 1)发生在同一时刻,所以  $\bar{S}_D$  应取 0,输出端  $Q$  仍维持 1 态。

(3) 第 3 个 CP 负跳时, $\bar{R}_D=\bar{S}_D=0$ , $J=K=1$ ,所以输出端  $Q$  由 1 变为 0。

(4) 第 4 个 CP 的情况与第 2 个 CP 相同,CP 负跳后,输出端  $Q$  为 1 态。

(5) 第 5 个 CP 负跳与  $\bar{S}_D$  跳变(由 1 跳变 0)发生在同一时刻,输出端  $Q$  本应由  $\bar{S}_D=1$ , $J=K=1$  决定,但随后  $\bar{S}_D=0$ ,所以输出端  $Q$  仍维持 1 态不变。

(6) 第 6 个 CP 的情况与第 1 个 CP 相同,CP 负跳后,输出端  $Q$  为 0 态。

由上述分析得到的输出波形如图 5.3.6 所示。

## 5.4 其他功能触发器

### 5.4.1 D 触发器

D 触发器的结构有多种,下面介绍维持阻塞型 D 触发器,它是一种边沿触发器。

#### 1. 电路结构

图 5.4.1 是边沿 D 触发器的逻辑图和逻辑符号。该触发器由 6 个与非门组成,其中门  $G_1$ 、 $G_2$  构成基本 RS 触发器。

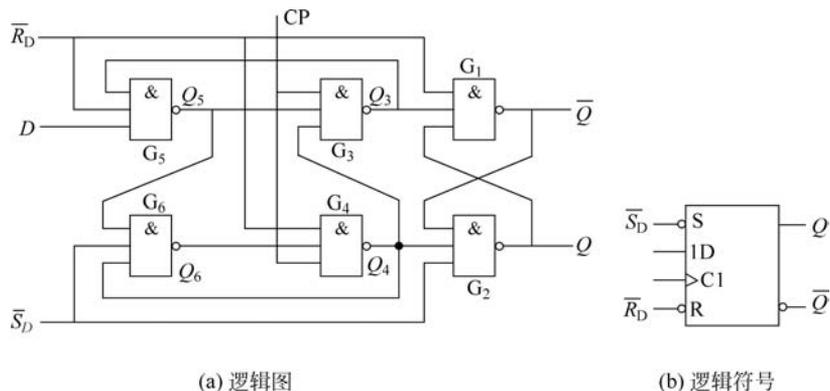


图 5.4.1 边沿 D 触发器

$D$  为同步输入端,受时钟的控制。 $\bar{S}_D$  和  $\bar{R}_D$  为异步置 1 和置 0 端,不受时钟的控制,均为低电平有效。在集成电路触发器中,如集成 RS 触发器、集成 JK 触发器、集成 D 触发器等,一般都设有  $\bar{S}_D$  和  $\bar{R}_D$  端,分析触发器工作原理时,设它们均已加入了高电平,且不影响触发器的逻辑功能。

#### 2. 工作原理

(1) 当  $CP=0$  时,门  $G_4$ 、门  $G_3$  被封锁,其输出  $Q_3=Q_4=1$ ,触发器的状态不变。同时,由于  $Q_3$  至门  $G_5$  和  $Q_4$  至门  $G_6$  的反馈信号将这两个门打开,因此可接收输入信号  $D$ , $Q_5=\bar{D}$ , $Q_6=D$ 。

(2) 当  $CP$  由 0 变 1 时触发器翻转,这时门  $G_4$ 、门  $G_3$  已打开,它们的输出  $Q_3$  和  $Q_4$  的

状态由门  $G_5$ 、门  $G_6$  的输出状态决定,即  $Q_3 = \bar{Q}_5 = D, Q_4 = \bar{Q}_6 = \bar{D}$ 。由基本 RS 触发器的逻辑功能可知  $Q = D$ 。

(3) 触发器翻转后,在  $CP=1$  时,输入信号被封锁。门  $G_4$ 、门  $G_3$  打开后,它们的输出  $Q_3$  和  $Q_4$  的状态是互补的,即必定有一个是 0,若  $Q_3=0$ ,则经门  $G_3$  输出至门  $G_5$  输入的反饋线将门  $G_5$  封锁,即封锁了  $D$  通往基本 RS 触发器的路径。若  $Q_4=0$ ,将门  $G_3$  和门  $G_6$  封锁, $D$  端通往基本 RS 触发器的路径也被封锁。

由工作原理知,该触发器是在 CP 正跳沿前接受输入信号  $D$ ,正跳沿到来时触发器的状态即为  $D$  的状态,正跳沿后输入信号  $D$  被封锁,触发器状态保持不变。所以它是一种正跳沿触发的 D 触发器。

### 3. 特性表和特性方程

D 触发器的特性方程为

$$Q^{n+1} = D \tag{5.4.1}$$

D 触发器的特性表如表 5.4.1 所示,状态图如图 5.4.2 所示。

表 5.4.1 D 触发器的特性表

$D$	$Q^n$	$Q^{n+1}$	功 能
0	0	0	清 0
0	1	0	
1	0	1	置 1
1	1	1	

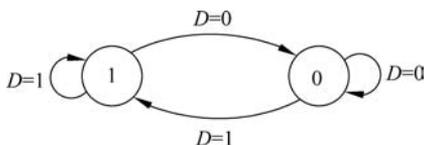


图 5.4.2 D 触发器的状态转换图

**例 5.4.1** 在如图 5.4.1 所示的边沿 D 触发器中, $CP$ 、 $D$ 、 $\bar{S}_D$ 、 $\bar{R}_D$  的波形如图 5.4.3 所示,试画出输出端  $Q$  的波形,设触发器的初始状态为 0。

**解** 由于如图 5.4.2 所示的边沿 D 触发器是正跳沿 D 触发器,所以在时钟的正跳沿接收输入信号  $D$ ,可触发翻转,正跳沿后输入即被封锁,输出保持不变;又因为  $\bar{S}_D$ 、 $\bar{R}_D$  波形中有置 1、清 0 信号,且不受时钟控制,所以一旦出现置 1 或清 0 的信号,触发器即刻被置 1 或清 0。若没有置 1 或清 0 的信号,当时钟的正跳沿到来时,触发器的状态即为时钟脉冲正跳沿到来前瞬间  $D$  的状态。输出端  $Q$  的波形如图 5.4.3 所示。

### 4. 集成 D 触发器

集成 D 触发器的定型产品种类比较多,例如,74HC74 集成触发器,是带有异步置 1、清 0 输入  $\bar{S}_D$ 、 $\bar{R}_D$  的双 D 触发器,它是一种正跳沿触发的边沿触发器。

## 5.4.2 T 触发器和 T' 触发器

### 1. T 触发器

T 触发器的逻辑功能是,当时钟有效时,若触发器的输入端信号  $T=0$ ,触发器状态保持

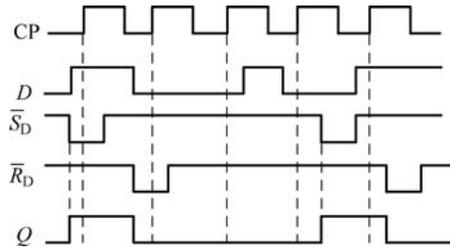


图 5.4.3 例 5.4.1 的图

不变；输入端信号  $T=1$ ，触发器状态翻转。

根据 T 触发器的功能，T 触发器的特性表如表 5.4.2 所示。由特性表可得到其特性方程为

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n \quad (5.4.2)$$

表 5.4.2 T 触发器的特性表

$T$	$Q^n$	$Q^{n+1}$	功 能
0	0	0	保持
0	1	1	
1	0	1	翻转
1	1	0	

事实上，只要将 JK 触发器的 J、K 端连接在一起作为 T 端，就构成了 T 触发器，因此不必专门设计定型的 T 触发器产品。T 触发器的逻辑符号如图 5.4.4 所示。

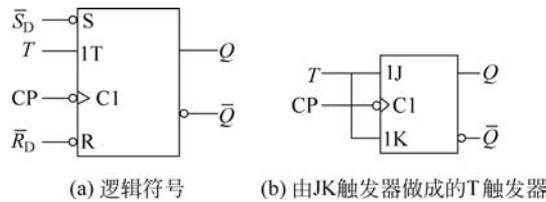


图 5.4.4 T 触发器

## 2. T' 触发器

T' 触发器的逻辑功能是，每来一个时钟脉冲，触发器的状态翻转一次。

根据 T' 触发器的功能，T' 触发器的特性表如表 5.4.3 所示。由特性表可得到其特性方程为

$$Q^{n+1} = \bar{Q}^n \quad (5.4.3)$$

表 5.4.3 T' 触发器的特性表

$Q^n$	$Q^{n+1}$	功 能
0	1	翻转
1	0	

由于功能单一，所以 T' 触发器也没有专门产品，可由其他触发器构成。T' 触发器的逻辑符号如图 5.4.5 所示。

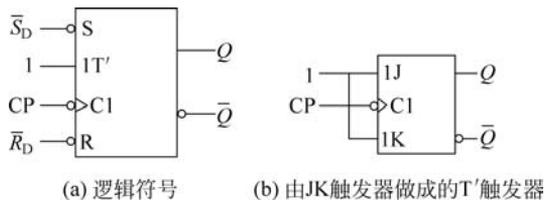


图 5.4.5 T'触发器

## 5.5 触发器功能的转换

前面对触发器的各种逻辑功能和结构形式进行了讨论。对于同一种逻辑功能的触发器可以用不同结构的电路来实现,例如,主从 JK 触发器和边沿 JK 触发器,两者逻辑功能相同,电路的结构形式不同。反过来,用同一种电路结构形式可以构成不同逻辑功能的触发器,也就是说,逻辑功能和电路结构是两个不同的概念。

由一种逻辑功能的触发器转换成另一种功能的触发器,即为触发器逻辑功能的转换。在 5.4.2 节介绍 T、T' 触发器时已经实现了触发器逻辑功能的转换,即由 JK 触发器转换成 T、T' 触发器。同样,也可以将 JK 触发器转换成 D 触发器,反之亦可。

例如,利用边沿 D 触发器转换成边沿 JK 触发器,只需对照 D 触发器和 JK 触发器的特性方程,便可得到转换逻辑的逻辑表达式,即

$$D = J\bar{Q} + \bar{K}Q = \overline{J\bar{Q}} \cdot \overline{\bar{K}Q}$$

由 D 触发器转换成的 JK 触发器的逻辑图如图 5.5.1 所示。图中虚线部分为转换逻辑。

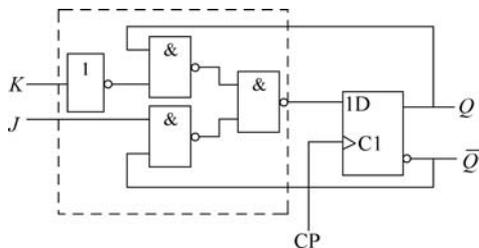


图 5.5.1 D 触发器转换成 JK 触发器

## 本章小结

(1) 触发器和门电路不同,对于以前所述的各种门电路,输出仅与输入信号有关,没有记忆功能。对于触发器,其输出不仅与输入信号有关,还与电路的状态有关,具有记忆功能,它能够长期保持一个二进制状态(只要不断掉电源),直到输入信号引导它转换到另一个状态为止。

(2) 按电路结构分类有基本 RS 触发器、同步触发器、主从触发器和边沿触发器。它们

的触发翻转方式不同,基本 RS 触发器属于电平触发,同步触发器属于脉冲触发,主从触发器和边沿触发器属于脉冲边沿触发,可以是正跳沿触发,也可以是负跳沿触发。主从触发器和边沿触发器的翻转虽然都发生在脉冲跳变时,但加入输入信号的时间有所不同,对于主从触发器,如果是负跳变触发,输入信号必须在正跳变前加入,而边沿触发器可以在触发沿到来前(只要满足建立时间)加入。

(3) 按功能分类有 RS 触发器、JK 触发器、D 触发器、T 触发器和 T' 触发器。RS 触发器具有约束条件  $RS=0$ , T 触发器、T' 触发器和 D 触发器的功能比较简单, JK 触发器的逻辑功能最为灵活,它可以作 RS 触发器使用,也可以方便地转换成 T 触发器、T' 触发器和 D 触发器。在分析触发器的特性时,一般可用特性表、特性方程和状态图来描述其逻辑功能,这 3 种方法本质上是相通的。

(4) 电路结构和触发方式与功能没有必然的联系。如 JK 触发器既有主从式的,也有边沿式的。主从式触发器和边沿触发器都有 RS、JK、D 功能触发器。

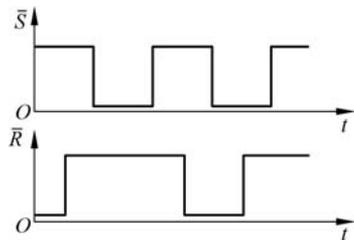
(5) 本章讨论的触发器有一个共同的特点就是触发器的输出有两个稳定的状态,因此这类触发器统称为双稳态触发器。

## 习题

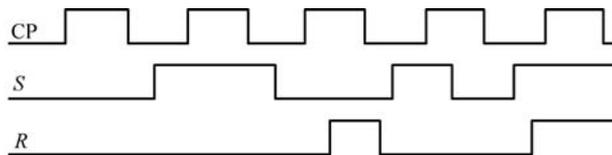
5.1 试画出由与非门组成的基本 RS 触发器输出端  $Q$ 、 $\bar{Q}$  的波形,输入端  $R$ 、 $S$  的波形如习图 5.1 所示。

5.2 将习图 5.2 所示的波形加在以下触发器上,试画出触发器输出端  $Q$  的波形(设初态为 0):

- (1) 正脉冲时钟 RS 触发器。
- (2) 负跳沿主从 RS 触发器。



习图 5.1 题 5.1 的图

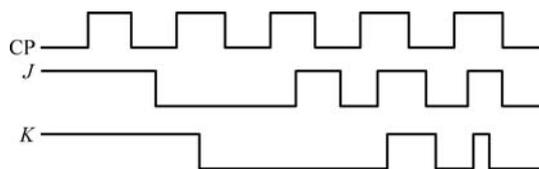


习图 5.2 题 5.2 的图

5.3 将如习图 5.3 所示的波形加在以下 3 种触发器上,试画出输出端  $Q$  的波形(设初态为 0):

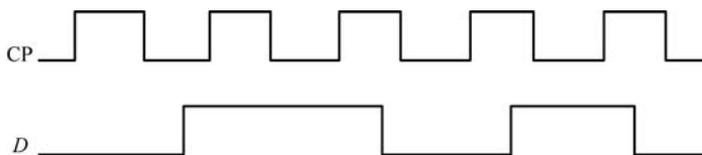
- (1) 正跳沿 JK 触发器。
- (2) 负跳沿 JK 触发器。
- (3) 负跳沿主从 JK 触发器。

5.4 将如习图 5.4 所示的波形加在以下触发器上,试画出触发器输出端  $Q$  的波形(设初态为 0):



习图 5.3 题 5.3 的图

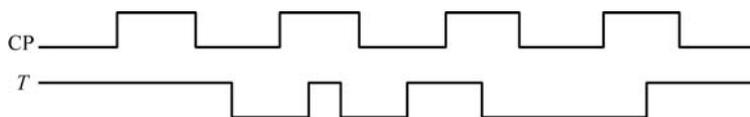
- (1) 正跳沿 D 触发器。
- (2) 负跳沿 D 触发器。



习图 5.4 题 5.4 的图

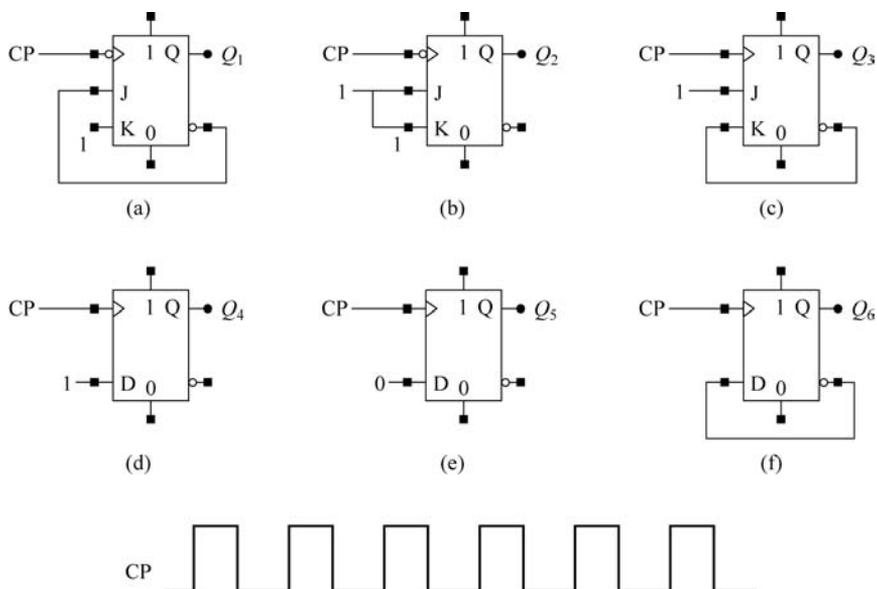
5.5 将如习图 5.5 所示的波形加在以下触发器上,试画出输出端 Q 的波形(设初态为 0):

- (1) 正跳沿 T 触发器。
- (2) 负跳沿 T 触发器。



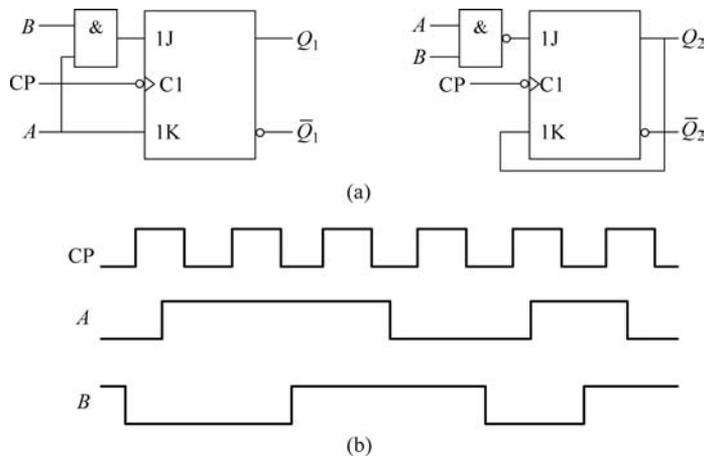
习图 5.5 题 5.5 的图

5.6 设习图 5.6 所示触发器初态均为 0,试画出在 CP 作用下每个触发器 Q 端的波形图。



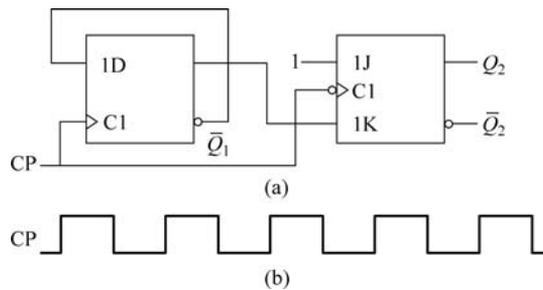
习图 5.6 题 5.6 的图

5.7 触发器电路如习图 5.7(a)所示,试根据如习图 5.7(b)所示的输入波形画出  $Q_1$ 、 $Q_2$  端的波形。



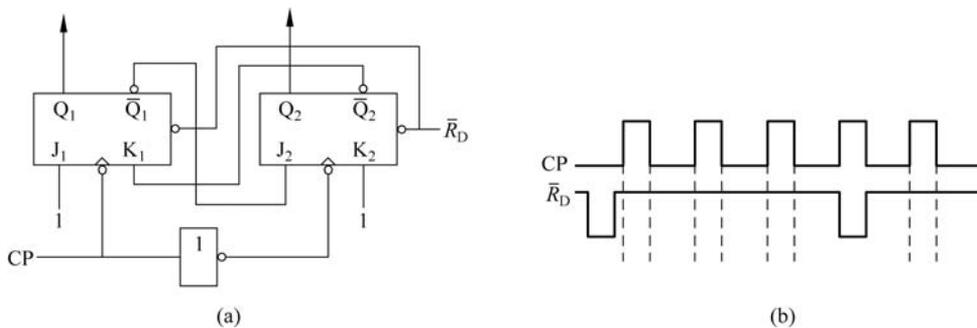
习图 5.7 题 5.7 的图

5.8 触发器电路如习图 5.8(a)所示,试根据如习图 5.8(b)所示的输入波形画出  $Q_1$ 、 $Q_2$  端的波形(设初态为 0)。



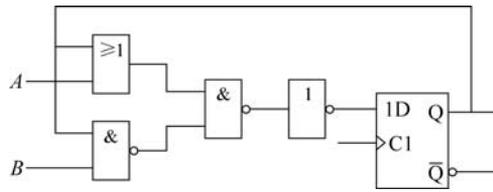
习图 5.8 题 5.8 的图

5.9 触发器组成的电路如习图 5.9 所示,试根据  $\bar{R}_D$  和 CP 波形画出  $Q_1$  和  $Q_2$  端的波形。



习图 5.9 题 5.9 的图

5.10 电路如习图 5.10 所示,试问该电路可完成何种功能。



习图 5.10 题 5.10 的图

5.11 试将 JK 触发器转换成 D 触发器。