第3章 OrCAD使用介绍

OrCAD 是 EDA 行业内比较著名的一款电子设计软件,其中分为 Capture 和 Layout 两大部分,Capture 是原理图设计工具软件,功能比 较强大,界面简单,学习起来也比较容易。对于稍有电子基础的工程 师来说,花费大约 60min 的时间看完本章,掌握 OrCAD 的使用,并运 用此软件完成原理图绘制,这个是完全可以的。

Capture 被 Cadence 公司收购后,用来替代 Cadence 原配的原理 图设计工具软件——Concept HDL,所以对 Cadence 来说一般有两种 原理图设计软件——Capture(CIS)和 Concept(HDL)。因为 Concept 原理图学起来难度比较大,兼容性也不好,尤其在库的管理上也不好, 所以目前主要通过 Capture 绘制原理图。因为 Capture 软件原属于 OrCAD 公司,所以行业内直接将 Capture 称为 OrCAD 软件,接下来 就开始学习 OrCAD 软件的使用。

3.1 工程的建立和设置

OrCAD 所有界面都可以按下按键 I 和 O 来实现放大和缩小,I 是 放大,O 是缩小,大小写都可以。或者通用按下 Ctrl 键,然后滚动鼠标 来实现放大和缩小。

首先启动 OrCAD,在程序中单击 Cadence → Release 16.6 → OrCAD Capture CIS 选项,如图 3.1 所示,OrCAD Capture CIS 比 OrCAD Capture 多了一个 CIS 数据库的功能,如果没有数据库文件建 联,这里两者的启动文件路径都是一样的,选择两者任意一个即可。

弹出 Cadence Product Choices 对话框后,选择 OrCAD Capture CIS 选项,勾选 Use as default,如图 3.2 所示。这样每次打开后,就不 会再出现选择产品的对话框,默认选中 OrCAD Capture CIS。

3.1.1 创建项目

单击 File→New→Project 选项后,弹出 New Project 对话框,在 Name 文本框中输入要新建项目的名字,例如 YL_001_V10,在下面的 - Cadence高速PCB设计——基于手机高阶板的案例分析与实现

4 项单选框中选择最后一项 Schematic,最后单击 Browse 按钮,选择新项目所要保存的目录,如图 3.3 所示。



图 3.1 启动 OrCAD

Please select	the suite from which to chec	k out the OrCAD Capture fea	iture:
OrCAD_Capt OrCAD_Capt OrCAD_Capt OrCAD_Capt OrCAD_Capt OrCAD_Capt OrCAD_Capt	ure_CIS_option with OrCAD ure_CIS_option with OrCAD ure_CIS_option with OrCAD ure_CIS_option with OrCAD ure_CIS_option with OrCAD ure_CIS_option with OrCAD ure_CIS_option with OrCAD	PCB Designer Profes Unison PCB EE Designer Unison Ultra EE Designer Plus PCB Designer Stand	OK Cance
Allegro Desig	n Entry CIS	×	
<		2	

图 3.2 产品选择对话框

lame	OK
VL_001_V10 Create a New Project Using Create a New Project Using O Analog or Mixed A/D Create A D C	Cancel <u>Help</u> Tip for New Users Schematic Wizard is the fastest way to create blank schematic project.
gcation	

图 3.3 创建新项目

注意: Cadence 文件的命名,包含原理图和 PCB 都不支持中文、小数点、中画线、空格,包括父目录文件夹的名字,都不要使用非法字符,虽然有时候存在小数点和空格也能 打开文件,但后期在原理图导入 PCB 时可能会出现很多奇怪的问题。 单击 OK 按钮后,进入 yl_001_v10. dsn 工程文件界面,如图 3.4 所示。

0	rCAD	Cap	ture	CIS	- [E:\	Proj	ect\Y	L_001	_₩10	YL.	_001	_¥10	. op	j]							
TEP F	ile	Desig	n <u>E</u> d	it <u>V</u> iew	Icols	Plac	e SI /	nalysi	s <u>H</u> a	cro	Acces	sorie	s <u>R</u> e	eports	: <u>O</u> p	tions	Tin	dow	Help		
1	Ð		8	X		9	e				Y	0		Q	9	۲	U7	雪	3		Ē
				× 2	J 2	0	Q. /	8 13	B	18	0	1v	0	Ţī	0	17	1				
1	92.0	1		1-Q-1 Q-		3		首			3	眼									
T Y	L_001	_ ¥1		PAGE1																	
																		PCB			
C] File	12 ₀	Hiera	rchy																	
Ģ		Desig	m Res	ources																	
	0		\y1_0	01_v10.	dsn																
		-		PAGE1																	
		œ (De De	sign Ca	che																
	-		ibrar	У																	
	0	Outpu	its	Proise																	
		nerei	enced	ritojec	(3																

图 3.4 dsn 文件界面

新建的原理图中会自动生成一个 PAGE1 的页面。

3.1.2 设置颜色和参数

单击 Options→Preferences 选项后,弹出 Preferences 对话框,默认设置颜色在 Colors/Print 标签,这里可以设置各类属性的颜色,如图 3.5 所示。

Hi	scellaneous	Te	at Editor	Boar	d Simulation			
Colo	rs/Print	Grid Disp	lay P	an and Zoom	and Zoom Select			
Prin I	Alias	Frin V	Hi er ar chi ca	I I	Pin			
	Background	2	 ∐ierarchica	1 2	<u>P</u> in Name			
	<u>B</u> ookmark	~	Hier. Port		<u>P</u> in Number			
2	Bus	2	Junction	2	Power			
	Connection	~	No Connect	4	Power			
2	<u>D</u> isplay		0ff-page		Selection			
	<u>D</u> RC Marker	2	Off-page Cn	etr 🕑	<u>T</u> ext			
	Graphics		Part		Title			
	Grid		Part Body	•	Title			
2	<u>H</u> ierarchical	2	Part	2	<u>M</u> ire			
2	Hier. Block	1	Part		Locked Object			
	NetGroup Block	2	<u>N</u> etGroup Pi	n 🗹	NetGroup Bus			
2	Vari ant		Part Not					
				Jse D	efaults			

图 3.5 设置颜色

第3章 OrCAD使用介绍

Cadence高速PCB设计——基于手机高阶板的案例分析与实现

选择 Grid Display 标签,在这里设置格点显示,如图 3.6 所示。

Colorr/Print	lext Edito	r Boa	rd Simulation
Cororsyrrint	Grid Display	Pan and Zoom	Select
Schemati Visible © Displayed Grid Style © Dots frid spacing 1 1 0 of p Pointer gnap to Connectivity Drawing	c Page Grid ○ Lines in to pin grid Fine Coarse Master ○ ○ ○ ○ ○ ○ ○ ○	Part and Symbol (Visible Displayed Grid Style Objs Pointer sn	O Lines

图 3.6 设置格点显示

原理图和元器件库界面的格点都可以单独设置成不同的风格。 Visible: 是否显示网格,勾选 Displayed,显示网格; Grid Style: 网格显示的方式,Dots 显示格点,Lines 显示横纵线交错的方格; Grid spacing: 网格的大小,可设置成 Pin 间距的整数倍; Pointer snap to grid: 设置网格捕捉。

3.1.3 工程管理器使用

图 3.7 是项目管理图的界面,主要由 4 部分构成。

Design Resources:

(1) 工程文件 dsn 名字。

(2) SCHEMATIC1: 原理图文件,可以分多页,默认 PAGE1。

(3) Design Cache: 原理图中用的元器件 PART 库。

(4) Library: 加载的库文件。

Outputs: 输出的各种文件,如 BOM、Netlist 文件。

Referenced Projects:各种参考电路图。

Windows 信息显示:显示各种元器件或 Net 等各种信息。

3.1.4 新建页面

一般有两种新建方式:

(1) 单击 Design→New Schematic Page 选项,如图 3.8 所示。

Start Page T YL_001_V1 PAGE1	
	PCB
File Se, Hierarchy	
Design Resources	
□	
E-2 SCHEMATIC1	
PAGE1	
□ □ Design Cache	
- E IntieBlockU	
INPUT TOUD LIPTIDITIONS	
Cutputs Referenced Projects	
Cutotop conntons Duptary Outputs Referenced Projects	
C Utbrary C Outputs Referenced Projects	
C Library C Outputs Referenced Projects	
C Library C Outputs Referenced Projects	··9···10···11···12···13···14···15···16···17···18···19···20···21···
C Library C Outputs C Referenced Projects	
Library	i · 9 · · · 10 · · · 11 · · · 12 · · · · 13 · · · 14 · · · 15 · · · 16 · · · 17 · · · 18 · · · 19 · · · 20 · · · 21 · · · I in admin mode for C:\Cadence\SPB_16.6\tools\pspice\SimSrvr.exe I in admin mode for C:\Cadence\SPB_16.6\tools\pspice\pspice.exe apture/16.6.0/Capture.ini
Library Outputs Referenced Projects Ho(ORCOMMN-11077): Registration successfu IFO(ORCOMMN-11077): Registration successfu II File Location:C:\Cadence/cdssetup/OrCAD_Ca	i · 9 · · · 10 · · · 11 · · · 12 · · · · 13 · · · 14 · · · 15 · · · 16 · · · 17 · · · 18 · · · 19 · · · 20 · · · 21 · · · I in admin mode for C:\Cadence\SPB_16.6\tools\pspice\SimSrvr.exe I in admin mode for C:\Cadence\SPB_16.6\tools\pspice\pspice.exe apture/16.6.0/Capture.ini
Library Outputs Referenced Projects 10.0000 10.0000 10.000	i · 9 · · · 10 · · · 11 · · · 12 · · · 13 · · · 14 · · · 15 · · · 16 · · · 17 · · · 18 · · · 19 · · · 20 · · · 21 · · · I in admin mode for C:\Cadence\SPB_16.6\tools\pspice\SimSrvr.exe I in admin mode for C:\Cadence\SPB_16.6\tools\pspice\pspice.exe apture/16.6.0/Capture.ini 图 3, 7 项目管理器

File File	Design Edit View Tools Place SI	Analysis Macro Accessories Reports Options Window Help
DE	New Schematic New Schematic Page	୍ୟ ୟ ୟ ୟ ∞ U? 13 C 🖻 88 0
Star	New <u>V</u> HDL File New V <u>e</u> rilog File	
-C	New Par <u>t</u> New Part from Spreads <u>h</u> eet New Symbo <u>l</u>	
	<u>R</u> ename	
	Remove <u>O</u> ccurrence Properties <u>M</u> ake Root	
	Replace <u>C</u> ache <u>U</u> pdate Cache Clea <u>n</u> up Cache	

图 3.8 新建页面 1

(2) 选中 SCHEATIC1 文件夹,然后右击并选择 New Page 选项,如图 3.9 所示。

GrCAD Capture CIS - [e:\project\ File Design Edit View Tools	l_001_v10\yl_001_v10.opj] Place SI Analysis Macr	o Accessories Reports	Options Windo	w Help
0608406	9 0	- 9 9 9 9	• U? 🗐 🕑	
Start Page JI yl_001_v10	PAGE1			
				PCB
File 18 Hierarchy				
Design Resources				
□-∰ .\yl_001_v10.dsn				
C SCHEMATIC1	New Page			
	Make Root			
Library	Rename			
- C Outputs	Properties			

图 3.9 新建页面 2

第3章 OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

然后在输入框输入所需要新添加页面的名字 MCU,如图 3.10 所示,单击 OK 按钮。

New Page in Schematic:	'SCHEMATIC1'
Name:	OK
[MCU]	Cancel
	Help

最后,在 SCHEATIC1 的文件夹下就出现了一个 MCU 的页面,如图 3.11 所示。

Pore	AD Captu	re CIS	- [e:\pr	roject\	yl_001_v1	.0\yl_0	01_v10.	opj]										
File File	Design	Edit	View	Tool	s Place	SI A	Analysis	Macro	Acces	sories	Re	ports	, Op	otions	s W	indov	v H	lelp
DE			C	C	9 6				- 0	0	a	9	۲	U?	6	2		
Sta	rt Page	yl_0	01*	۵	PAGE1		MCU*											
																	P	CB
C F	ile 🖁 🚛 H	lierarchy	1															
-C	Design	Resou	irces															_
6	· 🖼 .v	_001_v	10.dsn	•														
	0	SCHE	MATIC	1*														
	-	- 🔁 N	ICU*															
		D P	AGE1															
	00	Daria	n Cach															

图 3.11 新建页面结束

3.1.5 复制其他项目页面

打开需要参考的 dsn 文件,选中需要复制的页面,然后右击,选择 Copy 选项,如图 3.12 所示。

□ [3] e:\project\高讯\mdt74	40\v40\mdt740_mb_v40_设计文件\mdt740-v40-20190322-1416.dsn*	
□1 GPS □2 USB □2 03 LCD_CTP □2 04 BB_POWE □2 05 BB_1 □2 06 BB_2 □2 07 BB_3 □2 08 NFC_MT66 □2 09 POWER N	Image: Constraint of the second se	

图 3.12 复制页面

然后打开新的项目页面,选择原理图文件夹后,右击并选择 Paste 选项,如图 3.13 所示。

这样复制的页面就被加入新建的项目中了,如图 3.14 所示。

当然也可以使用 Windows 的 Ctrl+C 和 Ctrl+P 组合键,或者使用 Edit 菜单下 Copy 和 Paste 功能来实现页面复制。

本书为了使读者能够快速掌握 OrCAD,只介绍常用的一种方法,使用该方法复制页

图 3.10 新建页面命名

面后,页面的名字还保持和原页面相同。如果用 Ctrl+C 和 Ctrl+P 组合键,新复制的页面需要输入新的名字才能添加进来,大家有时间可以尝试一下这两种方法的不同。

Start Page J yl_001_v10	MDT74	0-V*	
			PCB
D File 12, Hierarchy			
Design Resources Outputs Referenced Projects	. A. C.	New Page Make Root Rename Properties Edit Object Properties Find Cut	
	0	Сору	
	10	Paste	
		Reports •	

图 3.13 粘贴页面

Start Page	yl_001*	
D File 14, H	ierarchy	
□-□ Design	Resources _001_v10.dsn* SCHEMATIC1* 01 GPS*	
	Design Cache	

图 3.14 复制页面成功

3.1.6 删除页面

选中需要删除的页面,然后右击,选择 Delete 选项,这样就可以删除掉不需要的页面,如图 3.15 所示。

- MCU	U?	Annotate	
PAGE1		Edit Page	
🗷 🗂 Design Cache		Rename	
- 🗀 Library		Schematic Page Properties	
C Outputs		Edit selected object properties	
C Referenced Projects		Edit Object Properties	
		Find	
	X	Cut	
	0	Сору	
		Paste	
		Reports	· -
		Lock	
		UnLock	
		Delete	
		Part Manager	

图 3.15 删除页面

第13章 OrCAD使用介绍

-- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

有时候,我们会发现 Delete 项是灰白的,那是因为该页面还处在打开状态,需要先关闭该页面,如图 3.16 所示,单击该页面,在上方的标签中右击,在弹出的选项中选择 Close 选项,即可关闭该页面。如果关闭所有页面,就选择 Close All Tabs 选项,如果只 保留该页打开,其他页面关闭,就选择 Close All Tabs But This 选项。



图 3.16 关闭页面

3.2 元器件库管理

OrCAD 的原理图封装后被称为 Part,所有的 Part 都被集中放置在一个以 lib 为扩展名的库文件中,OrCAD 可以允许一个项目添加很多元器件库,不同的元器件库还可以 根据顺序设置不同的读取优先级。

3.2.1 创建元器件库

单击 File→New→Library 选项,如图 3.17 所示。

G O	rCAD Capture CIS - [e:\pro le Design Edit View	ject\yl_001_v10\yl_0 Tools Place SIA	91_v10.opj] nalysis Macro Accessories Reports Options Window Help
	<u>N</u> ew <u>Open</u> <u>C</u> lose [Project Design Library	- Q Q Q Q @ U7 话 B 图 题 回 过 街 现 长 Q
	<u>Save</u> Ctrl+S Check a <u>n</u> d Save Save <u>A</u> s	<u>V</u> HDL File V <u>e</u> rilog File <u>T</u> ext File	PCB
	Save Project As Arc <u>h</u> ive Project		-

图 3.17 新建元器件库

这样就自动在项目管理图的 Library 文件夹下生成一个 library1. olb 库文件,如图 3.18 所示。

选中新建的元器件库,右击并选择 Save 选项,如图 3.19 所示。 然后设置库文件保存的地址和名称,如图 3.20 所示。



图 3.18 新建元器件库

OrCAD Capture CIS - [e:\project\	yl_001_v10\yl_001_v10.opj]
File Design Edit View Tool	is Place SI Analysis Macro Accessories Reports Options Window Help
Start Page yl_001*	DT740-V* 🕅 01GPS 🗊 Design1
	PCB
File 1%, Hierarchy	
Gotsign Resources Gotsign Resources	New Part New Part From Spreadsheet New Symbol Library Properties Save Save

图 3.19 保存库文件库

Save As							×
保存在 (I):) orcad		-	0 ¢	1 🕫 🖽	•	
C.	名称	*			修改日期		ł
最近访问的位置	WH.OLB				2019-01-	08 16:05	(
-							
and and a second							
in the second							
库							
计算机							
6				_			
网络	•					Marke (a)	<u>_</u>
	文件名(20):	WH. OLB			-	保存(2)	-
	1条仔奕型(U):	Capture Library	(*. olb)	_	-	职消	

图 3.20 设置库文件地址和名称

第3章 OrCAD使用介绍

Cadence高速PCB设计——基于手机高阶板的案例分析与实现

3.2.2 添加和删除元器件库

我们在设计的时候,有时客户要求使用他们提供的元器件库,或者将其他项目的元器件库调出来使用,遇到此情况时则不需要重新建库。

操作如图 3.21 所示,选中 Library 文件夹后右击,选择 Add File 选项。

GrCAD Capture CIS - [e:\ File Design Edit View	project\yl_001_v10\yl_0 v Tools Place SI <i>I</i>	01_v10.opj] Analysis Macro	Accessor	ies Report	s Options	Window	w Help
	690		- @ 6	1 9 9	œ U? '	83	
Start Page yl_001	MDT740-V*	01 GPS	Design1				
							PCB
Prie 4 Hierarchy Design Resources .vyl_001_v10.ds SCHEMATI .vil_01 GPS .vil_01 GPS	n C1 ; : : : : : : : : : : : : : : : : : :						

图 3.21 添加库文件

然后选择需要加入的元器件库文件,如图 3.22 所示。

Add File to P	roject Folder -	Library	-		×
查找范围(I):	🃓 orcad		- (g 🖻 🖻 🖽 .	•
Ca.	名称	^		修改日期	1
最近访问的位置	WH.OLB			2019-01-0	08 16:05 (
100					
桌面					
100					
库					
计算机					
G					
	•	m		-	•
网络	文件名(20):	WH. OLB		• [打开(0)
	文件 <u></u> 出所)·	Conturo Librario	(k alb)		Wnask

图 3.22 选择库文件

如果在操作时一不小心误加了库,应该如何删除呢?操作也很简单。 选中要删除的库文件,单击右键并选择 Cut 选项,如图 3.23 所示。



图 3.23 删除库文件

3.2.3 创建 Part

接下来先制作一个简单的共阳三色 LED 的原理图元器件库,元器件的规格尺寸如图 3.24 所示。



图 3.24 共阳三色 LED 规格尺寸

选中元器件库,右击并选择 New Part 选项,如图 3.25 所示。

B PAGE1 B → Design Cache B → Dibrary B → Dibrary1.olb*		
Outputs	New Part	
- C Referenced Projects	New Part Fr	om Spreadsheet
	Library Prop	perties
	Save	
	Save As	
	🖌 Cut	

图 3.25 新建 Part

输入 Part 的名字,如果需要新建的元器件 Part 库比较多,建议命名规则统一,这样 便于后期调用,并能快速找到这一个库。例如图 3.26 中的名字,LED 代表元器件种类,P 代表是共阳,4 代表 4 个焊脚,SMT 代表贴装方式。 第

高章 OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

Mana		-	
Mame.	LED_P4_SM		U OK
Part <u>R</u> efe	erence Prefix:	Cancel	
PCB Fool	tprint:	Part <u>A</u> liases	
Create Multiple	e Convert View -Part Package		Attach Implementation.
Parts	perPkg: 1		Help
Pac	kage Type	Part Numbering	
0	Homogeneous	 Alphabetic 	
O	Heterogeneou	s 💿 Nymeric	🔽 Pin Number Visible

图 3.26 新建 Part 命名

Part Reference Prefix: 代表元器件位号的前缀,例如: C 代表电容, R 代表电阻, L 代表电感, D 代表二极管等。根据其前缀可以判断元器件的类型。

该 Part 属于 LED 类,前缀可以设置为 LED 或 D。

PCB Footprint:输入该 Part 的 PCB 封装名称,PCB 封装的名字命名会在后面章节中讲述,在这里简明说一下代表的意思。LED 代表元器件的种类,4P 代表有 4 个焊脚, 3216 代表外形尺寸为 3.2mm×1.6mm。

Package Type: 设置 Part 分裂的个数,这个在后面章节中会详细讲述。

输入完成后,单击 OK 按钮,进入 Part 编辑界面,如图 3.27 所示。

OrCA File	D Cap Desig	ture Cl n Ed	IS - (W) It View	NOLB -	HED F	ace 5	1 I Analys	is Ma	кто и	kcess	ories Option	s Window	r Help															nce
18		8	¥ 0	10	9	e.				Q	999	@ U7	20	10.8	X E	加	由二		9	_	- 14 -	4	P	<u> </u>	盗ら	and 1	-D-: D-	0
yi_00:	1_930*	8	01 GPS	Υ	StartP	ROF C	WHLOU	B*		_								-										
																												-
																												1
											LED	?																
											:				1													
											-				1													
															1													
											10 B				-													
															!													
												<va< td=""><td>alue</td><td>></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></va<>	alue	>														

图 3.27 Part 编辑界面

1. 首先绘制 Part 外形

单击右侧 Add rectangle 按钮, 画出 LED 的外形。如果感觉外形大小不合适, 可以用 鼠标点中 LED 的外形并拖拉改变大小, 如图 3.28 所示。

如果没有出现右侧的菜单,单击 View→Toolbar→Draw 选项,Draw 菜单出现后,可以用鼠标拖动到工作窗口的任何地方。

LED?

图 3.28 添加 Part 外形

2. 设置 Pin

单击右侧 Place Pin 按钮,设置放置的 Pin 序号为 1,名称为 VG,如图 3.29 所示。 Shape 一般设置为 Short,其他选择默认值即可。



图 3.29 设置引脚

Shape:设置引脚的形状,如圆圈、箭头等,大家可以练习并尝试一下设置不同的形状, Passive:设置引脚的状态,如输入、输出、电源等。

注意: Pin Name 是唯一的,不能和其他 Pin 的 Pin Name 重名,否则在保存时会出现报错信息,例如 IC 有很多 GND 的属性, Pin Name 可以按照 GND1、GND2…来命名。

3. 放置引脚

设置好了以后,单击 OK 按钮,放置 Pin 在外形线上,如图 3.30 所示,放置的时候, Pin 会自动吸附到外形线上,按照网格放置在中上位置。

4. 放置其他引脚

放置 2、3、4 Pin,按照上述步骤,放置 2、3、4 Pin,如图 3.31 所示。

第3章

OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现



在放置完引脚后,如果 Number 和 Name 有错误,可以双击 Pin 的红线,在弹出的对话框中更改 Pin 的属性,如图 3.32 所示。

Name:	Charac	
A A	Snape:	OK
A	Short •	
Nu <u>m</u> ber:	<u>I</u> ype:	Cancel
Ø	Output 👻	User Properties.
Width		Help
Scalar	2 Pin Visible	
🔿 <u>B</u> us		

图 3.32 更改 Pin 属性

5. 阵列放置 Pin

后期建 Part 库熟练后,为了提高效率,可以使用阵列放置 Pin,如图 3.33 所示,单击 右侧的 Place Pin Array 按钮,在对话框中选择 Starting Name 和 Number of Pins 选项的 递增量,以及间距。

Place Pin Array		×	e la
Starting Name:	Shape:	ок	
Starting Number:	Iype:	Cancel	G
<u>N</u> umber of Pins:		Help	25 27 07 27 27
Increment:	[√] Pins ⊻isible	-	•
Pin Spacing: 1			

图 3.33 阵列放置 Pin

通过以上几个步骤,三色 LED 的原理图封装 Part 已经建好了。

Pin 阵列放置,可以作为课后作业,供大家练习。

注意: Part 是逻辑库,不需要和实体那样做成一边都是两个 Pin 的样式, Part 一般将 相似功能的 Pin 放置在一起,这样便于原理图使用。例如该三色灯,共阳的第2个 Pin 放 在左侧, RGB 三色负极放在右侧。

3.2.4 创建异形 Part

很多 Part 的外形不是方形的,例如单个 LED,此时一般将 Part 做成二极管的样式, 如图 3.34 所示。

新建一个 Part,名字为 LED_S1,单击 Place line 按钮,将鼠 标悬浮在图标上可以短暂显示该功能的英文,如图 3.35 所示。

当然,如果要放置其他形状的元器件可以单击其他图标, 图 3.36 为各图标的功能。



用 Line 做出二极管的外形, 然后添加 Pin 即可, 如果要改变 Line 的宽度, 双击二极管的外形后选择 Line 的宽度和样式即可, 如图 3.37 所示。



图 3.35 放置 line



线 多段线 矩形 椭圆 圆弧 椭圆弧 平滑线 文字 IEEE

图 3.36 Draw 菜单



图 3.37 编辑 Line

3.2.5 Part 属性管理

Part 建好后,如果需要更改 Part 的 Footprint 之类的属性,选择 Options→Package Properties 选项,打开属性编辑对话框,如图 3.38 所示。

Name:	LED_P4_S	MT		OK
Part <u>R</u> efe	erence Prefix:	U	ED	Cancel
CB Foo	tprint	LED	4P_3216	Part Aliases
Creat	e Convert View e-Part Packag	e		Attach Implementation.
Parts	per Pkg:	1		Help
Pac	kage Type		Part Numbering	
۲	Homogeneou	21	Alphabetic	
C Heterogeneous		21	Numeric	Pin Number Visible

图 3.38 编辑 Part 属性

还可以在 Part 中加入一些物料信息,例如设计公司名称、物料的生产厂家、物料的高度和价格、规格书的地址等,这样方便后期开发使用。

选择 Options→Part Properties 选项,打开用户属性对话框,如图 3.39 所示。

ser Properties				
Properties				OK
Name	Value	Attributes		
Implementation Path				Cancel
Implementation Type Implementation	<none></none>			<u>N</u> ew
Name	LED_P4_SMT.Normal	R	=	Remove
Part Reference	LED?	RV		1
Pin Names Rotate	True			Display.
Pin Names Visible	True			
Pin Numbers Visible	True		-	Help
Implementation Path				

图 3.39 编辑用户属性

可以看到已经有很多的属性在里面了,例如前缀 LED, Pin 编号显示等。 单击右侧 New 按钮, 如图 3.40 所示。

	and the co	
Name:	Datasheet Address	OK
⊻alue:	规格书(RGB共阳).pdf	Cancel
		Help

图 3.40 添加用户属性

在输入框输入需要添加属性的名称和值,如图 3.41 所示,新加属性为规格书的地址,这样在原理图导出 BOM 后,就可以把物料所在规格书地址很方便地显示出来,设置

默认超链接,这样便可以直接在 BOM 中双击打开 Datasheet 规格书,便于后期 Double Check 物料的封装。

Properties			1	OK
Name	Value	Attributes		
Datasheet Address	E:\datasheet\上海卫?			Cano
Implementation Path Implementation Type Implementation	<none></none>		=	<u>N</u> ew
Name	LED_P4_SMT.Normal	R		Tours
Part Reference	LED?	RV		Displa
Pin Names Rotate	True			
Pin Names Visible	True		-	Help
Datasheet Address	E:\datasheet\上海卫结	I\三色LE	C	

图 3.41 添加规格书地址

3.2.6 创建分裂元器件

有些元器件比较复杂,例如 CPU 有 1000 个 Pin,如果全部放在一个 Part 里就会显得 很庞大,也很凌乱。同其他原理图设计软件一样,OrCAD 也可以将 Part 分裂成多个部分 进行显示和放置。

例如 3 色 LED,可以将其分成 3 个不同颜色的 LED,放置在原理图不同的位置中,如 图 3.42 所示,新建 Part,在 Parts per Pkg 内输入数量: 3,Parts per Pkg 的数字就表示元 器件要被分成几块。

<u>N</u> ame:	LED_P4_	SMT3		OK
Part <u>R</u> efere	nce Prefix	Ē	ED	Cancel
CB Footp	int	1		Part Aliases
<u>C</u> reate (Multiple-F	Convert Vie Part Packaj	ew ge		Attach Implementation.
Parts pe	r Pkg:	3		Help
Package Type Index per regisered as a second seco		ous	Part Numbering	📝 Pin Number Visible

图 3.42 设置分裂数量

Homogeneous: 多个分裂 Part 图形相同,设置好 Part1 后,其他几个部分直接默认相同的设置,例如本例中,3 个 LED 的外形可以相同;

Heterogeneous: 多个分裂 Part 图形自由设置;

Alphabetic: 分裂 Part 的标号以字母显示,如 LEDA2A、LEDA2B、LEDA2C 显示; Numeric: 分裂 Part 的标号以中画线+数字显示,如显示为 LED2-1、LED2-2 和 LED2-3。 设置好以后,单击 OK 按钮,出现编辑 LED? A 的界面,做好 PartA 的封装,如图 3.43 所示。

LED?A



<Value>

图 3.43 制作 PartA 完成

PartA制作完成后,单击 Save 按钮,接着单击菜单 View→Package 选项,如图 3.44 所示。

GrCAD Capture CIS -	[WH.OLB - LED_P4_SMT3]					
🗗 File Design Edit	View Tools Place SI A	nalysis Macro	Accessorie	s Optic	ons Wind	dow Help
	<u>N</u> ormal <u>C</u> onvert		- @ @	Q G	(• I	19 0
Start Page Jul_00	Part Package	🖓 wi	1.0LB - L	WH.OLB	- , ,*	
5 x 5	Show Footprint Ne <u>x</u> t Part C Pre <u>v</u> ious Part C	trl+N :trl+B				
11 I 125	Ascend Hierarchy Sh Descend Hierarchy Sh	ift+A ift+D				
G 2 22	Synchronize <u>Up</u> Sh Synchronize D <u>o</u> wn Sh	ift+U ift+O				
3 6 35	Synchronize Across Sh	iift+C				

图 3.44 开启 Package View

接着就可以看到3个一模一样的 Part,如图 3.45 所示。



图 3.45 自动生成其他两个 Part

因为每个部分 2 脚都是共用的,在 PartA 中已经使用,在其他两个中就不能使用了, 分别单击 PartB 和 PartC 的另外一个 Pin 修改 3、4 Pin 的参数,至此该 Part 建立完成。 在调用分裂 Part 时,选择 A、B、C 就可以了。

3.2.7 Part 的复制和删除

在实际项目中所使用的元器件很多来自成熟项目的元器件库,那应该如何把其他项目的 Part 在新项目中使用呢?

1. 打开需要复制 Part 的 dsn 源文件

将元器件库加载在该项目中,如图 3.46 所示。



- 图 3.46 加载库到参考文件中
- 2. 复制源文件的 Part

单击 Design Cache 左边的"+"按钮标记,可以看到该项目中所有的 Part 都在此目录下,如图 3.47 所示。选中所需要的 Part,右击并选择 Copy 选项。

Ð	1_1.5KE100A : E:\LIB\LIBRARY1.0LB			
Ð	BCT4222A_2 : D:\42MBBK\BS-G42MB-V	<u>4-1</u>	10110 058	_
Ð	CO805_10uF : C:\01-SCHEMATICS\01	1	Replace <u>C</u> ache	1
Ð	C_Generic : F:\MY DATA\ZXLLIB\Z)		Update Cache	
Ð	C_Generic_1 : E:\1222\MDT740-V10	6	Cut	
Ð	CAP NP : C:\CADENCE\SPB_16.3\TOC	0	Copy	RETE. OL
Ð	CAP NP : E:\ORCAD LIBRATY\ROCK-C	Î	Paste	_
Ð	CAP NP_11 : E:\1222\MDT740-V10-2	1	Post Herein	
Ð	CAP NP_8 : E:\MID产品\HQ50\HQ530		fart manager	DSN
D	CAPACITOR_0 : E:\LIB\LIBRARY1.OLB			

图 3.47 复制 Part

3. 复制 Part 到库文件中

选中库文件,右击后选择 Paste 选项,如图 3.48 所示。

From Spreadsheet
31 ?roperties
*

图 3.48 粘贴 Part

如果在视窗中, Design Cache 和库离得不远, 可以左键选中所需文件并直接拖拉至 库文件中。

4. 删除 Part

如果库里面某个 Part 想删除掉,如图 3.49 所示,只需选中 Part,然后右击并选择 Delete 选项即可删除此 Part。

第

高章 OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现



图 3.49 删除 Part

3.3 原理图编辑

下面进入原理图绘制环节,主要讲述原理图重命名、Part 放置、Net 添加、连接符放置、输出 BOM 和 Netlist 文件。

3.3.1 页面重命名

在实际项目中,工程师习惯把一个模块放置在一页,页面的名字定义为"页码+功能 名字",如 01-GPS、02-POWER、03-4G Module 等。

如图 3.50 所示,本案中,根据第一页名字的命名规则,第二页的名字 MCU 需要重命 名为 02-MCU,操作方法如图 3.50 所示,首先选中该页面,右击并选择 Rename 选项后, 输入 02-MCU 即可。

注意:页面命名可以支持空格、汉字、中画线等。



图 3.50 重命名 Page

3.3.2 放置 Part

Page 编辑完成后,就可以根据需要放置各种 Part 到 Page 中,如图 3.51 所示,单击窗口右侧所示的按钮,也可以选择主菜单 Place→Part 选项,或者使用快捷键 P,便会出现放置 Part 的对话框。

首先在 Libraries 下选择 Part 库,然后在 Part List 中选择需要放置的 Part,此时最下

面会显示所选择的 Part 的形状。如果是分裂的 Part,则会在最下方的 Packaging 内显示 Part 的个数,在 Part 内选择下拉框,则可以选择放置 A、B 或 C 部分,如图 3.52 所示。



图 3.51 选择 Part







Mirror Horizontally:水平方向镜像;

Mirror Vertically: 垂直方向镜像;

Mirror Both: 水平和垂直两个方向同时镜像;

第3章

OrCAD使用介

绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现



图 3.53 Part 镜像或旋转

Rotate: 旋转。

接着在左面的 Page 中单击,就可以看到 NPN 已经被放到 Page 中了,如图 3.54 所示。



图 3.54 放置 Part

如果要放置第二个 Part,就可以继续在 Page 上单击,每单击一次就会出现一个 NPN。按下 Esc 键后,结束放置。

双击该 NPN 的 Part,出现 Part 属性的对话框,如图 3.55 所示。

可以双击1上面的空白处,如图3.56所示,以此改变 Part 属性的排列方式。

此时 Part 属性的框将改变为垂直排列并显示属性,如图 3.57 所示。

为了防止 Part 的编号重名,有经验的硬件工程师会根据页码来编号,Part 的编号推荐采用"页码+本页排号",如 R05006 就代表该 Part 在原理图的第5页,这样方便在原理图中查找。

] File	Design Edit	View	Tools	Place	SI Analysis	Macro	Accessories	Options	Window	Help			
									00		- ×	C	Ê 9 -
Char	Page Filled 0	111 *	Dun of	Bal	5 01 CPS	0	DACE 18	PACE2	(5) 02N		COURMA	TT #	
Star	LPage IN YI_U	/1_V1	er millor	D - L	DI UI GES		PAGEI	PAGLE	021	cu	SCHEMA	11	
New Pi	operty] [Displa	y Dele	te Prope	rty Piv	ot F	Filter by: Currer	t properties :			SCHEHA	•	Help
New Pi	operty Apply	Displa	y) Dele	te Prope	aty Piv	ot F	Filter by: Currer	k properties (SCHEHA	•	Help
New Pi	operty Apply	Displa	y) [Dele	te Prope	rty Piv	ot F Desig	ilter by: Currer	froperties (Grap	hic		ID	•	Help

图 3.55 Part 属性(水平排列)

Nev	Property] Apply Disp	ay] Delete Property	Pivot Filter b	< Current properties >				
ł		Color	Designato	or Graphic	ID			
1	SCHEMATIC1 : PAGE	Default		NPN.Normal	11/1///////////////////////////////////			

图 3.56 改变排列方式

	A
	+ SCHEMATIC1 : PAGE1
Color	Default
Designator	
Graphic	NPN.Normal
ID	
Implementation	ด ก็อาที่การใหญ่การที่ แต่ก็การที่สามกับ เพียงกับแล้วแล้ว เพียงกับ
Implementation Path	
Implementation Type	<none></none>
Location X-Coordinate	550
Location Y-Coordinate	190
Name	INS16692187
Part Reference	Q1
DCB Excelosiat	COTOS

图 3.57 Part 属性(垂直排列)

修改 Part 编号的方法,在 Part 属性表中,如图 3.57 所示,单击 Part Reference 右边 的框,更改 Q1 为 Q02001 即可。

3.3.3 同页面建立互连

同页面建立互连的方法有添加连线(Wire)、网标(Net Alias)、端口(Port)。

1. 添加连线(Wire)

如果连接的两个 Pin 的间距较小,添加连线是最直接的方法,如图 3.58 所示,单击窗 口右侧的 Place wire 按钮,或按下 W 键,也可以选择主菜单 Place→Wire 选项。

激活添加 Wire 后,如图 3.59 所示,单击 C238 的一个 Pin 作为起始点,出现一个 Wire 后,往需要连接的 Pin 方向移动,直到出现一个红的大圆标志后单击,放置 Wire 的 连接就完成了,红色大圆也就消失。

下面是窗口右侧按钮其他关于 Wire 的介绍:

J Auto Connect to points: 单击两个 Pin 后,自动连接 Wire;

第

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现



图 3.58 添加 Wire



图 3.59 Wire 的另外一点

➡ Place junction(J): 放置连接点,两根 Wire 交叉后,一般会自动生成一个交叉的圆形小红点,如果没有出现,则需要手动放置交叉连接点;

■ Place no connect(X):不要连接的 Pin,需要放置 no connect 的 → 标志,如 图 3.59 中的第 9 个 Pin。

2. 添加网标(Net Alias)

如图 3.60 所示,如果第 2 个 Pin 要连接 R56,此时距离比较长,而且线要很绕才能连接到一起,遇到这种情况,采用添加网标的形式来连接比较方便。

单击窗口右侧的 Place Net Alias 按钮,或者输入 N,还可以通过选择主菜单中的 Place→Net Alias 选项,如图 3.61 所示,在 Alias 输入框内输入网标的名字,如 TXD。

然后,把该网标放置在 Pin 2 的 Wire 上,如图 3.62 所示,在放置 Alias 之前,需要从



同样,在R56的另外一端也放置一个TXD的Net Alias,这样两端就实现了相互连接,如图 3.63 所示。

3. 添加网络端口(Port)

Port和 Net Alias 的作用相同,但比 Net Alias 更直观些,还是将第 2 个 Pin 同 R56 连接,如图 3.60 所示,如果采用添加 Port 的方式连接,也可以达到连接的效果。

如图 3.64 所示,单击窗口右侧的 Add Port 按钮,在 Libraries 里选择库,在 Symbol 中选择具体的样式。

单击 OK 按钮后,右击并选择 Edit Properties 选项,如图 3.65 所示。

第3章

OrCAD使用

介

绍



输入 Port 的网标名字 TXD,如图 3.66 所示。 单击 OK 按钮后,把该 Port 放置在 Pin 2 上即可,如图 3.67 所示。



图 3.66 输入 Port 的网标名字



3.3.4 不同页面建立互连

如果需要连接的两个 Pin 不在同一个页面,那么该如何连接呢? 这就需要用到专用 的页面连接符。

如图 3.68 所示,单击窗口右侧 Place Off-Page Connector 选项,或单击主菜单 Place→ Off-Page Connector 选项,在 Libraries 下选择库,在 Symbol 中选择样式。

ace on-rage connector				1	÷
Symbol:		ОК		1	Ymm
UFFPAGELEFT/R		Cancel		1	副
OFFPAGE_BOTHO-IN .	1		10		-0
OFFPAGELEFT/R	orrower erro/h	Add Library		0	-0
OFFPAGELEFT-L	OFFFAGELEFTA	Remove Library		17	X
		Help	-	T	~~
Lįbraries:		<u></u>		2	-43
CAPSYM Decise Cache		-		-	R
SOURCE	<u>N</u> ame:			R	R
	OFFPAGELEFT/R			12	45
				~45	abc
NetGroup OffPage				2	3
Show UnNamed NetGrou	p			-	

图 3.68 设置 Off-Page Connector

单击窗口右侧的 Add Library 按钮可以添加 Symbol 所需的库,单击 Remove Library 按钮可以删除添加的库,然后单击 OK 按钮。接着右击,出现下拉菜单,在这里

第 3 章

OrCAD使用介绍

-- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

可以对 Off-Page Connector 做旋转、镜像等操作,选择 Edit Properties 选项,如图 3.69 所示。

然后输入网标名字,如图 3.70 所示。



图 3.69 编辑 Off-Page Connector



注意:如果要和其他 Page 的网标相连,也要在对应的 Page 内放置一个相同网标的 Off-Page Connector,这个是和其他原理图软件不同的地方。

如果没有放置 Off-Page Connector,即使每页放置相同的 Net Alias 或 Net Port,当 导入 Netlist 文件或导入 PCB 中时会发现这些网络不会相连,如 VBAT,会产生很多 VBATxxxx 的网标,xxxx 为随机生成的一串数字。

3.3.5 总线的使用和命名

在设计原理图时,会碰到很多总线(Bus),如 Data、Address 等,这样用 Bus 线就很方便。如图 3.71 所示,Data 总线有 24 根。

	V17		
FP0_D0	W17	_	
FP0_D1	AB18	_	
FP0_D2	W19	-	
FP0_D3	U19	-	
FP0_D4	W18	-	
FP0_D5	AA18	-	
FP0_D6	U18	-	
FP0_D7	AA19	-	
FP0_D8	AB19	-	
FP0_D9	T19		
FP0_D10	AA20	-	
FP0_D11	AB20	-	
FP0 D12	T18	-	
FP0 D13	AC20	-	
FP0 D14	W21	-	
FP0 D15	VV21	-	
FP0 D16	V15	-	
FP0 D17	121	-	
FP0 D18	AA21		
FP0 D19	V18	-	
FP0_D20	AB21	_	
EP0_D21	AC21		
EP0_D22	R19	_	
EP0_D22	Y22	_	
EBCI KO	AB23		
F FLA KU	1000 554 1/6		

图 3.71 Data 总线

和前面的操作方式相同,有3种放置总线的方法:

- (1) 在主菜单中单击 Place→Bus 选项。
- (2) 单击窗口右侧的 Place Bus 按钮。
- (3) 直接按快捷键 b 或 B。

然后在右侧空白处即可画出一条 Bus 粗线,如图 3.72 所示,默认角度为 90°,如果需要其他角度,可以在按下鼠标左键的同时按下 Shift 键,这样就可以画出任意角的总线了。

FP0 D1	AB18	_	1 1	1	1: 5	1	-	
FP0_D2	W19			10				
FP0_D3	U19	-		2				
FP0_D4	W18	_		<u></u>				
FP0_D5	AA18	-		1				
FP0_D6	U18	-		\sim				
FP0_D7	AA19	-		÷.				
FP0_D8	AB19	_		2				
FP0_D9	T19	-		1				
FP0_D10	AA20	_						
FP0_D11	AB20	_						
FP0_D12	T18	_		2				
FP0_D13	AC20							
FP0_D14	W21							
FP0_D15	V19	_						
FP0_D16	Y21							
FP0_D17	AA21							
FP0_D10	V18							
FP0_D19	AB21	_						
EP0_021	AC21	_						
FP0_D22	R19	_		÷.				
FP0_D23	Y22	_		÷.				
FPCLK0	AB23	8 N N S						_
FP0 VSYNC	AC22 FPU VS							
EDO LIOVAIO	AC23 FPU_HS							

图 3.72 Bus 总线放置

接着单击 Place Net Alias 图标 些,编辑 Bus 的名字,如图 3.73 所示。

Place Net Alias				
Alias:			E	OK
FP0_D[023]				Cancel
				Help
Color	Rotation			
Default	• • •	© <u>9</u> 0	© <u>1</u> 80	© <u>2</u> 70
Font	It Arial 7 (defa	ult)		

图 3.73 Bus 总线命名

输入 FP0_D[0..23]或者 FP0_D[0-23],如果格式输入错误,会出现提示错误的对话框,如图 3.74 所示。

输入 Bus 的名字后单击 OK 按钮,将 Net Alias 放置在 Bus 线的旁边,如图 3.75 所示。

第3章 OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现



图 3.74 Bus 总线命名错误提示

i Sources and sources of	V17											_
FP0_D0	W17											
FP0_D1	AB18			1	1.1							
FP0_D2	W19	0		1	1							
FP0_D3	U19			8	1							
FP0_D4	W18			÷.								
FP0_D5	AA18			1	1							
FP0_D6	U18			÷.,								
FP0_D7	AA19			1	1							
FP0_D8	AB19											
FP0_D9	T19											
P0_D10	AA20											
P0_D11	AB20											
P0_D12	T18											
P0_D13	AC20											
P0_D14	W21											
P0_D15	V19											
P0_D16	Y21			1								
P0_D17	AA21			1								
P0_D18	V18											
P0_D19	AB21											
P0_D20	AC21											
D0 D21	R19											
D0 D22	Y22			6								
P0_023	AB23	37				FP	0	D[()2	23]	_	

图 3.75 放置 Bus 总线的 Net Alias

接下来,单击窗口右侧的 Add Bus Entry 图标 Ⅰ,也可以单击主菜单 Place→Bus Entry 选项,或者使用快捷键 E 或 e,以此添加 Bus 线的分支线,如图 3.76 所示。

	V17	13							
FP0_D0	W17	1							
FP0_D1	AB18								
FP0_D2	W19								
FP0_D3	U19								
FP0_D4	W18								
FP0_D5	AA18								
FP0 D6	1118								
FP0 D7	AA19								
FP0 D8	AB19								
FP0 D9	AD13	\mathbf{N}							
FP0 D10	119	\mathbf{N}							
FP0 D11	AA20	N							
EP0 D12	AB20	N							
EPO D12	118	N							
F0_D13	AC20	\mathbf{N}							
-P0_D14	W21								
-P0_D15	V19	\sim							
-P0_D16	Y21								
-P0_D17	AA21								
-P0_D18	V18								
FP0_D19	AB21								
FP0_D20	AC21								
FP0_D21	R19								
FP0_D22	Y22								
FP0_D23	AB23		FF	0		0	23	0	
-	1020			~	21	· · · ·	~0	-	

图 3.76 放置 Bus Entry

1	V17						
FP0_D0	W17						
FP0_D1	AB18						
FP0_D2	W19						
FP0_D3	U19						
FP0_D4	W18						
FP0_D5	AA18						
FP0_D6	U18						
FP0_D7	AA19						
FP0_D8	AB19						
FP0_D9	T19						
FP0_D10	AA20						
FP0_D11	AB20						
FP0_D12	T18						
FP0_D13	AC20						
FP0_D14	W21						
FP0_D15	V19						
FP0_D16	Y21						
FP0_D17	AA21						
FP0_D18	V18						
FP0_D19	AB21						
FP0_D20	AC21						
FP0_D21	R19						
ED0 D22	Y22						
FP0_D23	AB23	FP	0	D[0)2	23]	

用 Wire 将 Pin 和 Bus Entry 连起来,如图 3.77 所示。

图 3.77 连接 Bus Entry

接下来就可以对各个 Net 进行命名了,单击 Add Net Alias 图标 3,添加第一个 Net Alias,放置后,直接放在下一个 Wire 上并单击,这样数字即可自动增加,如图 3.78 所示。

			-						
	V17	FP0 D0							
FP0_D0	W17	FP0 D1	1						
FP0_D1	AB18	FP0 D2							
FP0_D2	W19	FP0 D3							
FP0_D3	U19	FP0 D4							
FP0_D4	W18	FP0 D5							
FP0_D5	AA18	FP0 D6							
FP0_D6	U18	FP0 D7							
FP0_D7	AA19	FP0 D8							
FP0_D8	AB19	FP0 D9							
FP0_D9	T19	FP0 D10							
FP0_D10	AA20	FP0 D11							
FP0_D11	AB20	FP0 D12							
FP0_D12	T18	FP0 D13							
FP0_D13	AC20	FP0 D14							
FP0_D14	W21	FP0 D15							
FP0_D15	V19	FP0 D16							
FP0_D16	Y21	FP0 D17							
FP0_D17	AA21	FP0 D18							
FP0_D18	V18	FP0 D19							
FP0_D19	AB21	FP0 D20							
FP0_D20	AC21	FP0 D21							
FP0_D21	R19	FP0 D22							
FP0_D22	Y22	FP0 D23							
FP0_D23	AB23			FP	0_	D[0:	23]	
						_			

图 3.78 Bus Entry 命名

注意:低版本的 OrCAD 软件,需要按下 Ctrl 键才能自动递增数字。

第3章 OrCAD使用介绍

3.3.6 放置地和电源

OrCAD 设有专门放置电源和地网络的功能,这些电源和地实际上也是一个 Part,制作好后放在 Lib 库中,一般使用默认的设置即可。

1. 放置电源网络

和上面的命令激活方式相同,有3种放置电源网络的方式,如图3.79所示。

Symbol		OK
VCC_BAR		Canad
VCC	VCC BAR	Lancel
VCC_ARROW		Add Library
VCC_CIRCLE	•	Remove Library
VCC_WAVE	*	
Lįbraries:		Help
CAPSYM		
Design Cache SOURCE	Name:	
	VCC_BAR	
NetGroup Power		-
Show UnNamed Net	Group	

图 3.79 选择 Power

(1) 单击窗口右侧的 Place Power 图标 🖷。

(2) 选择主菜单 Place→Power 选项。

(3) 使用快捷键 F 或 f。

此时出现 Place Power 的对话框,根据自己喜好选择 Power 的样式,如果不满意这里面的样式,可以单击 Add Library 按钮添加自己做好的库进来。

一般选择 VCC_BAR 选项即可,图纸中的 Power 样 式最好都选统一的一种,这样下次使用的时候,只需使用 Copy 命令就可以了,不用每次都用 Place Power 命令,然 后才能选择样式这么麻烦,从而提高了作图的效率。

接下来单击 OK 按钮,如果需要旋转镜像操作,就按 下快捷键 R,需要水平镜像操作就按快捷键 H,需要竖直 镜像操作就按快捷键 V。或者右击并在下拉菜单中选择 Mirror 和 Rotate,如图 3.80 所示。

注意: OrCAD 的快捷键字母大小写效果都是一样的。

在下拉菜单中选择 Edit Properties 选项,输入电源的 Name,如图 3.81 所示。

最后,将该 Power 放置在 Wire 上,直到出现一个红标志后单击此 Wire,如图 3.82 所示,就在 B19 和 A23 上放置 Power。

这样就完成了 Power 的放置,有了第一个 Power 后,下次使用这个 Power 就可以直接选中此 Power,通过 Copy 和 Paste 操作,或者按下 Ctrl 键拖拉,便可以生成一个新的 Power,和其他 Part 一样都可以这样操作。

ſ	End Mode	Esc
	Mirror Horizontally	
	Mirror Vertically	
	Mirror Both	
	Rotate	
	Edit Properties	
	Assign Power Pins	

图 3.80 设置 Power

Rename Power Symbol	
Name:	OK
VCC_3V3	Cancel
	Help

图 3.81 Power 命名

	B19		VCC 3V3
DAC1_VDD33A	A23	VDD33A	
DACU_VDD33A		•	

图 3.82 放置 Power

注意: Power 是可以跨 Page 的,就是说不同的 Page 内相同 Net 的 Power 是默认连接的,不需要另外放置 Off-Page Connector。

2. 放置地网络

和上面的命令激活方式一样,也有3种放置地网络方式,如图3.83所示。

	0.1
	Add Library <u>Remove Library</u> <u>H</u> elp
Name:	_
	Name:

图 3.83 选择 Ground

(1) 单击窗口右侧的 Place Ground 图标 🚽。

(2) 选择主菜单 Place→Ground 选项。

(3) 使用快捷键 G 或 g。

此时便可以出现 Place Ground 对话框,如图 3.83 所示,选择自己喜欢的 Symbol,如 要使用自己制作的 Symbol,可以单击窗口右侧 Add Library 按钮来添加。

一般选择系统自带的 GND_POWER 即可,如果线路上有不同的地,如数字地

(DGND)、模拟地(AGND)、RJ45 接口地(RGND)、USB 接口地(UGND)等,可以分别选用不同的 Symbol 来区 别开。

设置好 Symbol 后,单击 OK 按钮,放置 Ground,可 以按快捷键 R、H 或 V 进行旋转和镜像,单击右键后如 图 3.84 所示,选择 Edit Properties 选项。

End Mode	Esc
Mirror Horizontally	
Mirror Vertically	
Mirror Both	
Rotate	
Edit Properties	
Assign Power Pins	

图 3.84 设置 Ground

第

高章 OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

输入地网络的 Name, 如图 3.85 所示。

Rename Power Symbol	
Name:	OK
DGND	Cancel
	Help

图 3.85 Ground 命名

将 Ground 放置在 B18 旁,然后用 Wire 连起来,如图 3.86 所示。

D0_REXT D1_REXT	B22 B18	R92 402ohm 1% R93 402ohm 1%	
	E13	EP952 SCL	_
030/SCL0	F14	EP952_SDA	

图 3.86 放置 Ground

从图 3.86 可以看到,Ground 是不显示 Name 的,所以为了区别不同 Name 的地网络,最好选用不同的 Symbol。

同 Power 一样,如果下次需要使用 Ground,直接用 Copy 和 Paste 操作即可,同时地 网络也是可以跨 Page 的,就是说不同的 Page 内相同 Net 的 Ground 是默认连接的,不需 要另外放置 Off-Page Connector。

3.3.7 Part 的更新

如果检查中发现 Part 需要更新,如果只需要更新1个,直接删除此 Part 后,调入更新后的 Part,然后将元器件编号重命名并与原来一致即可。如果有很多个 Part 需要更新,这样操作就很麻烦,而且效率很低,也更容易出错。下面就讲述一下更新多个 Part 的方法。

原理图中的 Part 是通过 Design Cache 内的 Part 和库相连的。如图 3.87 所示,如果 想把 U71 的 A2 Pin 更新为 GND1,就可以分步操作。



图 3.87 U71 更新

首先要在 Part Library 中找到这个 Part, 然后选中此 Part, 右击并选择 Edit Part 选项, 或者直接双击此 Part, 如图 3.88 所示。





双击 3 Pin,然后更改 Pin Name 即可,如图 3.89 所示。

注意: Pin Name 不允许重复出现,该 Part 的 4 Pin 的 Pin Name 为 GND,所以 3 Pin 的 Pin Name 不能用 GND,只能使用其他名字,例如 GND1。

在主菜单下,单击 File→Save 选项,回到项目管理器 界面,在 Design Cache 下找到这个 Part,选中后右击并在 菜单中选择 Update Cache 选项,如图 3.90 所示。

在出现的对话框中一直单击 Yes 按钮,最终会出现 报错,提示更新失败,如图 3.91 所示。



图 3.89 编辑 Pin Name

Ð	HEADER 5X2 : C:\CADENCE\SPB_16.5\TOOLS\CAPTURE\LIBRARY	CONNECTOR.OLB	
Ð	HOLE_3.5mm : D:\SMI\LIB\ORCAD\SMI.OLB		
Ð	HT24LC08 : C:\CADENCE\SPB_16.5\TOOLS\CAPTURE\LIBRARY\P	TAU TRUTC OL R	_
Ð	INDUCTOR : C:\ORCADWIN\PROJECT\SM820_CSP\SM820CSP.	Replace Cache	_
Ð	INDUCTOR : Y:\LIBRARY\BITLAND_DEVICE.OLB	Update Cache	
Ð	INDUCTOR_0 : C:\DOCUMENTS AND SETTINGS\USER\ \PR	Cut	C.DSN
D	JUMP2P : D:\WORK\BOARD\RTL8XXX\LIBRARY1.OLB	Сору	
Ð	LED_0 : H:\4_PROJECT\FALCON\FALCON_SCHEMATIC\RELEASE	Paste	3.0_PHY_DAUGHTER_BOA
D	LED 0805 G : D:\0WORKINGFILES\ORCAD SCHLIB\DISCRETE S	Part Manager	

图 3.90 更新 Cache 内的 Part

	ERROR(ORCAP-1725): Library file
\circ	'C:\CADENCE\SPB_16.5\TOOLS\CAPTURE\LIBRARY\RAINLIB\IC.O
	LB' not found.

图 3.91 更新失败信息

出现更新失败的原因是,这个 Part 来自另外一个 Part Library,不在刚才更新的 WH. olb 库中,这种情况在 Copy 的原理图里经常遇到。当从源项目中复制原理图时, Part 会把源文件所在库的路径信息也附带进来,如图 3.88 所示,可以看到 HT24LC08 后面的信息是这个 Part 库的源路径和源库。

-- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

出现这种问题,有以下两种解决方法:

(1) 直接在源库中修改这个 Part。

(2) 更换该 Part 的库和路径。

第 2 种解决方法也就是重点要讲的,因为很多时候,参考的原理图或者厂家提供的 原理图也只有一个 dsn 文件,很少有附带的库,例如该 Part 中 IC. lib 的库是根本找不 到的。

操作方法如下:

在 Design Cache 中找到 HT24LC08,选中此 Part 后右击并选中下拉菜单中的 Replace Cache 选项,如图 3.92 所示。



图 3.92 替换 Part 库路径

在出现的两个对话框中直接单击 Yes 按钮后,出现如图 3.93 所示对话框,在 Part Library 右侧单击 Browse 按钮,选择刚才更新 Part 的 Library, Part 的名字保持不变,还是选用原来的。

Replace Cache	
Existing Part Name: HT24LC08	ОК
New Part Name : HT24LC08	Cancel
Part Library:	Cancer
E:\LIB\ORCAD\WH.OLB	<u>B</u> rowse
Action	Help
Preserve schematic part properties	
C Replace schematic part properties Preserve Refdes	

图 3.93 替换 Part 库路径

然后,单击 OK 按钮,在出现的对话框中单击"是"按钮,如图 3.94 所示。





最后就可以看到 HT24LC08 后的路径变为现在的新路径和 Part 库了,如图 3.95 所示。 最后,返回到 Part 所在的 Page 就可以看到 Part 已经被更新,如图 3.96 所示。



- HOLE_3.5mm : D:\SMI\LIB\ORCAD\SMI.OLB

- HT24LC08 : E:\LIB\ORCAD\WH.OLB
- INDUCTOR : C:\ORCADWIN\PROJECT\SM820_CSP\SM820CSP.OLB
 - 图 3.95 替换结果



图 3.96 HT24LC08 被更新

添加文本(Text) 3.3.8

添加 Text 比较简单,也有 3 种开启方式:

- (1) 单击右侧的 Place Text 图标 🐔。
- (2) 选择主菜单下 Place→Text 选项。
- (3) 使用快捷键 T 或 t。

在 Place Text 的输入框内输入内容 HDCP,接着可以在 Color 下选择颜色,在 Rotation 下选择 Text 的旋转角度,在 Font 内选择字体的类型,如图 3.97 所示。

		A	1.11
			Cancel
		-	<u>H</u> elp
Rotation			
<u> <u> </u> <u> </u> <u> </u> <u> </u> <u> </u> [*] </u>	© <u>9</u> 0*	© <u>1</u> 80*	© <u>2</u> 70*
	Rotation	Rotation ● <u>0</u> * ◎ <u>9</u> 0*	Rotation ● <u>0</u> * ● <u>9</u> 0* ● <u>1</u> 80*

图 3.97 设置 Text

第

高章 OrCAD使用介绍

- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

单击 OK 按钮后,将 Text 放置在 Page 上,如图 3.98 所示。



图 3.98 放置 Text

放置后,如果发现需要更改此 Text,就可以直接双击并更改此 Text。

3.3.9 添加图形(Picture)

有时需要在图纸中添加一些图片,例如公司的 Logo、参考的框架图和一些静电标志等,操作如下。

从主菜单中选择 Place→Picture 选项,选择需要添加的图片,最好是 bmp 格式的,其他格式也可以,例如选中该二维码图片,如图 3.99 所示。

Place Picture					6
查找范围(I):	Logo		• G 🕸	⊳ •	
設立方向的位置 夏面 原 计算机	log		島尤又達 Met Idea Care 中本 Idea Care H 全 大 の 大 の 号 二 進 一 単 一 、 の の し 単 の 、 の し 、 の 、 、 の 、 の 、 の 、 の 、 の 、 の 、 の 、 の の 、 の 、 の の 、 の の の 、 の 、 の 、 の の 、 の の 、 の の の の の の の の の の の の の	■ 大学校 ■ 大学校 ■ 大学校 単码,jpg	
网络	文件名(20):	易元互连公众号二维码.jpg	(• [1]J	Ŧ (0)
	the first sets much as a		0.5101232 28201653		7

图 3.99 选择 Picture

然后,单击"打开"按钮,放置 Picture 在 Page 上,如图 3.100 所示。双击该图片,拖动周围的 4 个粉色的角,这样便可以对 Picture 进行拉伸和缩小了。



3.3.10 批量更改 Footprint 的名字

Footprint 是 PCB 封装库的术语,在原理图和 PCB 互连中扮演着一个很重要的角色,更改 Part 的 Footprint 名字是经常用到的操作,这也是专门讲解这一操作的一个原因。

如果需要更改的 Part 很多,对每个 Part 单独更改则太慢,为了提高作图效率, OrCAD 专门提供了批量更改的方法。

在工程管理器中,选择左侧窗口内 Page 或 dsn 文件,然后右击,在出现的下拉菜单 中选择 Edit Object Properties 选项,选择的文件不同,出现的下拉菜单也不一样,但都有 Edit Object Properties 项,如图 3.101 所示。



图 3.101 选择批量编辑

接着,将滑动条滑动至 PCB Footprint 处,可以单击 Footprint 按钮,如图 3.102 所示。

可以单独更改,也可以多个一起更改,例如,图 3.102 中,需要将 C1、C2、C3、C4 都更 改为 C0201,可以先选中 C1~C4,然后右击并在下拉菜单中选择 Edit 选项,如图 3.103 所示。

第3章

OrCAD使用

介

绍

Cadence高速PCB设计——基于手机高阶板的案例分析与实现

	PART_NUMBER	PATH	PCB Footprint
SM768:02_DDR:C1	C0402C104K8RACTU	///////////////////////////////////////	C0402
SM768:02_DDR:C2 SM768:02_DR SM768	C0402C104K8RACTU		C0402
SM768:02_DDR:C3 SM768:02_DR SM768	:02_DDR:C3 C0402C104K8RACTU		C0402
sM768:02_DDR:C4	C0402C104K8RACTU		C0402
SM768:02_DDR:C5 SM768:02_DR SM768	GRM31MR61E106MA12		C1206C0402
SM768:02_DDR:C6 SM768:02_DR SM768:02_	C0402C104K8RACTU		C0402
SM768:02_DDR:C7 SM768:02_DR SM768	C0402C104K8RACTU		C0402
SM768:02_DDR:C8 SM768:02_DR SM768	C0402C104K8RACTU		C0402
★ SM768:02_DDR:C9	C0402C104K8RACTU		C0402
SM768:02_DDR:C10 SM768:02_DR SM768:02_D	0 C0402C104K8RACTU C		C0402
SM768:02_DDR:C11 SM768:02_DR:C11 SM768 SM768:02_DR:C11 SM768:02_DR:C11	C0402C104K8RACTU		C0402
SM768:02_DDR:C12 SM768:02_DR:C12 SM768 SM768:02_DR:C12 SM768:02_DR:C12 SM768 SM768:02_DR:C12 SM768 SM768:02_DR:C12 SM768 SM768:02_DR:C12 SM768 SM768:02_DR:C12 SM768 SM768 SM768 SM768 SM768 SM768	C0402C104K8RACTU		C0402
SM768:02_DDR:C13 SM768:02_DR:C13 SM768:02_DR:C13 SM768:02_DR:C13 SM768:02_DR:C13 SM768:02_DR:C13 SM768 SM768:02_DR:C13 SM768 SM768:02_DR:C13 SM768	C0402C104K8RACTU		C0402
SM768:02_DDR:C14 SM768:02_DR SM768:02_	C0402C104K8RACTU		C0402
H SM768:02_DDR:C15	C0402C104K8RACTU		C0402
sM768:02_DDR:C16 sm768:02_DR sm76	C0402C104K8RACTU		C0402
H SM768:02_DDR:C17	C0402C104K8RACTU		C0402



PATH	PCB Footprin	t P	HYS_PAGE
///////////////////////////////////////	C0402		///////////////////////////////////////
	C0402	11/1/1	11111111
	C0402		
	C0402		
777777777777	C1206	Pivot	
	C0402	Edit	
	C0402	Delete Pro	perty
*****	C0402	Display	
liphighighighighighighighighighighighighigh			yhigh yhigh yhigh yhigh yhigh yhigh

图 3.103 编辑多个 Footprint

在出现的对话框中输入 C0201,如图 3.104 所示。

	PCB Footprint	
1	C0201	
_	- Contraction of the second of	

图 3.104 输入新的 Footprint

最后单击 OK 按钮,这样就实现1次更改多个 Footprint 了。

3.4 工程预览

本节主要讲解一些图纸的查询问题,例如,如何根据位号查询到 Part,以及如何根据 网络名查找到具体的 Page 等。

3.4.1 查询元器件位号

单击 dsn 文件,按下 Ctrl+F 组合键,单击查询器右侧的 ,只保留 Part 项前面打

勾,如图 3.105 所示。



图 3.105 选择 Part

接着在查询器内输入元器件的位号,如C22,如图 3.106 所示。

C22	•	# -
ब <u>३</u> 106	输入元器	件位

然后回车,输出的查询结果如图 3.107 所示。



图 3.107 位号查询结果

如果要看到 C22 的具体 Page 内容,就可以直接双击结果输出行。这样便可以切换 到 C22 的 Page 页面上,此时 C22 被选中,并且显示在屏幕正中心,如图 3.108 所示。



图 3.108 在 Page 内显示

可以用"*""?"配合来批量查询,例如要查询 R300 到 R309,就可以在查询器中输入 "R30?",然后按 Enter 键或单击右边的执行按钮 ■,如图 3.109 所示。

Reference	Value	Source Part	Source Library	Page	Page Number	Schematic	Zone	Location X-Coordinate
R300	0ohm	R_0	Y:\SM768 PUR	11 u	11	SM768	2C	820
R301	0ohm	R_0	Y:\SM768 PUR	11 u	11	SM768	2C	820
R302	0ohm	R 0	Y:\SM768 PUR	11 u	11	SM768	2C	820

图 3.109 批量查询 Part

第

電章 OrCAD使用介

绍

3.4.2 查询网络

单击 dsn 文件,按下 Ctrl+F 组合键,单击查询器右侧的 ,只保留 Nets 项的前面打钩,如图 3.110 所示。



图 3.110 在 Page 内查询网络

在查询器中输入 Net Name,如 MD15,如图 3.111 所示。

MD15	•	44 -
MD15		848

图 3.111 输入 Net Name

然后回车, Find Window 就会显示查询的结果, 如图 3.112 所示, 可以看到所在 Page 的具体页码和 Pin。

18	Object ID	Net Name	Page	Page Number	Schematic	Pin	
	MD15(Wi	MD15	02_D	2	SM768	U2	
L							



在结果上双击,就可以在 Page 内显示出来,如图 3.113 所示,可以看到该 Net 在屏幕中心显示出来,而且处于选中状态。





图 3.113 Net 在 Page 内显示

当然也可以用"*""?"配合来批量查询,操作方法和查询 Part 的方法相似,这里不再举例说明了。

3.4.3 其他查询

查询 Part 和 Net 是最常用的两个操作,按下 Ctrl+F 组 合键后,单击查询器右边的,可以看到能查询很多信息,图 3.114 是查询过滤器的完整菜单。

Match Case: 区分大小写;

SelectAll: 选中所有,即选中 Parts 到 Part Pins 的所有 项目;

DeselectAll: 取消所有选中项目;

Highlight: 高亮选中项目;

Regular Expressions:使用正则表达式,一种特殊的字符串模式,用于匹配一组字符串;

Property Name=Value: 查询内容包含 Value。

3.4.4 统计引脚数量

PCB设计的费用评估所采用的一个常用的指标就是

Pin 数量,和其他设计原理图的软件一样,OrCAD 也提供了统计 Pin 数量的功能。

同批量修改 Footprint 一样,在工程管理器中,选择左侧窗口内 Page 或 dsn 文件,然 后右击,在出现的下拉菜单中选择 Edit Object Properties 选项。

最后,在下面标签中选择 Pins 选项,拖动右侧的滚动条至底部,最左侧的序号即是 Pin 的数量,如图 3.115 所示,该原理图 Pin 数量是 2702。

4 +	Parts & Schematic Nets & Flat Nets	APins & Title Bl	ocks 🖌 Globals 🖌	Ports / Al
2702 *	SM768: 11 ufp_Type C SM768: 11 ufp Type C rec	entacle · R929 · 1	2	G
2701	<u>\$M768 : 11</u> ufp_Type C rec	Γ	1	SE
2700	SM768 : 11 ufp_Type C rec	Γ	2	G
2699	SM768 : 11 ufp_Type C rec	Г	1	SE
2090	SM/00. Trulp_type ciec		2	6

图 3.115 Pin 数量统计

注意:很多时候,第一列左边的序号很小,或者和上一行重复,数值明显错误,这个时候选择附近的其他标签,然后再切换到 Pins 标签,这样就可以看到最终正确的数字了。

3.5 原理图输出

本节主要讲解原理图检查和输出各种文件,例如 Netlist 和 BOM 等。



图 3.114 查询过滤器的菜单

3.5.1 DRC 检查

DRC 检查主要是对各种设计 Rule 的检查,常用的检查如原件的位号是否有重复,以 及是否有单网络(Single Net)等。

1. Design Rules Options

在项目管理器中,选择 dsn 文件,在主菜单中选择 Tools→Design Rules Check 选项, 出现 Design Rules Check 对话框,如图 3.116 所示。

sign Rules Options	Electrical Rules	Physical Rules	ERC Matrix
Scope	Mo	de	
Check entire des	igi () Use occurrences	
Check selection		Use instances (Preferred)
Action			
Check design rul	.es 🔳	Create DRC marke	rs for warn
Delete existing	DRC marker	Preserve waived	DRC
Ignore DRC			() ()
Run Electrical	Ru: nl e w Output		
	P D011B V1 0730A	DRC	Browse
0 -	P D011B V1 0730A	DRC	Browse

图 3.116 Design Rules Options 对话框

Scope:

Check entire design——检查整个设计,一般选中该项;

Check selection——检查选择部分。

Mode:

Use occurrences——使用自定义的规则,选中后,Electrical Rules 和 Physical Rules 内的选择全部为空状态;

Use instances(Preferred)——使用默认的规则设置,一般选中该项即可。

Action:

Check design rules——检查设计规则;

Delete existing DRC marker——删除 DRC 标志;

Creat DRC markers for warn——在 Page 内生成 DRC 标志;

Preserve waived DRC——保持原来被隐藏的 DRC。

Ignore DRC: 添加需要被忽略的 DRC 规则,一般不使用,需要写字本编辑,这里不做 详述。

Design Rules:

Run Electrical Rules——运行 Electrical Rules 检查,选中后 Electrical Rules 内的选项会被自动选择;

Run Physical Rules——运行 Physical Rules 检查,选中后 Physical Rules 内的选项 会被自动选择;

Report: View Output-查看输出结果。

2. Electrical Rules

单击 Electrical Rules 标签, 如图 3.117 所示。

Design Rules Options	Electrical Rules	Physical Rules	ERC Matrix
Electrical Rules Check single no Check no drigin Check duplicate Check off-page Check hierarchi	de nets g source and Fin ty net ngmes connector connect cal <u>p</u> ort connect	Check ppe co Check Check Custon DR Run Cu	unconnected bus net unconnected pins SDT compatibili C stom DEC
Reports Report all net	name	Run Cu Configure	stom DRC Custom DRC eading tap connecti
Report off-grid	i obje nical ports and off	-page c	

图 3.117 Electrical Rules 对话框

Electrical Rules:

Check single node nets——检查单节点网络;

Check no driving source and Pin type connect——检查驱动接收等 Pin Type 的特性,这些在高速仿真时用到;

Check duplicate net names——检查重复的网络名称;

Check off-page connector connect---检查跨页连接的正确性;

Check hierarchical port connect——检查层次电路的正确性;

Check unconnected bus net——检查未连接的总线网络;

Check unconnected pins---检查未连接的引脚;

Check SDT compatibility——检查 SDT 兼容性。

Report:

Report all net name——导出所有网络名称;

Report off-grid object——导出网格对象;

Report hierarchical ports and off-page connection——导出分层端口和分页图纸间

接口的连接;

Report misleading tap connection——报告错误的分流连接。

Cadence高速PCB设计——基于手机高阶板的案例分析与实现

3. Physical Rules

单击 Physical Rules 标签,如图 3.118 所示。

Physical Rules Check power pin visib Check missing/illegal ECB Footprint p Check Hormal Convert view sy Check incorrect Pin Group assign Check incorrect Pin Group assign	Check missing pin number Check device with zero pi Check poger ground short Check Name Prop consistency
Lueck nigh gpeed props syntax	Custon DEC Run Custon DEC Configure Custon DEC
Reports Report <u>v</u> isible unconnected power Repor <u>t</u> unused part packag	

图 3.118 Physical Rules 对话框

Electrical Rules:

Check power pin visible——检查电源引脚的可视性;

Check missing/illegal PCB Footprint property——检查缺失或非法的 PCB 封装性;

特性;

Check Normal Convert view sync---检查不同视图下的 Pin numbers 的一致性;

Check incorrect Pin Group assignment——检查 Pin Group 属性的正确性;

Check high speed props syntax——检查高速 props 语法有无错误;

Check missing pin numbers——检查是否有丢失的 Pin number;

Check device with zero pins——检查没有引脚的元器件;

Check power ground short——检查电源、地网络短接;

Check Name Prop consistency——检查名称属性的一致性。

Reports:

Report visible unconnected power pin——导出可见的未连接电源引脚;

Report unused part package——导出未使用的部分封装;

Report invalid Refdes——导出无效的参考编号;

Report identical part reference——导出相同元器件的编号,这个功能最常用。

4. ERC Matrix

单击 ERC Matrix 标签,如图 3.119 所示。



图 3.119 ERC Matrix 对话框

ERC: Electrical Rule Checker, 电气规则检查矩阵。

不同属性的引脚相连是不报错、报警告还是报错误的矩阵设置。

Input: 输入引脚;

Bidirectional:双向引脚;

Output: 输出引脚;

Open Collector: 集电极开路引脚;

Passive: 无源引脚;

3 State: 三态引脚;

Open Emitter: 射极开路引脚;

Input Port: 输入端口;

Bidirectional Port:双向端口;

Output Port: 输出端口;

Open Collector Port: 集电极开路端口;

Passive Port: 无源端口;

3 State Port: 三态端口;

Open Emitter Port: 射极开路端口;

Power: 电源引脚;

Unconnected:未连接。

一般情况下直接采用默认值即可。

设置好以上 4 项就可以单击"确定"按钮了,进行设计规则的检查,在出现如图 3.120 所示的对话框内单击"是"按钮。

这样就会在 Outputs 文件夹下生成一个扩展名为 drc 的文件,如图 3.121 所示。

第3章

OrCAD使用介绍

Cadence高速PCB设计——基于手机高阶板的案例分析与实现



图 3.120 DRC 运行对话框

- C Outputs	
\sm768_	techtop_d011b_v1_0730a.drc
图 3.121	DRC 文件产生

然后,双击并打开该 DRC 文件,这样就可以看到具体报错信息,如图 3.122 所示。

Date and Time : 08/17/19 13:23:57

Checking Physical Rules

Checking Pins and Pin Connections ERROR(ORCAF-1604): Same Pin Number connected to more than one net. /R6/1 Nets: 'DDRREF_1' and 'GND'. SM768, 02_DDR (1.70, 4.80) ERROR(ORCAF-1604): Same Pin Number connected to more than one net. /R6/2 Nets: '+1.5V' and 'DDRREF_1' SM768, 02_DDR (1.70, 4.40)

图 3.122 DRC 文件内容

根据 DRC 文件信息,对原理图进行修改。

3.5.2 输出 Netlist 文件

原理图完成后,需要导出网表(Netlist)文件,然后在 PCB 中导入 Netlist 文件,进行项目的更新。

下面介绍一下如何导出 Netlist 文件:

(1)在项目管理器中点中 dsn 文件,单击 m,或者在主菜单中选择 Tools→Creat Netlist 选项,弹出 Create Netlist 对话框,如图 3.123 所示。

这里只讲述和本书关系大的 PCB Editor 部分,其他标签的内容不做讲解。

Combined Property: PCB 封装的属性定义,默认 PCB Footprint 即可;

Creat PCB Editor Netlist: 生成 PCB Editor 的 Netlist 文件, OrCAD 也可以生成适合 Pads、AD 等 PCB 的 Netlist 文件。

单击 Setup 按钮,如图 3.124 所示,可以选择 cfg 的配置文件,也可以对现在选中的 文件单击 Edit 按钮进行编辑,一般选择默认就可以了。

单击 Edit 按钮,打开 cfg 文件,可以看到文件的内容类似图 3.125 所示。

该文件设置 Netlist 内包含的 Part 属性,如果在原理图中有一些特殊的属性,如 ROOM 属性要包含在 Netlist 文件内,就需要在文件中添加 ROOM=YES。

(2) 编辑完成后直接单击 OK 按钮,重新回到图 3.123 界面。

16111	log VH			Other	
PCB Editor	EDIF 2 0 0	INF	Layout	PSpice	SPICE
PCB Footprin					
Combined prop	perty				
PCB Footprin	t				
Create PCB	Editor Netlist			Se	tup
Options					
Netlist File	allegr	0			
Wien Outro					
Tres outp	a				
Create or	Upd <u>a</u> te PCB Edi	tor Board ONe	trev)		
Uptions					
input board					
Output Board	allegr	o\SM768_TECHI	'OP_D011B_V1_07	30A. brd	
Allow Etc	h Removal Duri	ng El 🗌 All	ow User Define	d Prop.	
Ignore Fi	xed Propert				
Place Change	d	() Always	Tf Same	Never	
Board Laun	ching Option		1.1		
@ Open B	oard in Allegr	o PCB Ed:	🗍 Open Board i	in A <u>P</u> D	
🔘 Open B	oard in Ca <u>d</u> enc	e SiP	Open Board i	in OrCAD PCB I	di:
D Bo not	op <u>e</u> n board fi	le	transfer any	y high-speed	
0 10 100					

图 3.123 Netlist 对话框

etup				
Cfg Config				
Configuration File:	SPB_16.6\tool	s/capture/allegro	o.cfg	Edit
Backup Versions:	3			
Miscellaneous				
Device/Net/Pin 31		Uutput	Warnings	
		Suppress \	Warnings:	
Ignore Electrical co	onstraints			<u>A</u> dd
				Remove
				_

图 3.124 Netlist 配置文件

allegro.cfg - 记事本
文件 回線 最低 植式 (2) 查看 (2) 幕節 (1)
[ComponentDefinitionProps]ALT_SYMEOLS=YESCLASS=YESPART_NUMBER=YESTOL=YESVALUE=YESPOWER_GROUP=YESSWAP_INFO=YES CDS_FSP_FFGA_SYMEOL=YES(ComponentInstanceProps]GROUP=YESWOIMSETESCDS_FSP_LIB_PART_MODEL=YESCDS_FSP_IS_FGA=YES CDS_FSP_FFGA_SYMEOL=YES(ComponentInstanceProps]GROUP=YESWOIMSETESCDS_FSP_LIB_PART_MODEL=YESCDS_NAME=YESCLOCK_NET=YES DIFFERENTIAL_PAIR=YESDIFFP_2ND_LENGTH=YESDIFFP_LENGTH_TOL=YESECL=YESECL_TEMP=YESELECTRICAL_CONSTRAITS_ET=YESENC_CRITICAL_NET=YE INFEDANCE_RULE=YESMATCHED_DELAY=YESMAX_EXPOSED_LENGTH=YESINAX_FINAL_SETTLE=YESMAX_OVERSHOOT=YESNAX_VIA_COUNT=YES INFEDANCE_RULE=YESININ_HOLD=YESININ_LINE_WIDTH=YESININ_NCK_WIDTH=YESNO_RAT=YESNO_ROUTE=YESNO_NET_STRAINS_SETU==YESNOE_DUMBER=YES NET_SPACING_TYPE=YESNET_SHORT=YESIN_OLOGS=YESNO_PIN_ESCAPE=YESNO_RAT=YESNO_RIDUE=YESNO_ROUTE=YESNOE_TSSTIELD_HTSSTICAL_TYPE=YES STUB_LENGTH=YESININ_HOLD=YESIS_ALLOWED=YESVOLTAGE=YESVOLTAGE_LAYERSECLS_FSP_NET=YESSNOE_NUTE=YESNOE_NUTE=YES NET_GROUP_GRP_NAME=YESIS_ALLOWED=YESVOLTAGE=YESVOLTAGE_LAYER=YESCOS_FSP_NET=YESSIELD_HT=YESSIELD_HT=YESCOS_FSP_BUS_INDEX=YES STUB_LENGTH=YESINO_FSP_UID=YESCOS_FSP_NET=YESCOS_FSP_NET=YESCOS_FSP_DET=YESCOS_FSP_BUS_INDEX=YES NET_GROUP_GRP_NAME=YESIS_ALLOWED=YESVOLTAGE=YESVOLTAGE_LAYER=YESCOS_FSP_NET=YESCOS_FSP_DID=YESCOS_FSP_BUS_INDEX=YES NET_GROUP_GRP_NAME=YESIS_FSP_DITENT_TYPE=YESCOS_FSP_NET=YESCOS_FSP_NET=YESCOS_FSP_DIT=YESCOS_FSP_DID=YES

图 3.125 查看配置文件

第3章 OrCAD使用介绍

-- Cadence高速PCB设计——基于手机高阶板的案例分析与实现

(3) Options: 选择生成 Netlist 文件的文件夹路径,默认在 dsn 文件同路径下所产生的一个 allegro 的文件夹内。

(4) View Output: 直接查看输出结果。

(5) Create or Update PCB Editor Board(Netrev): 直接更新 PCB 文件,选中的时候,生成的 Netlist 文件将同步更新到 PCB 文件中,而不需要在 PCB 中导入 Netlist 文件的操作。

选中该项后,Options 就不再灰白显示,需要选择 PCB 文件的输入和输出路径,这个 在以后 PCB 文件导入 Netlist 文件中会详细讲解,该处默认不选。

(6) 单击"确定"按钮,出现运行的进度图,如图 3.126 所示。

Prog	ress	
+	Netlisting the design	Cancel
		* 層

图 3.126 Create Netlist 进度图

(7) 运行结束后,在 Output 内可以看到有 3 个扩展名为 dat 的 Netlist 文件,如图 3.127 所示。

同时可以看到在 dsn 文件同目录下,新出现了一个 allegro 文件夹,打开文件夹会看到这 3 个文件。

OrCAD 的 Netlist 文件有 3 个,与其他软件生成的 Netlist 文 件不同,下面介绍一下 3 个文件的内容:

pstxnet.dat----Net、Pin 和位号的互连信息;

pstxprt.dat——Part 和位号的对应关系;

pstchip. dat----Part 的属性信息。

从上述可以看到,每个文件内都是片段信息,这样便可以通过修改 Netlist 文件来更新 PCB 文件,这个需要熟练 OrCAD 的工程师来操作,新入行的工程师还是要选择通过 修改原理图来更新 PCB 文件。

注意:首先要原理图完成 DRC 检查,如果有错误,例如原件位号重复等严重错误,生成 Netlist 文件会失败。

3.5.3 输出 PDF 文件

输出 PDF 文件之前,首先要安装好 PDF 虚拟打印机,在打印时选择 PDF 打印机即可。在项目管理器中,选中 dsn 文件,选择主菜单下 File→Print 选项,出现打印对话框, 如图 3.128 所示。

默认 Scale to paper size;

单击 Setup 按钮,选择使用 PDF Printer 打印。



图 3.127 Create Netlist 成功

Charles Sector			
打印机:系统打印机(Add	be PDF)		ОК
Scale	Page size		Cancel
Scale to paper size		ΘE	Setup
💿 Scale to page size	OB OD		
Scaling: 0.76924	Custom 15.2 x 9.7		<u>H</u> elp
Print offsets			Print Option
∐ 0 Inches	Center horizonta	lly	Inst. Mode
Y 0 Inches	Center vertically	141	Ccc. Mode
		A DESCRIPTION OF A DESC	
Print guality: 1200 dpi Print to file Collate copies	Copies: Print all colors i	n black	
Print guality: 1200 dpi Print to file Collate copies Include pages <u>o</u> utside h	Copies: Print all colors i iierarchy	n black	
Print guality: 1200 dpi Print to file Collate copies Include pages outside h	Copies: Print all colors i iierarchy es in other libraries or	n black n black	
Print guality: 1200 dpi Print to file Collate copies Include pages <u>o</u> utside h Include referenced page Print statistics	Copies: Print all colors i ierarchy es in other libraries or	n black designs	
Print guality: 1200 dpi Print to file Collate copies Include pages gutside h Include referenced page Print statistics Printed pages per docum	Copies: Copies: Print all colors i iierarchy es in other libraries or Total ent page: 1	n black designs Horizonta 1	al Vertical x 1
Print guality: 1200 dpi Print to file Collate copies Include pages gutside h Include referenced page Print statistics Printed pages per docum Maximum page size for si	Copies: Copies: Print all colors i ierarchy es in other libraries or Total ent page: 1 elected printer:	n black designs Horizonta 1 11.6925	al Vertical × 1 × 8.26417
Print guality: 1200 dpi Print to file Collate copies Include pages gutside h Include referenced page Print statistics Printed pages per docum Maximum page size for s Size from schematic page	Copies: Copies: Print all colors i iierarchy es in other libraries or Total ent page: 1 elected printer: e properties:	n black designs Horizonta 1 11.6925 15.2	al Vertical × 1 × 8.26417 9.7

图 3.128 Print 对话框

其他不用设置,单击 OK 按钮后,就生成了 PDF 文件。 注意: 需要选择整个 dsn 文件,如果只选中 PAGE,则只会打印选中的该页。

3.5.4 输出元器件清单(BOM)

原理图完成后,下一个很重要的工作就是生成元器件清单列表——BOM,采购人员 会根据 BOM 来采购元器件物料。OrCAD 有很强的 BOM 制作功能,可以根据需要生成 BOM 的 Excel 表格数据。

选中主菜单下 Reports→CIS Bill of Materials→Standard 选项,打开 BOM 设置对话 框,如图 3.129 所示。

(1) Template Name: 默认即可。

(2) Report Properties:

Select Properties——可供选择的输出属性;

Output Format——已选择被输出的属性,通过右侧的上下方向键可以调整属性的前后次序。

(3) Output Mechanical Part Data: 输出结构件的数据。

(4) Export BOM report to Excel: 输出为 Excel 文件格式,一般要选中该项。

其他选项默认即可,最后单击 OK 按钮,这样就生成了 BOM 文件。

第 3

|章 OrCAD使用介绍

Template Name	
Eng Bill Of Materials	- Dejete
Report Properties	
Select Properties:	Output Format:
ActivepartsID Alegro PCB Footprint Availability Datasheet Distributor Distributor Part Number PDoc Implementation	
Delete Liser Property Part Reference Options Standard	Keyed Keyed Allow Saving Title Block Properties List Relational Data Fields
 Standard- separate line per part Compressed 	List Separator: Space('') Exclude Prefixes:
🗐 Output Mechanical Part Data	Relational Data Displayed
Mechanical parts only	Horigontal Output
\bigcirc $\underline{B} oth$ mechanical parts and assemblies	Max Rows 1
Scope	
Process Entire Design	Process Selection
Export BOM report to Excel Variants Variant "Not Stuffed" Bto 0 Displayed	Werge BOM Reports
Core Design>	

图 3.129 BOM 输出设置

3.6 小结

本章主要讲解使用 OrCAD 进行原理图的绘制,原理图一般由硬件工程师来完成, EDA 工程师可以作为扩展知识了解,读者学完该章后,需要掌握以下内容:

(1)项目管理器视窗的结构。

(2) 元器件库的新建、添加和删除。

(3) 根据原件的规格书新建一个 Part 和添加 Footprint。

(4) 如何从参考的原理图中 Copy 所需的部分电路。

(5) 放置 Part 和添加 Wire、Net,使用 Off-Page Connector。

(6) 使用查询器查询 Net、Part, 生成 Netlist 文件。

(7) 掌握下面常用的快捷键(不分大小写)

- I—Zoom In O—Zoom Out
- Out P—Place Part

- W-Place Wire
- N——Place Net alias B—— Place Bus
- E-----Add bus entry F-----Place power G-----Place ground
- T----Place text

3.7 习题

(1) 原理图放大和缩小是如何操作的?

(2) 新建一个 RS232_V10 项目,在项目中建立两个 1-Power 和 2-USB 两个 Page。

(3) 新建一个名字为 RS232 的库,然后在库中新建一个 MAX232ECDR 的 Part,并 将 Footprint 命名为 SO16。

第13章 OrCAD使用介绍