

第3章

双极型数字电路



第2章学习了 MOSFET 逻辑电路的基本概念,本章将讨论双极型逻辑电路的基本原理。首先讨论发射极耦合逻辑(ECL)。该技术基于差分放大电路,用于专门的高速应用。

在 MOS 数字技术出现之前,双极型数字系列晶体管-晶体管逻辑(TTL)电路被广泛使用。分析了 TTL 和肖特基 TTL 逻辑电路,并给出 BiCMOS 逻辑电路的基本概念。

由于双极型逻辑电路的功耗相对较大,所以目前用得越来越少。

预览

在本章,将:

- 分析基本的发射极耦合逻辑电路。
- 分析并设计改进型发射极耦合逻辑电路。
- 分析晶体管-晶体管逻辑电路。
- 分析并设计肖特基和低功耗肖特基晶体管-晶体管逻辑电路。
- 分析 BiCMOS 数字逻辑电路。
- 作为一个应用,设计一个静态 ECL 门,用于实现特定的逻辑函数。

3.1 发射极耦合逻辑(ECL)

目标: 分析基本的发射极耦合逻辑电路。

发射极耦合逻辑(ECL)电路基于差分放大电路。在数字应用中,差分放大电路工作在非线性区。晶体管要么截止,要么工作在放大区。为减小开关时间和传输延迟时间,应该避免使晶体管进入饱和区。ECL 电路是双极型数字技术中传输延迟时间最短的电路。

3.1.1 差分放大电路回顾

观察图 3.1 所示的差分放大电路。对于一个线性差分放大电路,两个输入电压的差值很小,两个晶体管始终偏置在放大区。 Q_1 和 Q_2 的集电极电流与发射结电压之间的关系可

以写为: ①

$$i_{C1} = I_S e^{v_{BE1}/V_T} \quad (3.1a)$$

和

$$i_{C2} = I_S e^{v_{BE2}/V_T} \quad (3.1b)$$

其中,假设 Q_1 和 Q_2 互相匹配,且两只晶体管参数 I_S 相同。图 3.2 所示为其电流-电压传输特性曲线。

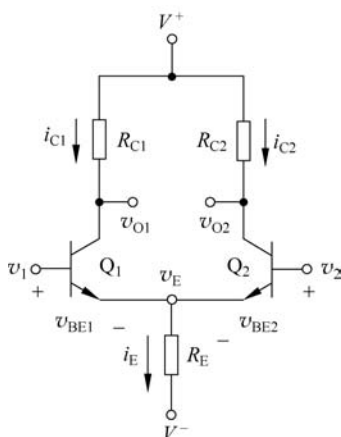


图 3.1 基本差分放大电路

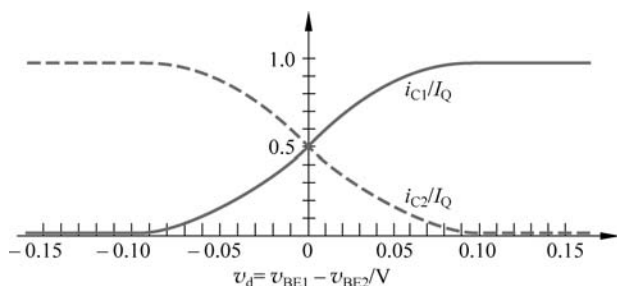


图 3.2 BJT 差分放大电路的归一化直流传输特性

在数字应用中,两个输入电压的差值很大,这意味着其中一只晶体管保持偏置在放大区,而另一只晶体管截止。例如,如果 $v_{BE1} = v_{BE2} + 0.12$,则 i_{C1} 和 i_{C2} 之比为

$$\frac{i_{C1}}{i_{C2}} = \frac{e^{v_{BE1}/V_T}}{e^{v_{BE2}/V_T}} = e^{(v_{BE1} - v_{BE2})/V_T} = e^{0.12/0.026} = 101 \quad (3.2)$$

当 Q_1 的发射结电压比 Q_2 的发射结电压高 120mV 时,其集电极电流是 Q_2 的 100 倍。在实际应用中, Q_1 导通, Q_2 截止。

相反,当 v_1 比 v_2 至少低 120mV 时,则 Q_1 截止, Q_2 导通。差分放大电路用作数字电路时,可以作为电流开关。当 v_1 比 v_2 至少大 120mV 时,它打开从 R_E 流向 Q_1 的基本恒定的电流;当 v_2 比 v_1 至少大 120mV 时,电流流入 Q_2 。

例题 3.1 计算用作数字电路的基本差分放大电路的电流和电压。在图 3.1 所示电路中,假设 $V^+ = 2.5V$, $V^- = -2.5V$, $R_{C1} = R_{C2} = R_C = 5k\Omega$, $R_E = 6k\Omega$, $v_2 = 0$ 。直流分析中忽略基极电流。

解: 当 $v_1 = v_2 = 0$ 时,两个晶体管均导通。假设发射结开启电压为 0.7V,则 $v_E = -0.7V$,且有

$$i_E = \frac{v_E - V^-}{R_E} = \frac{-0.7 - (-2.5)}{6} = 0.3mA$$

假设 Q_1 和 Q_2 匹配,则有 $i_{C1} = i_{C2} = i_E/2$,由此 $i_{C1} = i_{C2} = 0.15mA$ 。于是

① 本章在大多数情况下,使用总瞬时电流和电压参数,尽管在逻辑电路的很多分析中包含直流计算。

$$v_{O1} = v_{O2} = V^+ - i_C R_C = 2.5 - 0.15 \times 5 = 1.75 \text{V}$$

Q_1 和 Q_2 均偏置在放大区。

令 $v_1 = -0.5 \text{V}$, 由于晶体管 Q_1 的基极电压比 Q_2 的基极电压低, 且差值大于 120mV , 于是 Q_1 截止, Q_2 导通。此时, 和之前一样, 仍有 $v_E = v_2 - V_{BE}(\text{on}) = -0.7 \text{V}$, $i_E = 0.3 \text{mA}$ 。而 $i_{C1} = 0$, $i_{C2} = i_E = 0.3 \text{mA}$, 于是有

$$v_{O1} = V^+ = 2.5 \text{V}$$

和

$$v_{O2} = V^+ - i_{C2} R_C = 2.5 - 0.3 \times 5 = 1.0 \text{V}$$

当 $v_1 = +0.5 \text{V}$ 时, Q_1 导通, Q_2 截止。此时, $v_E = v_1 - V_{BE}(\text{on}) = 0.5 - 0.7 = -0.2 \text{V}$, 电流 i_E 为

$$i_E = i_{C1} = \frac{v_E - V^-}{R_E} = \frac{-0.2 - (-2.5)}{6} = 0.383 \text{mA}$$

于是有

$$v_{O1} = V^+ - i_{C1} R_C = 2.5 - 0.383 \times 5 = 0.585 \text{V}$$

和

$$v_{O2} = V^+ = 2.5 \text{V}$$

点评: 在给定的三种情况下, 晶体管 Q_1 和 Q_2 要么截止, 要么偏置在放大区。在数字应用中, 输出 v_{O2} 与输入 v_1 同相, 输出 v_{O1} 与输入反相。

当偏置在导通状态时, 晶体管 Q_1 要比 Q_2 导通得更充分一些。为了得到互补对称的输出, R_{C1} 需要比 R_{C2} 略小一些。

练习题 3.1 观察图 3.1 所示的差分放大电路。偏置电压 $V^+ = 1.8 \text{V}$, $V^- = -1.8 \text{V}$, $v_2 = 0$ 。假设 $V_{BE}(\text{on}) = 0.7 \text{V}$, 忽略基极电流。①设计电路, 使得当 $v_1 = 0$ 时, $i_E = 0.11 \text{mA}$, 且 $v_{O1} = v_{O2} = 1.45 \text{V}$ 。②利用①的结果, 计算 v_1 分别为 $+0.5 \text{V}$ 及 -0.5V 时的 i_E 、 v_{O1} 以及 v_{O2} 的值。③利用①和②的结果, 计算 v_1 分别为 $+0.5 \text{V}$ 及 -0.5V 时, 电路中的功耗。

答案: ① $R_E = 10 \text{k}\Omega$, $R_C = 6.364 \text{k}\Omega$; ② $i_E = 0.16 \text{mA}$, $v_{O1} = 0.782 \text{V}$, $v_{O2} = 1.8 \text{V}$; $i_E = 0.11 \text{mA}$, $v_{O1} = 1.8 \text{V}$, $v_{O2} = 1.10 \text{V}$; ③ $P = 0.576 \text{mW}$; $P = 0.396 \text{mW}$ 。

3.1.2 ECL 逻辑门

1. 基本 ECL 逻辑门

一个基本的 2 输入 ECL 或/或非逻辑电路如图 3.3 所示。两个输入晶体管 Q_1 和 Q_2 并联。在差分放大电路的基础上, 如果 v_X 和 v_Y 均比基准电压 V_R 至少低 120mV , 则晶体管 Q_1 和 Q_2 都截止, 而基准晶体管 Q_R 偏置在放大区。此时, 输出电压 v_{O1} 大于 v_{O2} 。当 v_X 和 v_Y 有一个大于基准电压 V_R , 则基准晶体管 Q_R 截止, 输出电压 v_{O2} 大于 v_{O1} 。 v_{O2} 输出为或逻辑, v_{O1} 输出为或非逻辑。ECL 逻辑门电路的优点之一是提供互补输出, 节省了获取互补信号所需的独立反相器。

图 3.3 所示的或/或非逻辑电路存在一个问题, 输出电压与输入电压的电平不同, 输出电压与输入电压不匹配。不匹配的原因是 ECL 电路的晶体管在截止区与放大区之间切换时, 集电结需要始终处于反向偏置状态。逻辑 1 的输出电平为 $V_{OH} = V^+$, 当这个电压作用于 v_X 或 v_Y 输入时, Q_1 或 Q_2 导通, 集电极电压 v_{O1} 下降至 V^+ 以下; 集电结正偏, 晶体管进

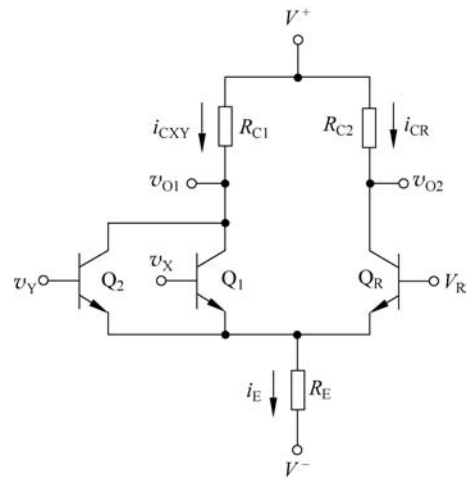


图 3.3 基本 2 输入 ECL 或/或非逻辑电路

入饱和。为获得和同类门电路的输入匹配的输 出,可以增加射极跟随器电路。

2. 带射极跟随器的 ECL 逻辑门

在图 3.4 所示 ECL 电路中,或/或非门的输出端增加了射极跟随器,并将电源电压 V^+ 设置为零。研究表明,使用集电极-发射极间电压作为输出时,电路的抗干扰能力较好,因此将地和电源电压进行反接。当晶体管的正向电流增益数量级为 100 时,计算中忽略基极的直流电流不会带来很大的误差。

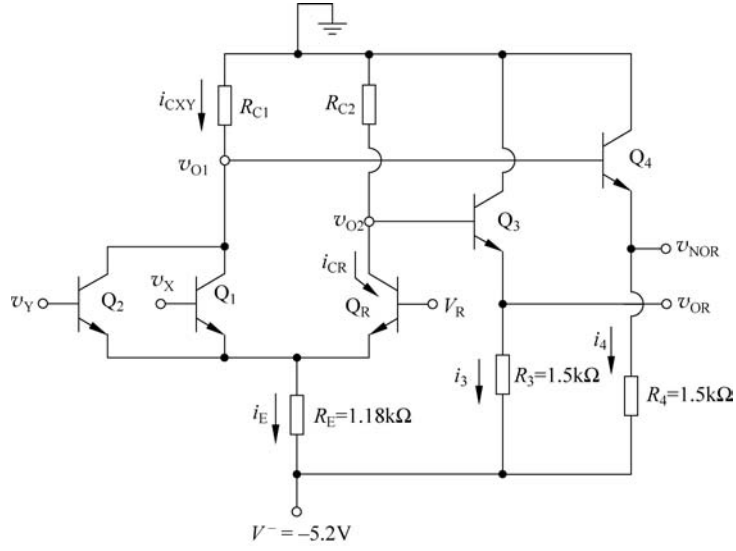


图 3.4 带射极跟随器输出级的 2 输入 ECL 或/或非逻辑门

当 v_X 或 v_Y 为逻辑 1(定义为至少比基准电压 V_R 大 120mV)时,基准晶体管 Q_R 截止, $i_{CR}=0$,且 $v_{O2}=0$ 。输出晶体管 Q_3 偏置在放大区,且 $v_{OR}=v_{O2}-V_{BE(on)}=-0.7V$ 。当 v_X 和 v_Y 都为逻辑 0(定义为至少比基准电压 V_R 低 120mV)时,晶体管 Q_1 和 Q_2 都截止, $v_{O1}=0$, 且 $v_{NOR}=0-V_{BE(on)}=-0.7V$ 。每个输出端可能获得的最大电压为 $-0.7V$,因此,定义逻辑

辑 1 的电平为 -0.7V 。

在下面的例子中,将讨论基本 ECL 门电路中的电流和逻辑 0 电平。

例题 3.2 计算基本 ECL 逻辑门中的电流、电阻和逻辑 0 电平。在图 3.4 所示电路中,求解 R_{C1} 和 R_{C2} ,使晶体管 Q_1 、 Q_2 以及 Q_R 导通,B-C 间电压为零。

解: 令 $v_X = v_Y = -0.7\text{V} = \text{逻辑 } 1 > V_R$,使得 Q_1 和 Q_2 都导通。可得

$$v_E = v_X - V_{BE}(\text{on}) = -0.7 - 0.7 = -1.4\text{V}$$

电流为

$$i_E = i_{Cxy} = \frac{v_E - V^-}{R_E} = \frac{-1.4 - (-5.2)}{1.18} = 3.22\text{mA}$$

如果使晶体管 Q_1 和 Q_2 的 B-C 间电压为零,电压 v_{O1} 必须为 -0.7V 。因此

$$R_{C1} = \frac{-v_{O1}}{I_{Cxy}} = \frac{0.7}{3.22} = 0.217\text{k}\Omega$$

于是,或非门输出的逻辑 0 电平为

$$v_{\text{NOR}} = v_{O1} - V_{BE}(\text{on}) = -0.70 - 0.7 = -1.40\text{V}$$

在逻辑 1 状态下,输入电压 v_X 和 v_Y 大于基准电压 V_R ;在逻辑 0 状态下,输入电压 v_X 和 v_Y 小于基准电压 V_R 。若 V_R 设置在逻辑 0 和逻辑 1 电平的中点时,则有

$$V_R = \frac{-0.7 - 1.40}{2} = -1.05\text{V}$$

当 Q_R 导通时,可得

$$v_E = V_R - V_{BE}(\text{on}) = -1.05 - 0.7 = -1.75\text{V}$$

和

$$i_E = i_{CR} = \frac{v_E - V^-}{R_E} = \frac{-1.75 - (-5.2)}{1.18} = 2.92\text{mA}$$

对于 $v_{O2} = -0.7\text{V}$,可得

$$R_{C2} = \frac{-v_{O2}}{i_{C2}} = \frac{0.7}{2.92} = 0.240\text{k}\Omega$$

由此,或门的逻辑 0 电平为

$$v_{\text{OR}} = v_{O2} - V_{BE}(\text{on}) = -0.7 - 0.7 = -1.40\text{V}$$

点评: 对于互补对称输出, R_{C1} 和 R_{C2} 不相等。如果 R_{C1} 和 R_{C2} 比设计值大,则晶体管 Q_1 、 Q_2 和 Q_R 在导通时将进入饱和区。

练习题 3.2 利用例题 3.2 的结果,计算以下情况中图 3.4 所示电路的功耗:① $v_X = v_Y = \text{逻辑 } 1$;② $v_X = v_Y = \text{逻辑 } 0$ 。

答案: ① $P = 45.5\text{mW}$; ② $P = 43.9\text{mW}$ 。

3. 基准电压电路

还需要一个获得基准电压 V_R 的电路。观察图 3.5 所示完整的 2 输入 ECL 或/或非逻辑电路。基准电压电路由电阻 R_1 、 R_2 、 R_5 、二极管 D_1 和 D_2 以及晶体管 Q_5 组成。基准电压电路部分可以专门设计成可以提供所需的基准电压。

例题 3.3 设计 ECL 电路的基准电压电路。图 3.5 所示的电路中,要求基准电压 V_R 为 -1.05V 。

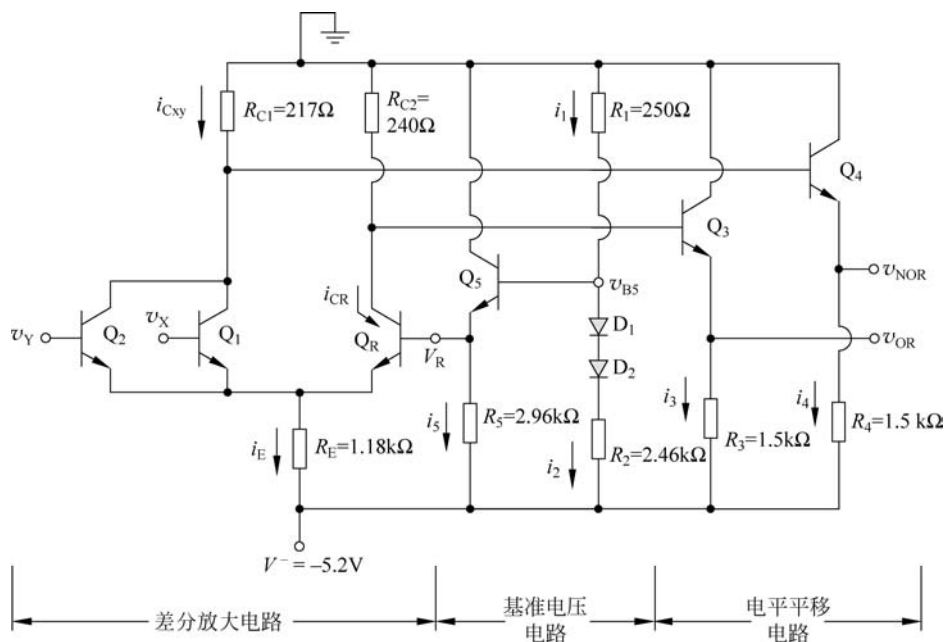


图 3.5 带基准电压电路的基本 ECL 逻辑门

解: 已知

$$v_{B5} = V_R + V_{BE}(\text{on}) = -1.05 + 0.7 = -0.35\text{V} = -i_1 R_1$$

由于包含两个未知量,选其中一个作为变量。令 $R_1 = 0.25\text{k}\Omega$, 于是有

$$i_1 = \frac{0.35}{0.25} = 1.40\text{mA}$$

由于这个电流和电路中其他电流的大小处于同一个数量级,所选 R_1 值合理。忽略基极电流,可得

$$i_1 = i_2 = \frac{0 - 2V_Y - V^-}{R_1 + R_2}$$

其中 V_Y 为二极管的开启电压,假设 $V_Y = 0.7\text{V}$ 。于是可得

$$1.40 = \frac{-1.4 - (-5.2)}{R_1 + R_2}$$

求得 $R_1 + R_2 = 2.71\text{k}\Omega$ 。

由于 $R_1 = 0.25\text{k}\Omega$, 所以电阻 $R_2 = 2.46\text{k}\Omega$ 。此外,可知

$$i_5 = \frac{V_R - V^-}{R_5}$$

如果令 $i_5 = i_1 = i_2 = 1.40\text{mA}$, 则有

$$R_5 = \frac{V_R - V^-}{i_5} = \frac{-1.05 - (-5.2)}{1.40} = 2.96\text{k}\Omega$$

点评: 所有设计的解都不唯一。上述设计可为晶体管 Q_R 的基极提供所需的基准电压。

练习题 3.3 重新设计图 3.5 所示的基准电压电路,电源电压 $V^+ = 0, V^- = -3.3\text{V}$ 。

要求基准电压为 $V_R = -1.0\text{V}$, $i_1 = i_2 = i_5 = 0.5\text{mA}$ 。

答案: $R_1 = 0.6\text{k}\Omega$, $R_2 = 3.2\text{k}\Omega$, $R_5 = 4.6\text{k}\Omega$ 。

3.1.3 ECL 逻辑电路的特性

本节将讨论 ECL 逻辑门的功耗、扇出系数以及传输延迟时间,并研究负电源供电的优点。

1. 功耗

功耗是逻辑电路的一项重要特性。图 3.5 所示的基本 ECL 逻辑门的功耗为

$$P_D = (i_{Cxy} + i_{CR} + i_5 + i_1 + i_3 + i_4)(0 - V^-) \quad (3.3)$$

例题 3.4 计算 ECL 逻辑电路的功耗。在图 3.5 所示的电路中,令 $v_X = v_Y = -0.7\text{V} =$ 逻辑 1。

解: 根据之前的分析, $i_{Cxy} = 3.22\text{mA}$, $i_{CR} = 0$, $i_5 = 1.40\text{mA}$, $i_1 = 1.40\text{mA}$, 输出电压为 $v_{OR} = -0.7\text{V}$ 和 $v_{NOR} = -1.40\text{V}$ 。电流 i_3 和 i_4 为

$$i_3 = \frac{v_{OR} - V^-}{R_3} = \frac{-0.7 - (-5.2)}{1.5} = 3.0\text{mA}$$

和

$$i_4 = \frac{v_{NOR} - V^-}{R_4} = \frac{-1.40 - (-5.2)}{1.5} = 2.53\text{mA}$$

于是功耗为

$$P_D = (3.22 + 0 + 1.40 + 1.40 + 3.0 + 2.53) \times 5.2 = 60.0\text{mW}$$

点评: 该功耗比 NMOS 和 CMOS 逻辑电路要大得多。而 ECL 逻辑电路的优点是传输延迟时间较短,它可以低于 1ns 。

练习题 3.4 图 3.5 所示的 ECL 电路中,假设晶体管 Q_3 和 Q_4 的最大电流为 1.0mA 。

①求解所需的 R_3 和 R_4 的值。②利用①的结果,计算 $v_X = v_Y = -0.7\text{V}$ 时电路中的功耗。

答案: ① $R_3 = R_4 = 4.5\text{k}\Omega$; ② $P = 40.8\text{mW}$ 。

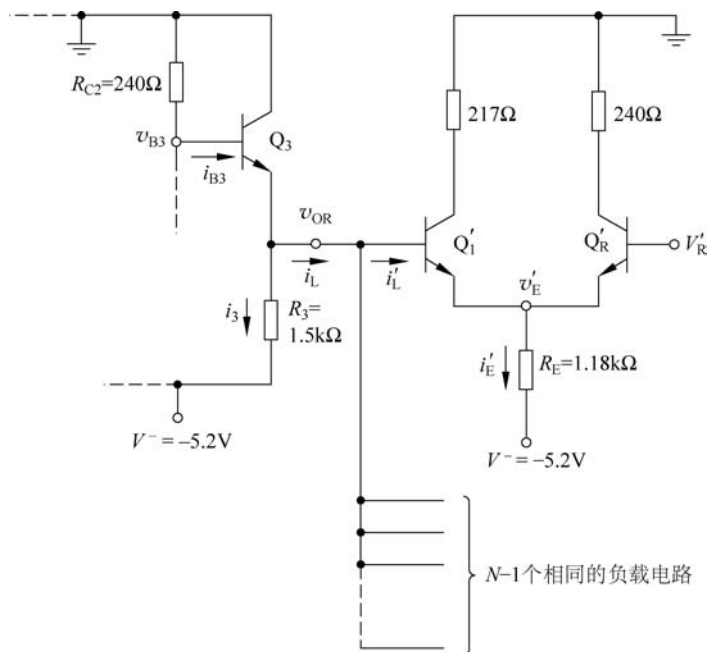
2. 传输延迟时间

ECL 电路的主要优点是它的传输延迟时间较短,一般为 1ns 或更小的数量级。传输延迟时间短的原因主要有两个: ①晶体管没有进入饱和区,避免了电荷存储效应; ②ECL 门电路的逻辑电平变化很小(约 0.7V),这意味着输出电容上的压降不会像其他逻辑门电路那样变化很大。同时, ECL 电路的电流相对较大,这意味着输出电容可以快速充电和放电。然而,短传输延迟时间的代价是更大的功耗和更小的噪声容限。

ECL 电路很快,它们需要特别注意传输线的影响。设计不合适的 ECL 电路板可能会产生振荡。ECL 电路之间的连线要比其内部连线更容易遇到这些问题。所以要特别注意信号线之间的连接。

3. 扇出系数

图 3.6 给出 ECL 电路或逻辑输出的射极跟随器输出级,它用来驱动 ECL 负载电路的差分放大电路输入级。当 v_{OR} 为逻辑 0 时,输入负载晶体管 Q'_1 截止,可有效消除来自驱动输出级的负载电流。当 v_{OR} 为逻辑 1 时,输入负载晶体管导通,存在输入基极电流 i'_L 。(截至目前,均忽略基极的直流电流,尽管它们不为零。)需要通过晶体管 Q_3 提供负载电流, Q_3

图 3.6 ECL 逻辑门的输出级,驱动 N 个相同的 ECL 输入级

的基极电流由电源通过 R_{C2} 提供。随着负载电路的增加,负载电流 i_L 增加, R_{C2} 上产生压降,输出电压下降。最大扇出系数部分取决于输出电压允许下降到理想逻辑 1 电平以下的最大幅度。

例题 3.5 基于直流负载效应,计算 ECL 逻辑门的最大扇出系数。图 3.6 所示电路中,假设在最坏情况下,晶体管的电流增益为 $\beta=50$ 。假设或逻辑输出的逻辑 1 电平最多允许下降 50mV,即从 -0.70V 下降到 -0.75V 。

解: 由图可知

$$i'_E = \frac{v_{OR} - V_{BE(\text{on})} - V^-}{R_E} = \frac{-0.75 - 0.7 - (-5.2)}{1.18} = 3.18\text{mA}$$

负载晶体管的基极输入电流为

$$i'_B = \frac{i'_E}{(1+\beta)} = \frac{3.18}{51} = 62.3\mu\text{A} = i'_L$$

因此,总负载电流为 $i_L = N i'_L$ 。

产生负载电流 i_L 和电流 i_3 所需的基极电流 i_{B3} 为

$$i_{B3} = \frac{i_3 + i_L}{(1+\beta)} = \frac{0 - v_{B3}}{R_{C2}} = \frac{0 - [v_{OR} + V_{BE(\text{on})}]}{R_{C2}} \quad (3.4)$$

同理,由图可知

$$i_3 = \frac{v_{OR} - V^-}{R_3} = \frac{-0.75 - (-5.2)}{1.5} = 2.967\text{mA}$$

根据式(3.4),此时的最大扇出系数满足方程

$$\frac{2.967 + N(0.0623)}{51} = \frac{0 - (-0.75 + 0.7)}{0.24}$$

由此可得 $N=122$ 。 N 的取值应当为小于这一数值的最大整数。

点评：本题中的最大扇出系数由直流条件获得，不是实际值。在实际情况下，ECL 电路的最大扇出系数取决于传输延迟时间。每增加一个负载，负载电容大约增加 3pF 。为使传输延迟时间保持在规定的范围内，通常最大扇出系数为 15。

练习题 3.5 在例题 3.5 中，如果扇出系数限制为 $N=10$ ，则或逻辑门的输出电压与空载时的 -0.70V 相比，会变化多少？

答案： $v_{\text{OR}} = -0.7170\text{V}$ 。

4. 负电源供电

在经典的 ECL 电路中，通常将供电电源的正端接地，以减少输出端的噪声信号。图 3.7(a) 所示为供电电源 V_{CC} 和一个噪声信号源 V_n 串联的射极跟随器输出级。噪声信号可能由寄生电感和寄生电容的交变电流效应所产生。输出电压是对地电压，因此，如果 V_{CC} 的正端接地，则输出电压为 V_O ；如果 V_{CC} 的负端接地，则输出电压为 V'_O 。

为了确定输出端的噪声电压影响，假设晶体管 Q_R 截止，对图 3.7(b) 所示的小信号混合 π 等效电路进行评估。

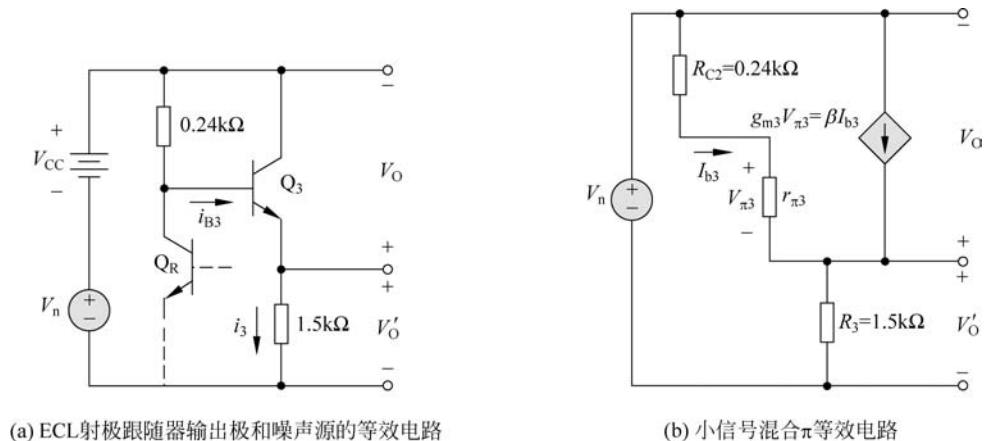


图 3.7

例题 3.6 求解噪声信号在 ECL 门电路输出端产生的影响。图 3.7(b) 所示的小信号等效电路中，令 $\beta=100$ 。求解输出电压 V_O 和 V'_O 与噪声信号 V_n 的函数关系。

解：根据之前的分析， Q_R 截止时，晶体管 Q_3 的集电极静态电流为 3mA 。于是有

$$r_{\pi 3} = \frac{\beta V_T}{I_{\text{CQ}}} = \frac{100 \times 0.026}{3} = 0.867\text{k}\Omega$$

和

$$g_{m3} = \frac{I_{\text{CQ}}}{V_T} = \frac{3}{0.026} = 115\text{mA/V}$$

也可以将 V_n 表示为

$$V_n = I_{b3}(R_{C2} + r_{\pi 3}) + (1 + \beta)I_{b3}R_3$$

由此解得

$$I_{b3} = \frac{V_n}{R_{C2} + r_{\pi 3} + (1 + \beta)R_3} = \frac{V_n}{0.24 + 0.867 + 101 \times 1.5} = \frac{V_n}{152.6}$$

输出电压 V_O 为

$$V_O = -I_{b3}(R_{C2} + r_{\pi3}) = -\left(\frac{V_n}{152.6}\right)(0.24 + 0.867) = -0.0073V_n$$

输出电压 V'_O 为

$$V'_O = (1 + \beta)I_{b3}R_3 = 101 \times \left(\frac{V_n}{152.6}\right) \times 1.5 = 0.99V_n$$

点评: 噪声信号对集电极-发射极间输出电压 V_O 的影响要比 V'_O 小得多。这意味着将 V_O 定义为输出更有利,即将 V_{CC} 的正端接地。在数字电路中,负电源供电可使电路对噪声不敏感,这对低噪声容限的逻辑电路至关重要。

练习题 3.6 若 Q_3 的偏置电流减小为 1mA ,电阻 $R_3 = 4.5\text{k}\Omega$,重复例题 3.6。

答案: $V_O = -0.00621V_n$, $V'_O = 0.9938V_n$ 。

3.1.4 电压传输特性

电压传输曲线给出电路在两种逻辑状态之间切换时的电路特性。电压传输特性曲线还可以用来确定噪声容限。

1. 直流分析

利用两个输入晶体管和基准晶体管的折线化模型,可以得到近似度很好的电压传输特性。观察图 3.5 所示的 ECL 门,如果输入 v_X 、 v_Y 均为逻辑 0,即 -1.40V ,则 Q_1 、 Q_2 截止, $v_{\text{NOR}} = -0.7\text{V}$ 。基准晶体管 Q_R 导通,与前面相同, $i_E = i_{C2} = 2.92\text{mA}$, $v_{B3} = -0.7\text{V}$, $v_{\text{OR}} = -1.40\text{V}$ 。只要 $v_X = v_Y$ 保持在 $V_R - 0.12 = -1.17\text{V}$ 以下,输出电压就不会改变太多。当输入电压与基准电压 V_R 之差在 120mV 之内时,输出电压发生变化。

当 $v_X = v_Y = V_R + 0.12 = -0.93\text{V}$ 时, Q_1 、 Q_2 导通, Q_R 截止。此时, $i_E = i_{C1} = 3.03\text{mA}$, $v_{B1} = -0.657\text{V}$, $v_{\text{NOR}} = -1.36\text{V}$ 。由前面的结果可知,当 $v_X = v_Y = -0.7\text{V}$ 时, $v_{\text{NOR}} = -1.40\text{V}$ 时,电压传输特性如图 3.8 所示。

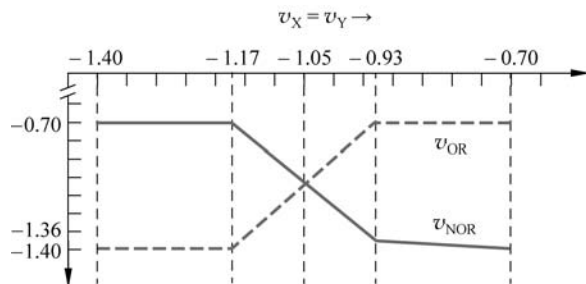


图 3.8 ECL 或/或非逻辑门电路的电压传输特性

2. 噪声容限

对于 ECL 逻辑门,将电压传输曲线上的转折点电平定义为阈值逻辑电平 V_{IL} 和 V_{IH} 。这两个值为 $V_{\text{IL}} = -1.17\text{V}$ 和 $V_{\text{IH}} = -0.93\text{V}$ 。逻辑高电平为 $V_{\text{OH}} = -0.7\text{V}$,逻辑低电平为 $V_{\text{OL}} = -1.40\text{V}$ 。

噪声容限定义为

$$\text{NM}_{\text{H}} = V_{\text{OH}} - V_{\text{IH}} \quad (3.5a)$$