

3D堆叠NAND Flash

3.1 引言

在平面 Flash 中,最流行的是基于浮栅技术的存储单元,图 3.1 显示了其横截面图。图 3.2 中概述了横截面和相关的浮栅模型。根本上来说,一个 MOS 晶体管是由两个重叠的栅极组成的:第一个浮栅完全被氧化层包围,而第二个则形成了控制栅终端。这个孤立的栅构成了一个极好的电子“陷阱”,可以使电荷长时间保持。用于从绝缘的栅极中注入和移动电子的操作分别被称为写入和擦除。这些操作改变了存储单元也就是 MOS 晶体管的阈值电压 V_{th} 。通过对单元的终端施加固定电压,就有可能区分两种存储状态:当栅极电压高于阈值电压时,这个单元是开态(“1”),反之则是关态(“0”)。

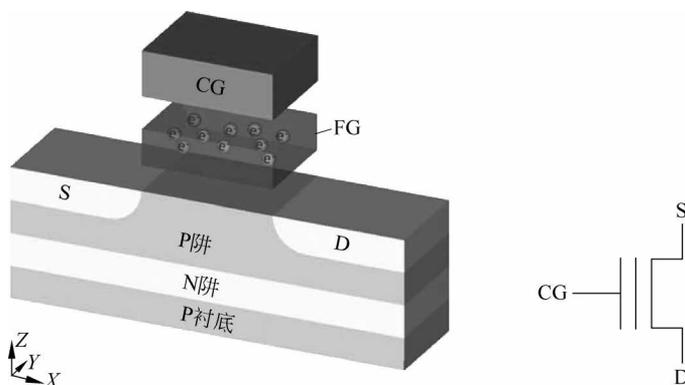


图 3.1 浮栅存储单元及其原理图模型

为了使硅片的占用面积最小化,存储单元排列在一起形成一个矩阵。根据单元在矩阵内的排列方式,可以区分为 NAND 和 NOR Flash。在存储系统中,NAND 存储器是最普遍的; NOR 结构在文献[1]中有详细的描述。

在 NAND 存储器串中,存储单元是串联的,以 32、64、128 或 150 为一组,如图 3.3 所

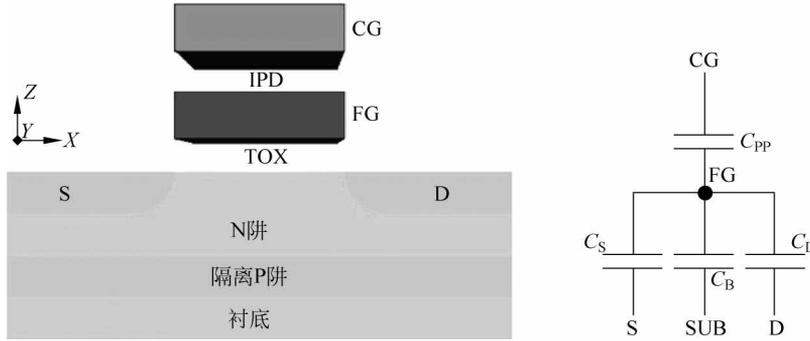


图 3.2 浮栅存储单元及其相应的电容模型

示。两个选通晶体管放置在存储器串的边缘,确保通过 M_{SL} 连接到电源线(Source Line, SL),通过 M_{DL} 连接到位线(Bit Line, BL)。每个 NAND 存储器串与另一个存储器串共用位线。控制栅通过字线(Word Line, WL)连接。

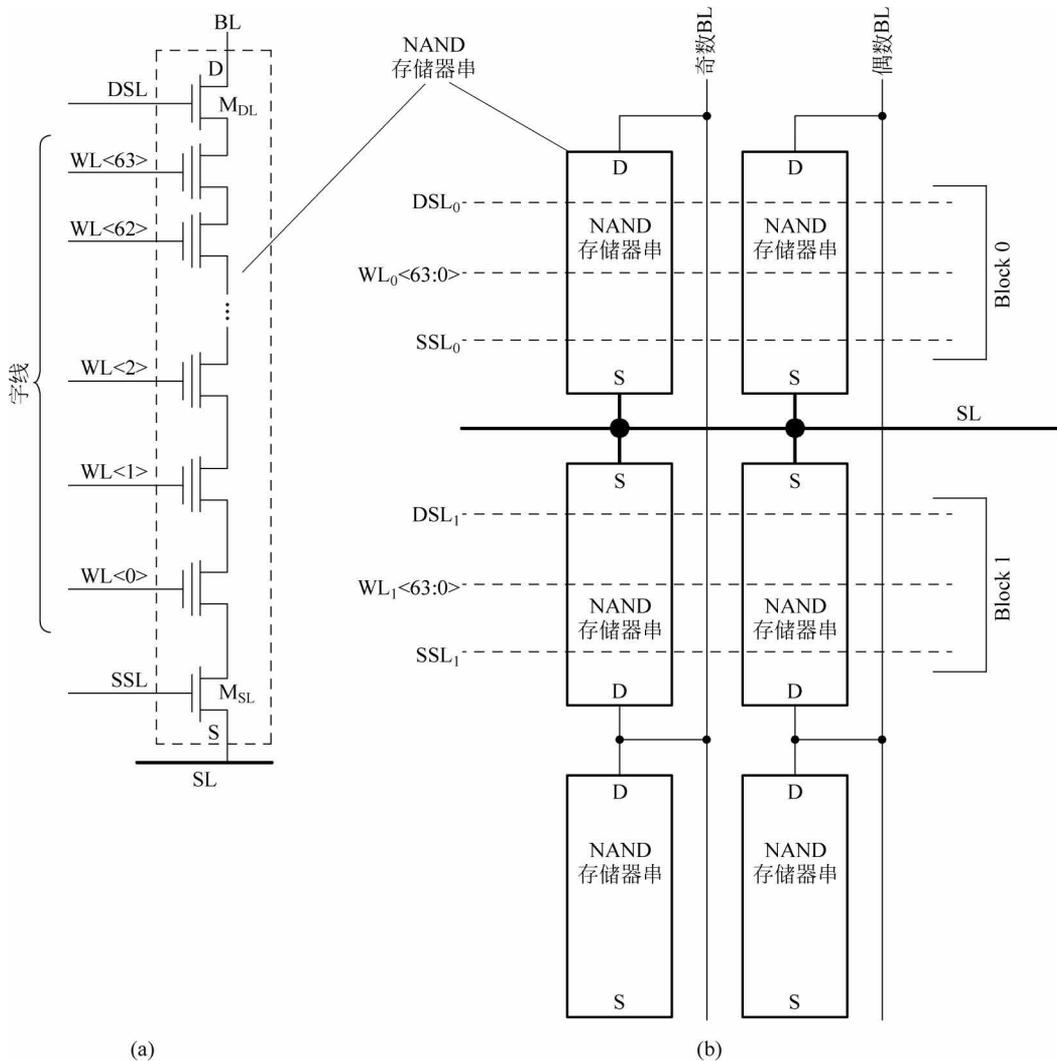


图 3.3 (a)NAND 存储器串和(b)NAND 阵列

逻辑页由属于同一字线的单元组成。每个字线的页数与存储单元的存储能力有关。根据存储节点的数量,Flash 被分为不同的种类:SLC 存储器每个单元存储 1 位,MLC 存储器每个单元存储 2 位,TLC 存储器每个单元存储 3 位,QLC 存储器每个单元存储 4 位(图 3.4)。

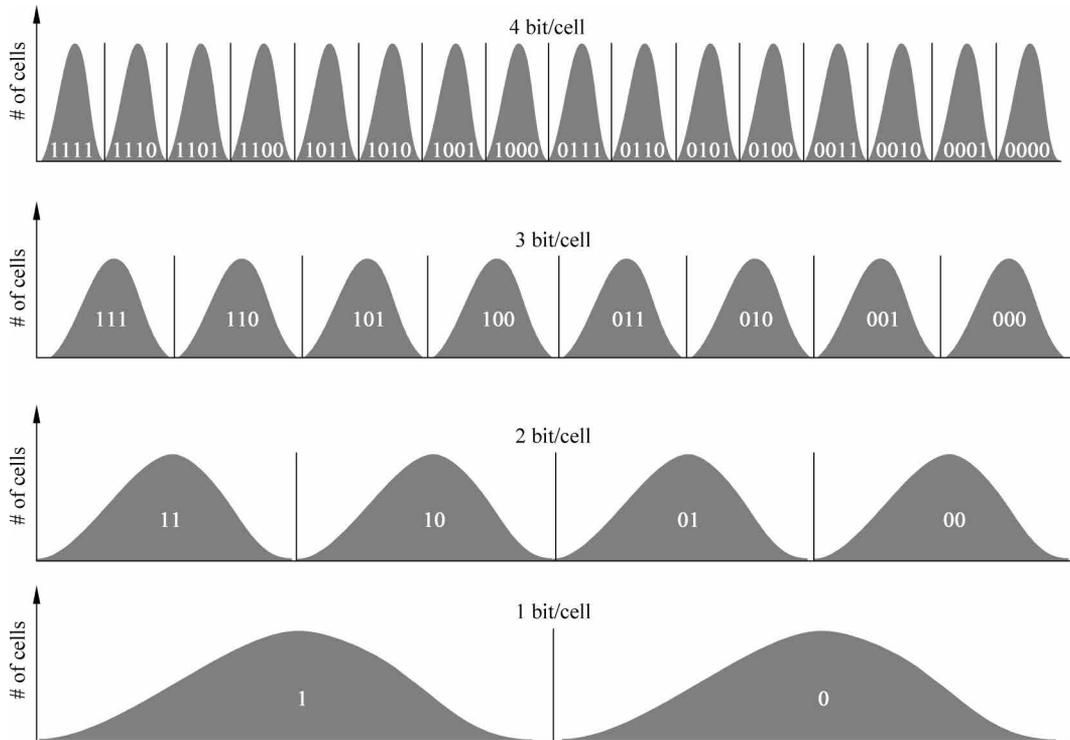


图 3.4 Flash 中的多值存储

共用同一组字线的所有 NAND 存储器串会一起擦除,因此形成了一个所谓的 Flash 块。图 3.3 显示了两个块:通过使用一个总线表示,一个块是由 $WL_0 <63:0>$ 组成,而另一个块包括 $WL_1 <63:0>$ 。

在硅片上,NAND Flash 器件主要是一个存储阵列,为了执行读取、写入及擦除操作,还需要额外的电路。图 3.5 绘制了一个 NAND 器件的框图。存储阵列可以划分为两个或多个区域(或平面)。在水平方向上突出显示一个字线,同时在垂直方向上显示一个位线。行译码器位于平面之间:这个电路的任务是正确地选中所有属于所选 NAND 存储器串的字线。所有的位线都连接到页缓冲区或灵敏放大器(Sense Amplifier)。灵敏放大器的目的是将存储器单元当前电流转化为数字值。在外围区域有电荷泵和电压调节器、逻辑电路和冗余结构。I/O 接口用于与外部通信。

NAND 存储器包含在页和块中组织的信息,如图 3.6 所示。正如前面提到的,块是最小的可擦单元,它包含多个逻辑页。页是读取和写入的最小可寻址单元。每个页都由主存储区和备用区组成。备用区用于存储错误校正代码和固件(Firm Ware, FW)元数据。NAND 逻辑地址是围绕行地址和列地址概念构建的。行地址标识所处理的页,而列地址标识页内的单个字节。

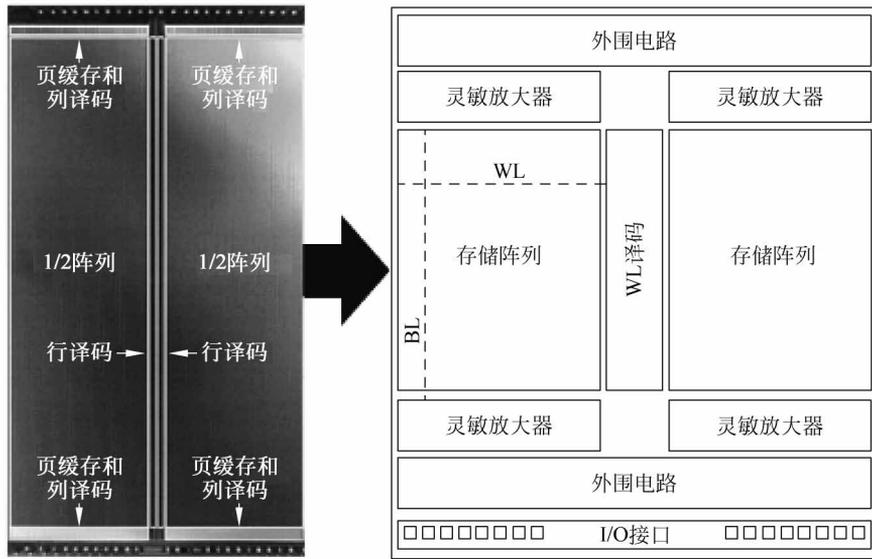
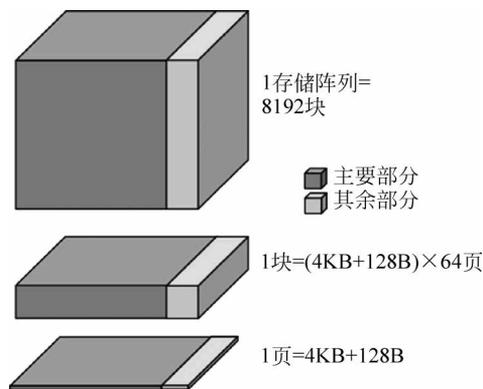
图 3.5 NAND Flash 存储块框图^[16]

图 3.6 NAND 存储器逻辑组织

3.2 浮栅单元

一个 48nm 工艺的浮栅 NAND 单元的示意图如图 3.7 所示^[3]；浮栅和控制栅通常是由多晶硅制造的。对于所有的操作，控制栅电极容性耦合到浮栅电极。浮栅和控制栅之间的电介质被称为绝缘介质，它通常是由氧化硅/氮化硅/氧化硅(ONO)三层构成的。浮栅单元可改变的阈值电压 V_{th} 代表了信息节点，取决于浮栅和控制栅之间的耦合强度以及在浮栅中存储的电荷量。

图 3.7(a)是在字线方向上的一个浮栅 NAND 阵列的横截面图。控制栅被包围在浮栅中用以改善控制栅和浮栅之间的电容耦合；如第 2 章所述，这种耦合降低了浮栅单元的操作电压，并确保了操作的可靠性。两个相邻的 NAND 存储器串的有源区(Active Area, AA)由浅槽隔离(Shallow Trench Insulation, STI)所分隔。存储单元晶体管栅氧化层被称

为隧穿氧化层(Tunnel Oxide, TOX),因为电荷(用来存储一位信息)通过量子隧穿机制输运过这层二氧化硅电介质。由于电荷在写入和擦除操作过程中仅能通过隧穿氧化层输运,这对于单元的可靠性来说是一个非常关键的问题。通过阻挡氧化层(即在浮栅和控制栅之间的氧化层)输运的每一个电荷都需要完全避免,以防止严重的可靠性问题。

图 3.7(b)显示了一个位线方向的 NAND 存储器串的横截面图。浮栅单元是由垂直字线刻蚀方法制备的。为了形成存储单元晶体管并减少存储器串电阻,在浮栅单元之间的刻蚀间隔中,注入了 n+ 浅结。为了提高电荷保持率,通过热氧化过程将浮栅的侧壁钝化。

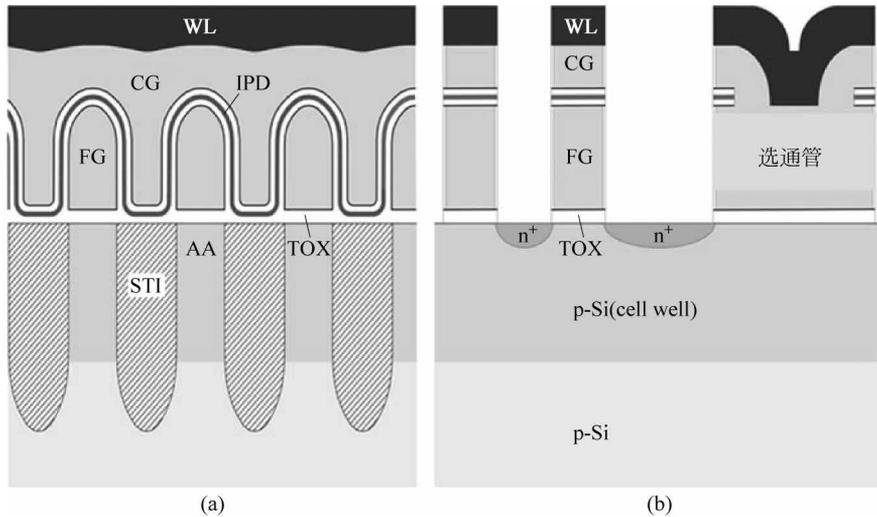


图 3.7 浮栅 NAND 阵列的横截面图(a)字线和(b)位线

形成的高质量侧壁热氧化物(SideWall Oxide, SWOX)产生了一个有效的隧道势垒,防止浮栅中产生电荷损失,如图 3.8 所示。在此时,浮栅单元之间的空间中充满了二氧化硅(字线埋层电介质),通常与隧穿氧化层相比,它的电子有效质量较低。选通晶体管(M_{DL} 和 M_{SL})与浮栅单元一起制备,因此它们使用隧穿氧化层作为栅极电介质。选通晶体管的栅极长度通常在 150~200nm 范围内。要制备真正的晶体管,需要将字线层与浮栅层连接起来。这种接触是在多晶硅控制栅沉积之前,通过在选通晶体管中间除去 ONO IPD 来完成的。

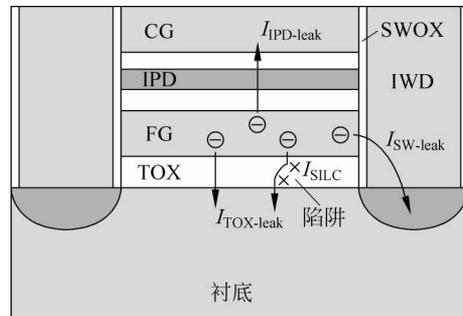


图 3.8 SWOX、IWD 和可能的泄漏途径

浮栅 NAND 技术的整个制造过程通常是基于 30~40 个光刻掩模的步骤,其中包括 2 个多晶硅层和 3 个金属层。为了获得更高的存储密度,典型的 3 个掩模在特殊工艺节点处设计使用更小的尺寸:有源区/STI、字线和位线。还有其他的一些工艺步骤,有严格的光刻要求,如位线连接、电源线连接以及在存储器串选通晶体管中浮栅和控制栅的连接。

在转到 3D 架构之前,应该先看看图 3.9 中所描绘的平面阵列的俯视图。事实上,在 3D 架构下,俯视图成了一个重要的工具。在图 3.10 中,NAND 存储器串连接在一起形成一个存储阵列。为了节省空间,两个 NAND 存储器串可以共用 SL 或 BL 连接,如图 3.10 所示。

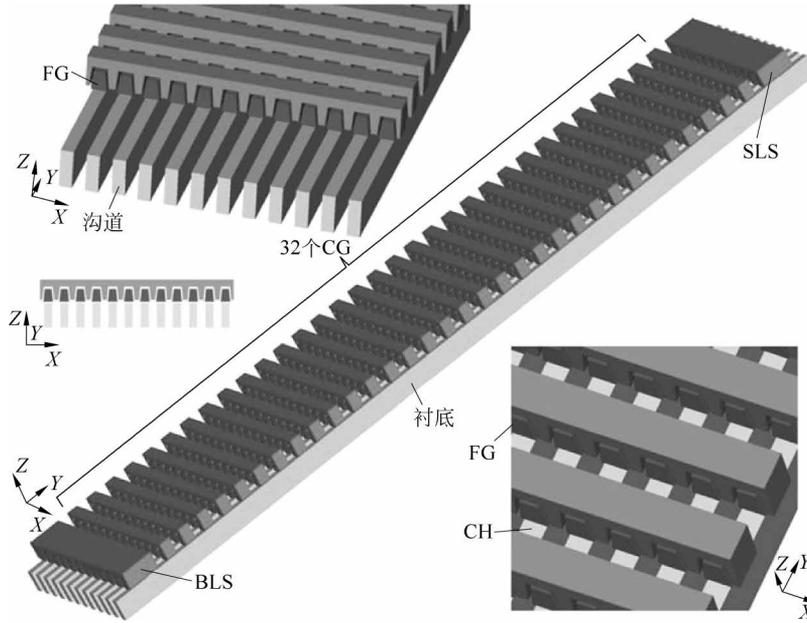


图 3.9 平面 NAND 存储器串的俯视图

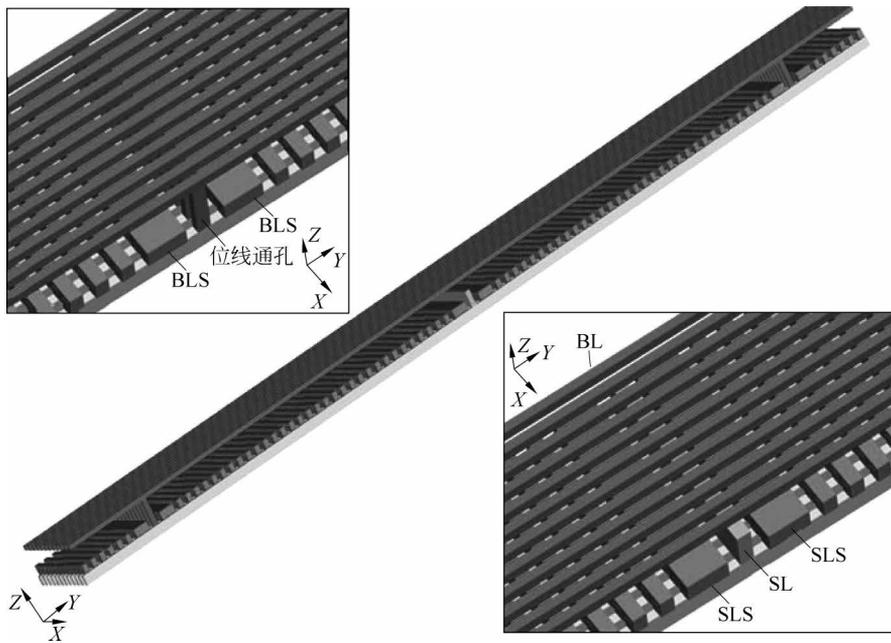


图 3.10 NAND 存储器串在阵列中的连接

3.3 NAND 基本操作

这一节简短概括说明在 NAND 存储器中如何执行读取、写入和擦除操作；所有这些操作都是由内部微控制器管理的。

3.3.1 读取

读取操作的目的是处理阵列中的特定存储单元,并测量其中存储的信息。参考图 3.11,当读取 NAND 存储器单元时,其栅极由 $V_{\text{READ}}(0\text{V})$ 驱动,而其他单元的偏压则是 $V_{\text{PASS,R}}$ (通常是 $4\sim 5\text{V}$),这样它们就可以独立于阈值电压,作为导通晶体管存在。事实上,擦除的 Flash 单元的阈值电压小于 0V ; 反之亦然,写入的单元有正的阈值电压,但是小于 4V 。在实际操作中,通过使选定单元栅极的电压为 0V ,所有的单元将只有在擦除寻址的单元时才会导通。

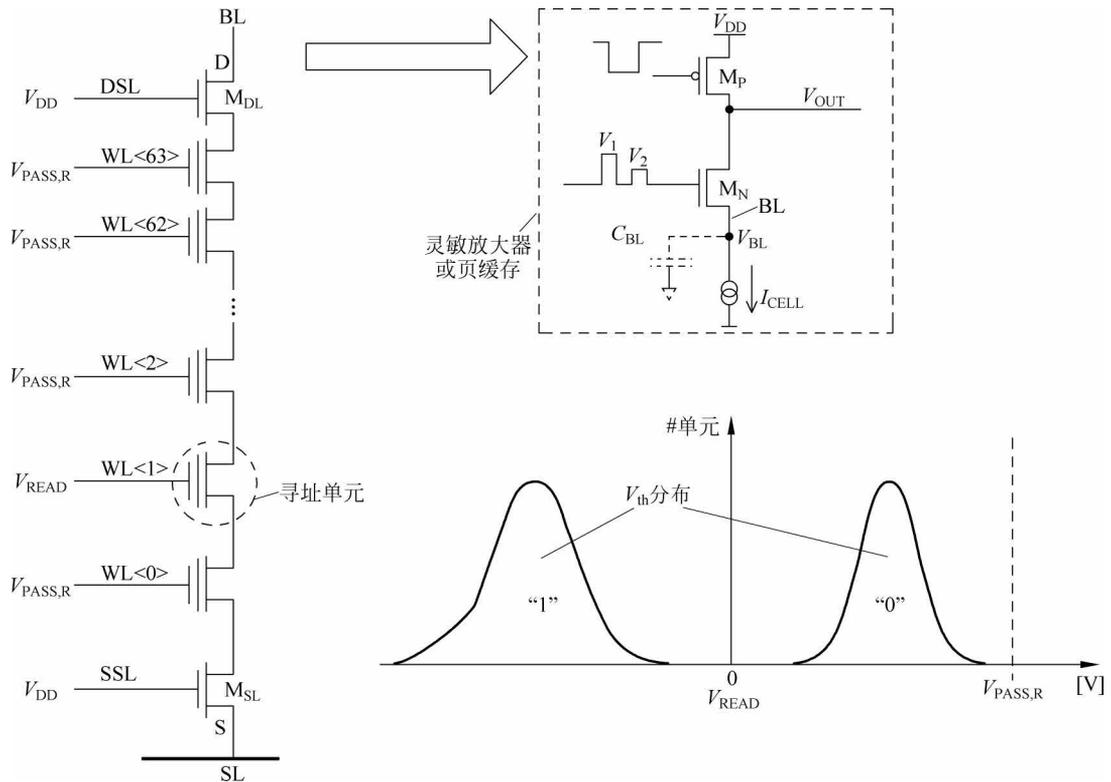


图 3.11 在读取和 SLC 阈值电压分布中 NAND 存储器串的偏压

这里有不同的读取技术,从使用位线寄生电容开始,最后以将电流整合在一个小电容器上的方法结束。以上提到的技术可以用于 SLC/MLC/TLC/QLC 型 NAND 存储器。当有超过两个阈值电压分布时,多个基本读取操作在不同的栅极电压下进行。历史上,第一种读取技术使用了位线的寄生电容来整合单元的电流^[5-7]。

这种电容器以固定值(通常为 $1\sim 1.2\text{V}$)预先充电。只有当单元擦除并产生反向电流时,电容器才会放电。有几种电路用来检测位线寄生电容状态:在所有的解决方案中几乎都存在图 3.11 中所描绘的结构。用 C_{BL} 表示位线寄生电容,此时 NAND 存储器串相当于一个电流发生器。在位线充电的过程中,PMOS 晶体管 M_{P} 的栅极保持接地,而 NMOS 晶体管 M_{N} 的栅极保持在一个固定值 V_1 上。 V_1 的典型值是 2V 。在电荷瞬态的结尾,位线处电压 V_{BL} 等于

$$V_{\text{BL}} = V_1 - V_{\text{thN}} \quad (3.1)$$

V_{thN} 表示晶体管 M_{N} 的阈值电压值。在此时,晶体管 M_{N} 和 M_{P} 被关断。 C_{BL} 可以自由放

电。经过一段时间 T_{VAL} 后, M_N 栅极的偏压变为 V_2 , 小于 V_1 , 通常是 $1.6 \sim 1.4V$ 。当 T_{VAL} 时间足够长时, 可以将位线电压降到

$$V_{BL} < V_2 - V_{thN}$$

M_N 开启, 节点 OUT 的电压 (V_{OUT}) 等于位线中的一个。最后, 用简单的锁存器将模拟电压 V_{OUT} 转换成数字格式。

3.3.2 写入

阈值电压通过增量步进脉冲写入算法进行修改(图 3.12): 步进电压(其振幅和延时是预先设定的)施加到单元的栅极上。然后, 如图 3.13 所示^[8], 执行一个验证操作, 以检查单元的阈值电压是否超过了预设的电压值 (V_{VFY})。如果验证操作成功, 那么单元已经达到了所需的状态, 之后不再接受写入脉冲。否则, ISPP 的下一个循环将施加到单元上; 这一次, 写入电压受 ΔV_{pp} (或 $\Delta ISPP$) 影响增加。

在写入脉冲中, 一个高电压施加到选定的字线上, 但是写入操作必须是位选的。换句话说, 需要一种在字线中选定/撤销每个单独存储单元的能力。因此, 所有写入操作必须限制在

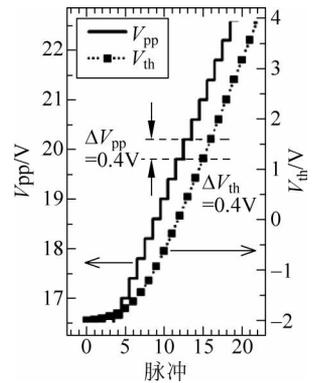


图 3.12 增量步进脉冲写入

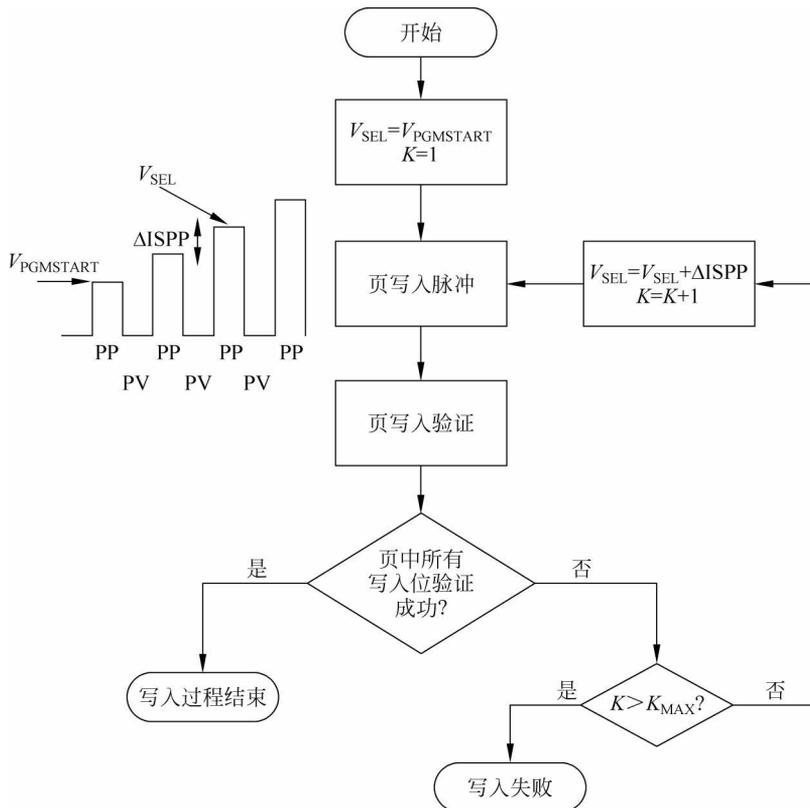


图 3.13 基于增量步进脉冲写入算法的程序流程图

存储单元中,需要一个高的沟道电位来降低穿隧穿电介质的压降,防止电子通过沟道隧穿进入到浮栅,如图 3.14(a)所示。对禁止写入的 NAND 存储器中的位线,施加 8V 电压,完成第一个 NAND 器件沟道的充电。这种方法存在一些缺点^[5],尤其是相邻位线之间氧化层的功耗和高应力问题。

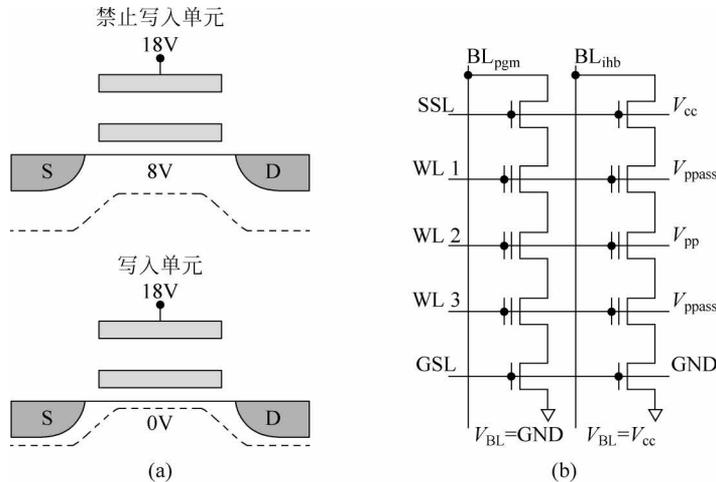


图 3.14 自增强写入限制方案,(a)单元选择写入和写入限制的条件;(b)自增强写入限制方案的偏压条件

自增强写入限制方案具有更低的功耗。通过电源对连接到禁止写入单元的存储器串选择线和位线进行充电,此时选通晶体管是一种二极管接法,如图 3.14(b)所示。当字线电位上升时(选通字线相对于 V_{pp} ,未选通字线相对于 V_{ppass}),通过控制栅、浮栅、沟道和衬底等寄生串联电容,提高了沟道电位。当沟道的电压超过 $V_{cc} - V_{th}$ 时,SSL 晶体管是反向偏置的,而 NAND 存储器串的沟道变成了一个浮动节点。

因为存储单元是在一个矩阵中构建的,字线上的所有单元,即使它们不准备写入,也都有相同的电压,就是说它们被“串扰”了。写入操作与串扰的两种重要类型有关:通道串扰和写入串扰,它们对可靠性的影响在第 2 章中有过描述。

3.3.3 擦除

NAND 阵列位于一个三阱结构中,如图 3.15(a)所示。通常,每个平面都有自己的三阱。电源终端由所有块共用:这样一来,这个矩阵就更小了,用于对 P 阱进行偏置的电路数量也大大减少了。

NAND 存储器通过高电压偏置 P 阱,同时将需要擦除的块中的字线接地来实现批量擦除,如图 3.15(c)所示。

对于写入操作来说,擦除利用的是一种被称为 F-N 隧穿的物理机制(第 2 章)。因为 P 阱对所有的块都是共用的,可以通过将非擦除块的字线悬空来避免擦除未选择的块。当 P 阱充电时,由于控制栅和 P 阱之间的容性耦合,悬空字线的电势就会增加。当然,字线和 P 阱之间的电压差应该足够低,从而避免 F-N 隧穿。

图 3.15(b)描绘了擦除算法的不同阶段。NAND 结构在擦除时间方面相当有优势。因此,Flash 供应商试图在有限的几个擦除步骤内擦除块内容。结果就是,在擦除阶段,一个

非常高的电场施加到矩阵中。事实上,擦除时的电荷分布已经偏移 to 负的阈值电压上。为了使浮栅耦合最小化(第 2 章),引入了一个擦除后写入(Program After Erase,PAE)阶段,目的是使电荷分布接近 0V 的极限(当然,留有适当的读取余地)。

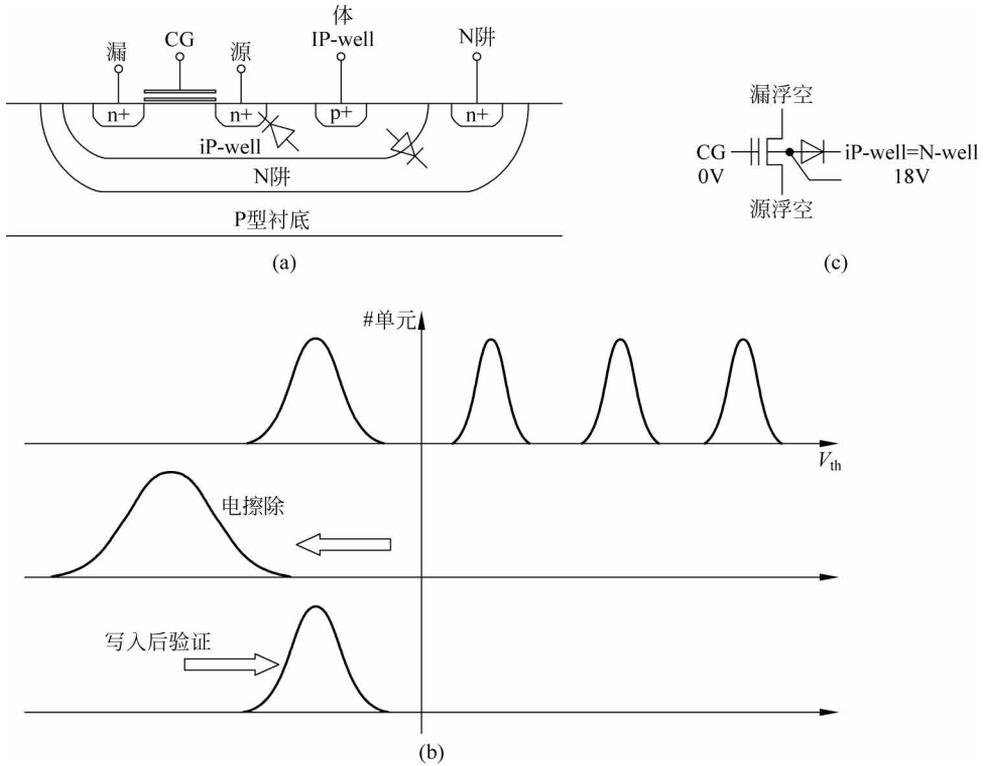


图 3.15 (a) NAND 矩阵中的三阱; (b) 擦除算法; (c) 选中块擦除时的偏压

每个擦除脉冲后面都有一个擦除验证(Erase Verify, EV)操作。在这一阶段,所有的字线保持接地。目的是用来验证是否存在阈值电压大于 0V 的存储单元。如果擦除验证不成功,这意味着有一些列仍未擦除。如果达到擦除脉冲的最大数量,那么擦除操作就失败了。否则,施加于 P 阱的电压就会增加 ΔV_E ,而且可以施加下一个擦除脉冲。

表 3.1 和表 3.2 总结了擦除电压。

表 3.1 在电子擦除脉冲期间施加在选定块的电压

	T_0	T_1	T_2	T_3	T_4
BL _{even}	浮空	浮空	浮空	浮空	浮空
BL _{odd}	浮空	浮空	浮空	浮空	浮空
DSL	浮空	浮空	浮空	浮空	浮空
WL _s	0V	0V	0V	0V	0V
SSL	浮空	浮空	浮空	浮空	浮空
SL	浮空	浮空	浮空	浮空	浮空
iP-well	0V	V_{ERASE}	V_{ERASE}	0V	0V

表 3.2 在电子擦除脉冲期间施加在选定块的电压

	T_0	T_1	T_2	T_3	T_4
BL _{even}	浮空	浮空	浮空	浮空	浮空
BL _{odd}	浮空	浮空	浮空	浮空	浮空
DSL	浮空	浮空	浮空	浮空	浮空
WLs	浮空	浮空	浮空	浮空	浮空
SSL	浮空	浮空	浮空	浮空	浮空
SL	浮空	浮空	浮空	浮空	浮空
iP-well	0V	V_{ERASE}	V_{ERASE}	0V	0V

3.4 3D 堆叠结构

消费市场对容量更大、更廉价的 NAND Flash 的需求引发了持续不断的缩小单元尺寸的研究。多年来,人们已经找遍了解决平面 Flash 可扩展性问题的方法。例如控制相邻单元间静电串扰的改进写入算法^[9],而且二次曝光技术也克服了光刻技术的限制。

不幸的是,其他物理现象阻止了平面存储单元尺寸的进一步减小。现在,浮栅内存储电子的数量是非常低的:在工艺技术节点低于 20nm 的情况下,只有数十个电子对两个阈值电压的分布水平进行区分。正如文献中所报道的,沟道掺杂^[10]和随机电报噪声^[11]可以诱发大量的初始阈值电压分布,而写入之后电子注入的统计数据^[12]会引起更多的变化,因此对单元耐擦写特性和保持特性都有影响。NAND 存储器串尺寸的缩小增大了字线之间的电场,在擦写过程中,导致了更多的失败概率。

3D 阵列是克服平面器件界限的一个很有希望的机会。在过去的 10 年里,所有的顶级 Flash 供应商都花费了数亿美元来研发一种具有以下特性的浮栅技术:可大规模制造,廉价的工艺技术,可靠的单元与多层单元兼容,高存储密度,以及符合当前的 NAND 器件规格。

如第 2 章所述,从 2D 到 3D 存储器的一个基本过程变化就是从传统的浮栅单元到电荷俘获单元的转交^[9]。现在,几乎所有的平面 NAND 技术都采用多晶硅浮栅作为存储单元。相反,大多数 3D 架构都采用了电荷俘获技术,由于单元薄层的堆叠,这只需一个简单的制造工艺。这条规则也有例外:在第 5 章中介绍了基于浮栅的 3D NAND 架构。

本章重点放在最直观的 3D 架构上,器件的堆叠层通过使用水平沟道和水平栅极的阵列来构建的。如图 3.16 和图 3.17 所示,这个阵列是一个简单的平面存储器堆叠。对于不同层的 NAND 存储器串,漏极连接线和位线是共用的,而其他所有终端(源极、源极选通器、字线和漏极选通器)都可以一层一层地单独译码。这个 3D 阵列是传统平面阵列的自然发展,是在 3D 器件探索早期发展起来的。当然,这里面有很多关于成本的考虑,因为可以很容易地从平面存储器中得到工艺技术和电学性能参数。

从工艺技术的角度来看,最大的问题是用来生长额外的硅层:尽量限制其生长,以避免底层的退化,并保证单元间行为的一致性。水平沟道/栅极结构最大的优点是它的灵活性:每一层都是单独制备的,可以消除许多其他方法中存在的问题(例如:沟道和结掺杂)。单元在增强型或耗尽型下工作的模式,可以由工艺技术很容易地改变,但是典型的增强型模式才是首选,因为它允许复用为平面存储器开发的技术。从电学角度来看,与传统存储器相

比,3D NAND 最大的不同是浮栅的基材。事实上,图 3.16 显示了这种结构不允许直接接触衬底,这个约束会影响器件的操作,尤其是擦除的操作。

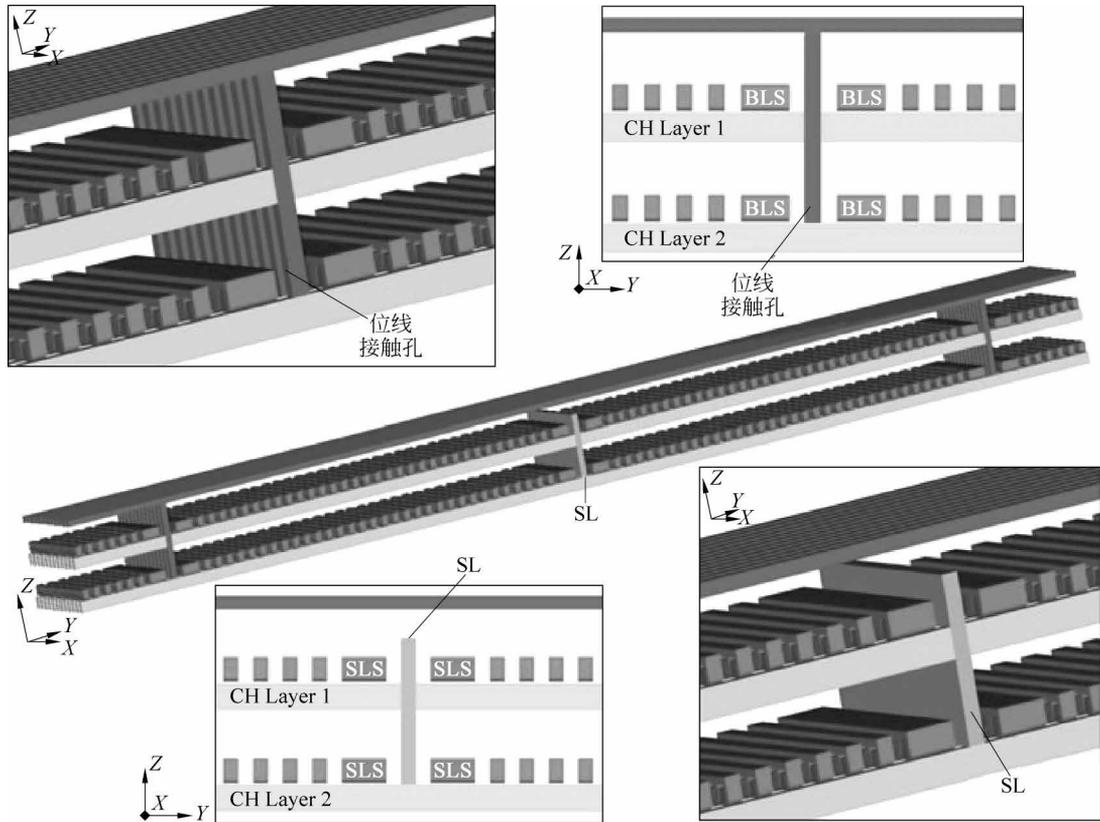


图 3.16 3D 堆叠存储器的俯视图

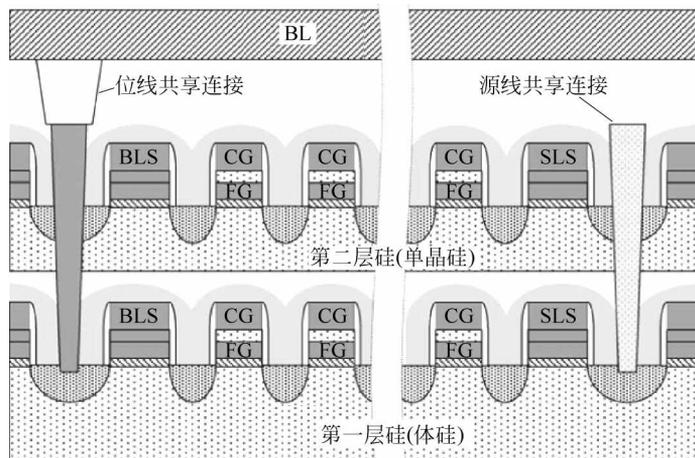


图 3.17 3D 堆叠存储器的横截面图

从经济的角度来看,这种方法并不是很有效,因为它通过增加层数来实现一个平面阵列,这提高了成本。事实上,制备一层这样的 3D 堆叠 NAND Flash 需要至少 3 个关键工艺

模块(位线/字线/连接线)。与传统的平面存储器相比,唯一的改进是电路和金属互连,因为它们共用的。为了限制晶圆的成本,垂直层的数量必须尽可能少,为了弥补这种缺陷,使用更小的单元是最基本的。许多使用这个阵列构建的文献已经发表^[13,14]。灵活性和复用为平面电荷俘获单元开发的技术是解释这一领域活动显著的可能原因。

图 3.18 显示了两层 NAND 矩阵的示意图^[15]: 第一层包括矩阵(MAT1)和外围电路; 第二层只有矩阵 MAT2。主要的外围电路有: 灵敏放大器、SL、P 阱电压发生器和两个

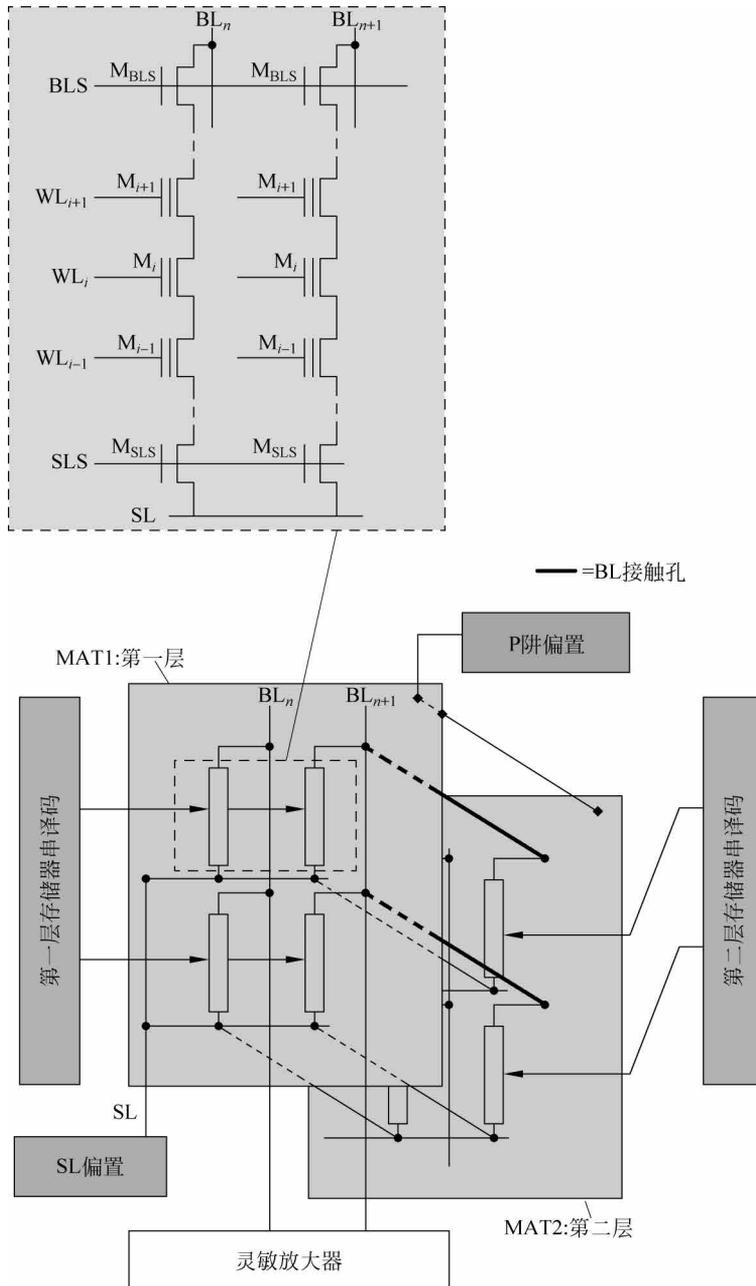


图 3.18 3D 堆叠架构方案

NAND 存储器串译码器(每层各一个)。位线只在 MAT1 上,它们通过如图 3.18 所示的接触孔连接到 MAT2 上。在 MAT2 中不存在金属位线;对于电源线和 P 阱网络来说也是如此。传感器电路可以同时访问 MAT1 和 MAT2,而且由于位线是共用的,所以它的电容性负载可以与传统的平面器件相媲美。

因此,单元在功耗和时序上没有任何劣势。只是增加了通孔的寄生负载(小于 5% 的位线电容)。由于存在两个独立的存储器串(行)译码器,字线寄生负载与平面器件在同一范围内。此外,由于每次只访问一层,没有额外的写入和读取串扰。只有 P 阱寄生负载的倍增是一个劣势,但它可以忽略不计,因为在整个擦除时间内,P 阱电容的充电时间并不占主导地位。

在此时,如何正确地处理堆栈中的每一层而不影响其他层是很重要的,这是下一节的主题。

3.5 3D 堆叠层的偏压

表 3.3 总结了 NAND 存储器串的偏置条件。在读取和写入操作期间,所需的偏置电压仅施加在选定层 MAT1 的存储器串上。MAT2 的存储器串有浮动字线,而位线选通(Bit Line Selector,BLS)和源线选通(Source Line Selector,SLS)的偏置电压为 0V。在擦除期间,由于共用 P 阱,未选定的 MAT2 层的字线将被保留,就像在 MAT1 中未选定的块一样。这样,就可以避免擦除 MAT2 中的块。

表 3.3 MAT1 和 MAT2 层 NAND 存储器串的偏置条件

BL_n		读取	写入	擦除
		$V_{PRE} (0.5 \sim 1V)$	$0/V_{DD}$	浮空
选择第一层	BLS1	V_{PASS}	V_{DD}	浮空
	选择 WL1	V_{READ}	V_{PROG}	0V
	未选择 WL1	V_{PASS}	$V_{PASSPGM}$	0V
未选择的第二层	SLS1	V_{PASS}	0V	浮空
	BLS2	0V	0V	浮空
	WL2	浮空	浮空	浮空
	SLS2	0V	0V	浮空
SL		0V	V_{DD}	浮空
P 阱		0V	0V	18~20V

MAT1 和 MAT2 是独立制备的;因此,存储单元的阈值电压分布可能会有所不同。图 3.19 显示了在单个写入脉冲 $\Delta ISPP1$ 之后发生的情况,形成了两个不同的分布:DMAT1 和 DMAT2。在这种情况下,传统的 ISPP 会降低写入的速度。事实上,ISPP 算法的起始电压 $V_{STARTPGM}$ 是由最快单元决定的,它位于阈值电压分布的最右边。因此,由于 WTOT 的扩大,需要更多的写入脉冲。

增加 ISPP 步骤的数量意味着降低写入的速度。建议的解决方案^[15]是为每个 MAT 层

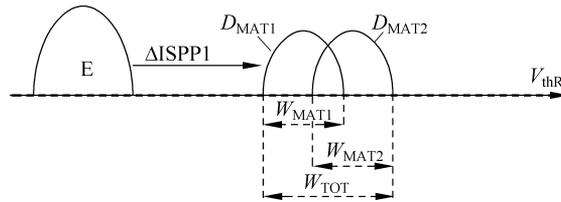


图 3.19 在一个 ISPP 步骤之后, MAT1 和 MAT2 分布

提供一个专用的写入模式。根据所处理的 MAT 层,正确选择写入参数如 V_{PGMSTART} 、 ΔISPP 和 ISPP 步骤的最大数量,如图 3.20 所示。

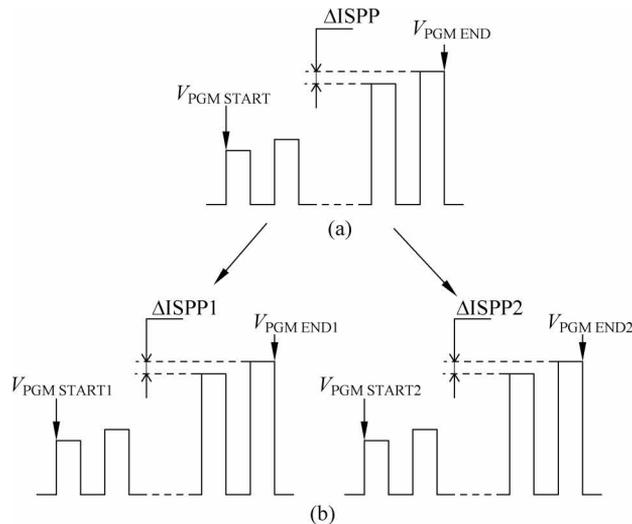


图 3.20 (a)常规和(b)逐层补偿 ISPP 算法

一个专用的控制方案也可以用于擦除:这是由于 P 阱在相同的擦除电压下,不同层的字线的电压会有轻微的不同。值得强调的是,由于这两个行译码器,可以随机地删除两个块,每个 MAT 层各一个。

接下来的 4 章将详细介绍以下各项的 3D 架构细节:3D 电荷俘获器件、3D 浮栅器件、3D 先进架构和 3D 垂直通道。每一章都提供了许多俯视图和横截面图,有助于读者理解这些 Flash 新技术的 3D 含义。

参考文献

- [1] Campardo G, Micheloni R, Novosel D. VLSI-Design of Non-Volatile Memories [M]. Berlin: Springer, 2005.
- [2] Lee S, et al., A 128Gb 2b/cell NAND flash memory in 14nm technology with $t_{\text{prog}} = 640\mu\text{s}$ and 800MB/s I/O Rate[C]. 2016 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, San Francisco, USA, Feb 2016; 138-139.
- [3] Chan N, Beug F, Knoefler R, et al. Metal control gate for sub-30nm floating gate NAND memory [C]. Proceedings of 9th NVMTS, Nov 2008; 82-85.

- [4] Micheloni R, Crippa L, Marelli A. Inside NAND Flash Memories, Chap. 6 [M]. Berlin: Springer, 2010.
- [5] Suh K D, et al. A 3.3V 32Mb NAND flash memory with incremental step pulse programming scheme[J]. IEEE Journal of Solid-State Circuit, 1995, 30(11): 1149-1156.
- [6] Iwata Y, et al. A 35ns cycle time 3.3V only 32Mb NAND flash EEPROM[J]. IEEE Journal of Solid-State Circuits, 1995, 30 (11): 1157-1164.
- [7] Kim J K, et al. A 120mm 64Mb NAND Flash memory achieving 180ns/Byte effective program speed [J]. IEEE Journal of Solid-State Circuits, 1997, 32(5), 670-680.
- [8] Micheloni R, Crippa L, Marelli A. Inside NAND Flash Memories, Chap.12 [M]. Berlin: Springer, 2010.
- [9] Micheloni R, Crippa L, Marelli A. Inside NAND Flash Memories[M]. Berlin: Springer, 2010.
- [10] Mizuno T, et al. Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's[J]. IEEE Transaction Electron Devices, 1994, 41 (11): 2216-2221.
- [11] Kurata H, et al. , The impact of random telegraph signals on the scaling of multilevel Flash memories[C]. Symposium on VLSI Technology, 2006.
- [12] Compagnoni C M, et al. Ultimate accuracy for the NAND Flash program algorithm due to the electron injection statistics[J]. IEEE Transaction Electron Devices, 2008, 55(10): 2695-2702.
- [13] Jung S M, et al. Three dimensionally stacked NAND Flash memory technology using stacking single crystal Si layers on ILD and TANOS structure for beyond 30nm node [C]. IEDM Technical Digest, 2006.
- [14] Lai E K, et al. A multi-layer stackable thin-film transistor (TFT) NAND-type Flash memory[C]. IEDM Technical Digest, 2006.
- [15] Park K T, et al. A fully performance compatible 45nm 4-Gigabit three dimensional double-stacked multi-level NAND Flash memory with shared bit-line structure[J]. IEEE Journal of Solid-State Circuits, 2009, 44(1): 208-216.
- [16] Micheloni R, et al. A 4Gb 2b/cell NAND Flash memory with embedded 5b BCH ECC for 36MB/s system read throughput[C]. 2006 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, 2006: 497-506.