

第3章

逻辑门电路

本章主要学习实现各种逻辑运算的逻辑门电路。首先学习半导体器件的开关特性及其门电路,然后重点学习 TTL 门电路和 MOS 门电路的工作原理、逻辑功能、电气特性及主要参数等。学完本章后,读者能够使用集成门电路设计简单数字电路解决实际问题。

3.1 学习要求

本章各知识点的学习要求如表 3.1.1 所示。

表 3.1.1 第 3 章学习要求

知 识 点		学 习 要 求		
		熟练掌握	正确理解	一般了解
电子开关	数字电路中逻辑值与电子开关			√
	理想开关特性		√	
二极管开关特性及其门电路	二极管伏安特性、静态开关特性		√	
	二极管的动态开关特性			√
	二极管与门、非门		√	
三极管开关特性及其门电路	三极管工作状态的判断方法、静态开关特性	√		
	三极管的动态开关特性			√
	三极管非门、DTL 与非门		√	
TTL 逻辑门电路	内部结构和工作原理		√	
	TTL 与非门的电压传输特性、静态输入和输出特性	√		
	TTL 与非门的动态特性		√	
	OC 门、三态门	√		
	TTL 集成逻辑门			√
MOS 逻辑门电路	MOS 管工作原理、开关特性		√	
	NMOS 非门、与非门、或非门		√	
	CMOS 非门结构和工作原理		√	
	CMOS 电压传输特性、输出特性	√		
	CMOS 保护电路、动态特性		√	
	CMOS OD 门、三态门、传输门	√		
集成逻辑门电路的应用	TTL 与 CMOS 门的性能比较			√
	TTL 与 CMOS 器件的接口问题	√		
	两种有效电平及两种逻辑符号		√	

3.2 要点归纳

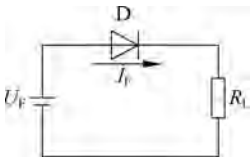
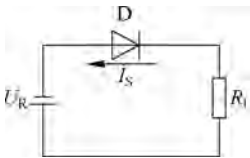
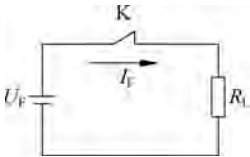
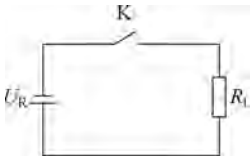
3.2.1 半导体器件的开关特性

1. 二极管的开关特性

1) 二极管静态开关特性

二极管静态开关特性如表 3.2.1 所示。

表 3.2.1 二极管静态开关特性

工作状态	导 通	截 止
条件	外加正向电压,且电压值大于死区电压	外加反向电压,或加正向电压但电压值小于死区电压
电路形式		
等效电路		
特点	等效电阻很小,如忽略正向压降,相当于开关闭合	等效电阻很大,如忽略反向电流 I_S ,相当于开关断开

2) 二极管动态开关特性

由于二极管的 PN 结具有等效电容,二极管的通断转换伴随着电容的充放电,需要一定的时间。二极管从截止转换为导通所需的时间称为开通时间 t_{on} ; 从导通转换为截止所需的时间称为关断时间 t_{off} ,通常也称为反向恢复时间 t_{re} 。

开通时间 t_{on} 形成的原因: PN 结反向截止电流消失、PN 结达到动态平衡、PN 结正向导通并形成稳定的电荷分布和稳定的正向电流所需要的时间。

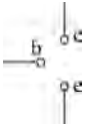
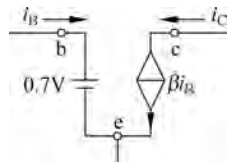
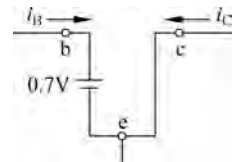
反向恢复时间 t_{re} 形成的原因: 二极管的存储电荷消散所需要的时间。

2. 三极管的开关特性

1) 三极管静态开关特性

三极管静态开关特性如表 3.2.2 所示。

表 3.2.2 三极管静态开关特性(以 NPN 型硅管为例)

工作状态		截止	放大	饱和
条件		$i_B \approx 0$	$0 < i_B < I_{BS}$	$i_B > I_{BS}$
工作特点	偏置情况	发射结电压 $u_{BE} < 0.5V$, 集电结反偏	发射结正偏且 $u_{BE} > 0.5V$, 集电结反偏	发射结正偏且 $u_{BE} > 0.5V$, 集电结正偏
	集电极电流	$i_C \approx 0$	$i_C = \beta i_B$	$i_C = I_{CS} \approx V_{CC}/R_C$
	管压降	$u_{CE} = V_{CC}$	$u_{CE} = V_{CC} - i_C R_C$	$u_{CE} = U_{CES} \approx 0.3V$
	近似等效电路			
	c、e 间等效电阻	很大, 约为数百 $k\Omega$, 相当于开关断开	可变	很小, 约为数百 Ω , 相当于开关闭合

2) 三极管动态开关特性

三极管从截止到饱和或者从饱和到截止两种状态之间相互转换时, 其内部电荷有消散和建立的过程, 即动态特性。三极管开关时间的主要参数:

(1) 延迟时间 t_d ——从输入信号 u_I 正跳变的瞬间开始, 到集电极电流 i_C 上升到 $0.1I_{CS}$ 所需的时间。

(2) 上升时间 t_r ——集电极电流 i_C 从 $0.1I_{CS}$ 上升到 $0.9I_{CS}$ 所需的时间。

(3) 存储时间 t_s ——从输入信号 u_I 下跳变的瞬间开始, 到集电极电流 i_C 下降到 $0.9I_{CS}$ 所需的时间。

(4) 下降时间 t_f ——集电极电流从 $0.9I_{CS}$ 下降到 $0.1I_{CS}$ 所需的时间。

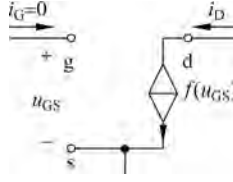
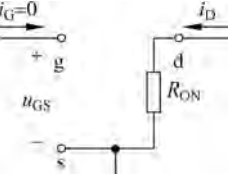
其中, t_d 和 t_r 之和称为开通时间 t_{on} , 即 $t_{on} = t_d + t_r$; t_s 和 t_f 之和称为关闭时间 t_{off} , 即 $t_{off} = t_s + t_f$ 。

3. 场效应管的开关特性

1) 场效应管静态开关特性

场效应管静态开关特性如表 3.2.3 所示。

表 3.2.3 场效应管静态开关特性(以 NMOS 管为例)

工作状态(工作区)		截止区	饱和区(恒流区)	可变电阻区
电压判断条件		$u_{GS} < U_T$	$u_{GS} \geq U_T, u_{GD} \leq U_T$	$u_{GS} \geq U_T, u_{GD} > U_T$
工作特点	沟道情况	漏极、源极间无导电沟道	漏极、源极间有导电沟道,且沟道有夹断	漏极、源极间有导电沟道,且沟道无夹断
	电流情况(源极电流 i_G ,漏极电流 i_D)	$i_G = 0, i_D \approx 0$	$i_G = 0, i_D = f(u_{GS})$	$i_G = 0, i_D > 0$
	d、s 间电阻	∞	很大	很小
	近似等效电路			
	d、s 间开关作用	相当于开关断开		相当于开关闭合

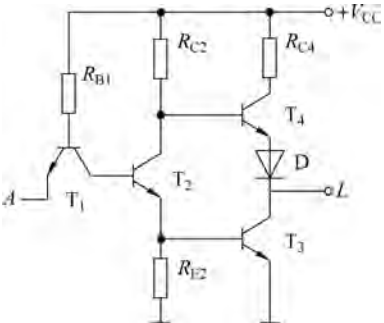
2) 场效应管动态开关特性

由于 MOS 管极间电容、杂散电容和导通电阻的存在,状态转换要受电容充放电的影响。MOS 管电容上电压不能突变是造成输入或输出电压传输滞后的主要原因。另外,由于 MOS 管的导通电阻比三极管的饱和导通电阻要大得多,漏极电阻也比三极管集电极电阻大,所以,MOS 管的充、放电时间较长,使 MOS 管的开关速度比三极管的开关速度低,即其动态性能较差。

3.2.2 TTL 门电路

表 3.2.4 列出了常用的 TTL 门。

表 3.2.4 TTL 门

种 类	电 路	逻辑符号
非门		

续表

种 类	电 路	逻辑符号
与非门		
或非门		
OC 门		
三态门		

3.2.3 MOS 门电路

MOS 门电路有 NMOS 门和 CMOS 门两大类。

1. NMOS 门

NMOS 门的结构及原理见表 3.2.5, 其逻辑符号与同种类的 TTL 门的逻辑符号相同。

表 3.2.5 NMOS 门

种 类	电 路	结构特点及逻辑符号
NMOS 非门		当输入 u_I 为高电平 8V 时, T_1、T_2 导通。因为两管的导通电阻 $R_{DS1} \ll R_{DS2}$, 所以输出电压为 $u_O = \frac{R_{DS1}}{R_{DS1} + R_{DS2}} V_{DD} \leq 1V$ 输出为低电平。当输入 u_I 为低电平 ($\leq 1V$) 时, T_1 截止, T_2 导通 (开启点)。则 $u_O = V_{DD} - U_T = 8V$, 输出为高电平。 逻辑符号参见表 3.2.4
NMOS 与非门		所有管子均为 NMOS 管。输入变量个数 = 工作管 (T_1、T_2) 个数; 所有工作管 (T_1、T_2) 共用一个负载管 (T_3)。
NMOS 或非门		工作管相串, 则输入变量相与; 工作管相并, 则输入变量相或。 逻辑符号参见表 3.2.4

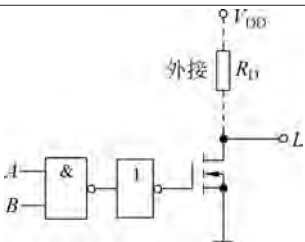
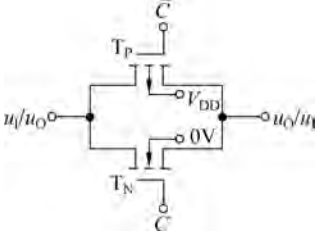
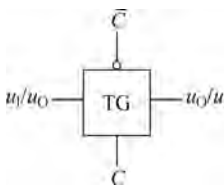
2. CMOS 门

表 3.2.6 列出了常用的 CMOS 门,其逻辑符号与同种类的 TTL 门的逻辑符号相同。

表 3.2.6 CMOS 门

种 类	电 路	结构特点及逻辑符号
CMOS 非门		当输入 $u_I = 0V$ 时, T_N 截止, T_P 导通, $u_O \approx V_{DD}$, 输出为高电平; 当输入 $u_I = V_{DD}$ 时, T_N 导通, T_P 截止, $u_O \approx 0V$, 输出为低电平。 逻辑符号参见表 3.2.4
CMOS 与非门		由 NMOS 管与 PMOS 管互补而成。 输入变量个数=工作管个数(T_{N1} 、 T_{N2}); 工作管(T_{N1} 、 T_{N2})与负载管(T_{P1} 、 T_{P2})一一对应。
CMOS 或非门		工作管是 NMOS 管, 负载管是 PMOS 管, 且接法不同(工作管之间相串, 则负载管之间相并; 反之亦然)。 工作管相串, 则输入变量相与; 工作管相并, 则输入变量相或。 逻辑符号参见表 3.2.4
CMOS 三态门		该电路是低电平有效的三态非门, 其逻辑符号如下:

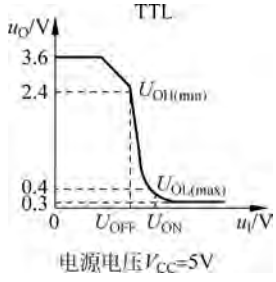
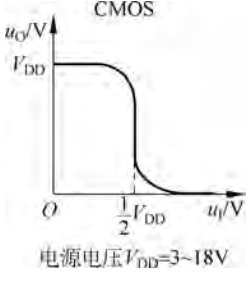
续表

种 类	电 路	结构特点及逻辑符号
CMOS OD 门		逻辑符号与 OC 门的逻辑符号相同；其使用方法与 OC 门相似
CMOS 传输门		 传输门是 CMOS 特有的门电路

3.2.4 TTL 逻辑门与 CMOS 逻辑门的性能比较

TTL 逻辑门与 CMOS 逻辑门的性能比较参见表 3.2.7。

表 3.2.7 TTL 逻辑门与 CMOS 逻辑门的性能比较

电压传输特性	参 数 名 称	TTL	CMOS
	输出高电平 U_{OH}/V	3.6	V_{DD}
	输出低电平 U_{OL}/V	0.3	0
	输出高电平的最小值 $U_{OH(min)}/V$	2.4	$0.9V_{DD}$
	输出低电平的最大值 $U_{OL(max)}/V$	0.4	$0.01V_{DD}$
	关门电平 U_{OFF}/V	0.8	$0.45V_{DD}$
	开门电平 U_{ON}/V	2.0	$0.55V_{DD}$
	阈值电压 U_{TH}/V	1.4	$V_{DD}/2$
	低电平噪声容限 U_{NL}/V	0.4	$30\%V_{DD}$
	高电平噪声容限 U_{NH}/V	0.4	$30\%V_{DD}$
	输入低电平电流 I_{IL}/mA	1.6	0.001
	输入高电平电流 $I_{IH}/\mu A$	40	0.1
	输出低电平电流 I_{OL}/mA	16	0.51
	输出高电平电流 I_{OH}/mA	0.4	0.51
	扇出系数/个	约 10	约 50
	传输延迟时间 t_{pd}/ns	9.5	45
	功耗(每门) P_D/mW	10	0.005

3.2.5 TTL 与 CMOS 器件之间的接口问题

TTL 和 CMOS 电路的高、低电平和输入、输出电流参数各不相同,因而在混合使用 TTL 和 CMOS 两种器件时,就存在一个接口问题。

TTL 门驱动 CMOS 门或 CMOS 门驱动 TTL 门时,驱动门必须要为负载门提供符合要求的高、低电平和足够的输入电流,即要满足下列条件:

$$\text{驱动门的 } U_{OH(\min)} \geq \text{负载门的 } U_{IH(\min)};$$

$$\text{驱动门的 } U_{OL(\max)} \leq \text{负载门的 } U_{IL(\max)};$$

$$\text{驱动门的 } I_{OH(\max)} \geq \text{负载门的 } I_{IH(\text{总})};$$

$$\text{驱动门的 } I_{OL(\max)} \geq \text{负载门的 } I_{IL(\text{总})}。$$

3.2.6 多余输入端的处理

对于 TTL 门电路,如果输入端悬空,从理论上讲相当于接高电平,不影响逻辑关系。但在实际应用中,悬空的输入端容易引入干扰信号,造成逻辑错误,应当尽量避免悬空。

对于 MOS 门电路,由于 MOS 管具有很高的输入阻抗,更容易接收干扰信号,在外界有静电干扰时,还会在悬空的输入端积累起高电压,造成栅极击穿。所以,MOS 门电路的多余输入端是绝对不允许悬空的。

多余输入端的处理应以不改变电路逻辑关系及稳定可靠为原则,通常采用下列方法:

- (1) 对于与非门及与门,多余输入端应接高电平,也可以与使用的输入端并联使用;
- (2) 对于或非门及或门,多余输入端应接低电平,也可以与使用的输入端并联使用。

3.3 难点释疑

1. 如何判断三极管工作在截止、放大还是饱和状态?

答:三极管构成的开关电路及三极管输出特性曲线如图 3.3.1 所示。以硅管为例,三极管工作在截止、放大、饱和状态的电流、电压和管压降等参数值如表 3.3.1 所示。

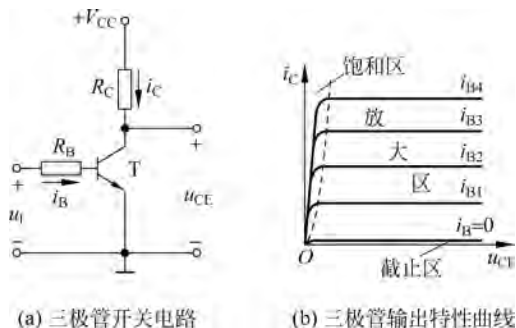


图 3.3.1 三极管开关电路

表 3.3.1 三极管开关电路工作特点

工作状态	截止	放大	饱和
基极电流 i_B	$i_B \approx 0$	$0 < i_B < I_{BS}$	$i_B > I_{BS}$
集电极电流 i_C	$i_C \approx 0$	$i_C = \beta i_B$	$i_C = I_{CS} \approx V_{CC}/R_C$
偏置电压	发射结电压 $u_{BE} < 0.5V$, 集电结反偏	发射结正偏且 $u_{BE} > 0.5V$, 集电结反偏	发射结正偏且 $u_{BE} > 0.5V$, 集电结正偏
管压降	$u_{CE} = V_{CC}$	$u_{CE} = V_{CC} - i_C R_C$	$u_{CE} = U_{CES} \approx 0.3V$
开关状态	开关断开		开关闭合

由表 3.3.1 可见,判断三极管处于何种工作状态,可以采用如下两种方法:

(1) 电流法。三极管工作在截止状态的条件是 $u_I < 0.5V$ (因 u_I 较小且 $u_{CE} = V_{CC}$, 所以集电结反偏)。若 $u_I > 0.7V$, 三极管处于放大或饱和状态, 发射结的导通压降 $U_{BE} = 0.7V$, 可计算 I_{BS} 或 I_{CS} , 然后比较 i_B 与 I_{BS} 的大小或者比较 i_C 与 I_{CS} 的大小, 由此可判断三极管的状态。

(2) 电压法。若 $u_I > 0.7V$, 也可以采用电压法判断三极管是处于放大还是饱和状态。假设三极管处于放大工作状态, 则可求出电流 i_B 、 i_C , 由此求得 u_{CE} 及三极管的偏置情况, 通过 u_{CE} 或偏置情况亦可判断三极管的状态。若 $u_{CE} > U_{BE}$ (集电结反偏), 则三极管处于放大状态, 若 $u_{CE} < U_{BE}$ (集电结正偏), 则三极管处于饱和状态。

2. 如何判断 NMOS 管工作在截止区、饱和区还是可变电阻区?

答: 以增强型 NMOS 管为例, 其构成的开关电路及输出特性曲线如图 3.3.2 所示, U_T 为开启电压。作为开关使用, 希望输出高电平尽可能接近 V_{DD} , 低电平尽可能接近零, 以满足开关状态“闭合”和“断开”的要求。

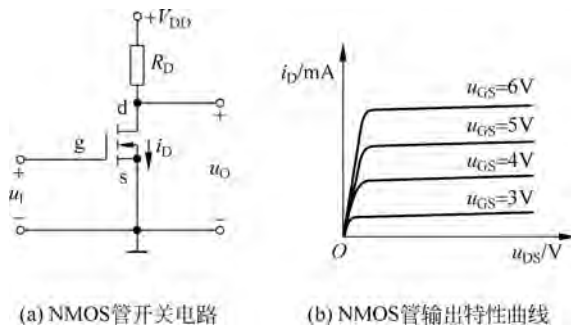


图 3.3.2 MOS 管开关电路

表 3.3.2 为增强型 NMOS 管开关电路的工作特点, 由表可知, 判断 NMOS 管处于哪个工作区域, 可以通过判断和计算 u_{GS} 、 u_{GD} 或 u_{DS} 大小去实现。

(1) 若 $u_{GS} < U_T$, NMOS 管工作在截止区, d、s 之间相当于一个断开的开关, 此时器件无功率损耗, $u_O = V_{DD}$, 即输出为高电平。

(2) 若 $u_{GS} \geq U_T$, 且 $u_{GD} \leq U_T$, 即 $u_{DS} \geq u_{GS} - U_T$, NMOS 管工作在饱和区。由输出特性曲线可知, i_D 不随 u_{DS} 变化, 随着 u_{GS} 的增大, u_O 随之下降, 并取值在 $0 \sim V_{DD}$ 。

表 3.3.2 增强型 NMOS 管开关电路工作特点

工作状态(工作区)	截止区	饱和区(恒流区)	可变电阻区
电压 u_{GS} 、 u_{GD} 或 u_{DS}	$u_{GS} < U_T$	$u_{GS} \geq U_T, u_{GD} \leq U_T$ 或 $u_{DS} \geq u_{GS} - U_T$	$u_{GS} \geq U_T, u_{GD} > U_T$ 或 $u_{DS} < u_{GS} - U_T$
电流 i_G 、 i_D	$i_G = 0, i_D \approx 0$	$i_G = 0, i_D = f(u_{GS})$	$i_G = 0, i_D > 0$
开关	开关断开		开关闭合

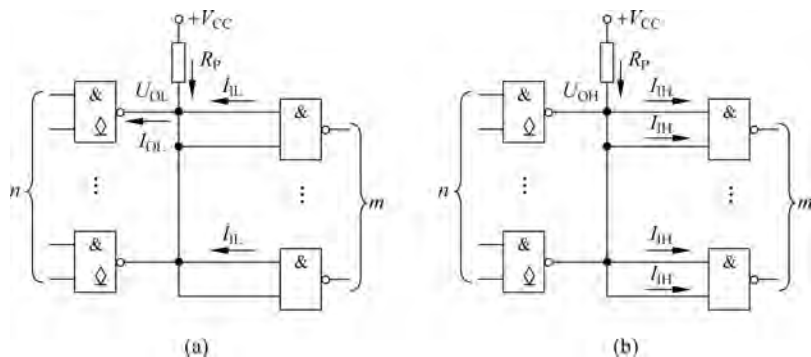
(3) 若 $u_{GS} \geq U_T$, 且 $u_{GD} > U_T$, 即 $u_{DS} < u_{GS} - U_T$, NMOS 管工作在可变电阻区。由输出特性曲线可知, u_{GS} 越大, 输出特性曲线越倾斜, 即 NMOS 的等效电阻越小, 此时 MOS 管的 d、s 之间相当于一个闭合的开关, 当 u_{GS} 足够大时, 使得 R_D 远大于 d、s 之间的等效电阻时, $u_O \approx 0$, 即输出为低电平。

3. OC 门驱动 TTL 门时, 如何选择 R_P ? 若负载门分别为与非门和或非门时, 如何计算 TTL 门的总输入电流?

答:

1) R_P 的选择

OC 门驱动 TTL 门电路如图 3.3.3 所示, 需要确定上拉电阻 R_P 的大小。 R_P 的值选择在最小值 $R_{P(\min)}$ 和最大值 $R_{P(\max)}$ 之间。若要求电路速度快, 选择 R_P 的值接近 $R_{P(\min)}$; 若要求电路功耗小, 选择 R_P 的值接近 $R_{P(\max)}$ 。

图 3.3.3 外接上拉电阻 R_P 的选择

$R_{P(\min)}$ 的计算为

$$R_{P(\min)} = \frac{V_{CC} - U_{OL(\max)}}{I_{OL} - mI_{IL}}$$

式中, $U_{OL(\max)}$ 是 OC 门输出低电平的上限值, I_{OL} 是 OC 门输出低电平电流, I_{IL} 是负载门的输入低电平电流, m 是负载门的个数。

$R_{P(\max)}$ 的计算为

$$R_{P(\max)} = \frac{V_{CC} - U_{OH(\min)}}{m'I_{IH}}$$

式中, $U_{OH(\min)}$ 是 OC 门输出高电平的下限值, I_{IH} 是负载门的输入高电平电流, m' 是负

载门输入端的个数。

2) TTL 门的总输入电流计算

计算负载门的总输入电流时,负载门为与非门和或非门的总输入电流是不一样的,要弄清楚这个问题,就需对与非门和或非门的输入级电路结构有所了解。以两输入端为例,如图 3.3.4 和图 3.3.5 所示,与非门的输入级由一个多发射极三极管构成,每个发射极为一个输入端,而或非门的输入级由两个独立的三极管构成。

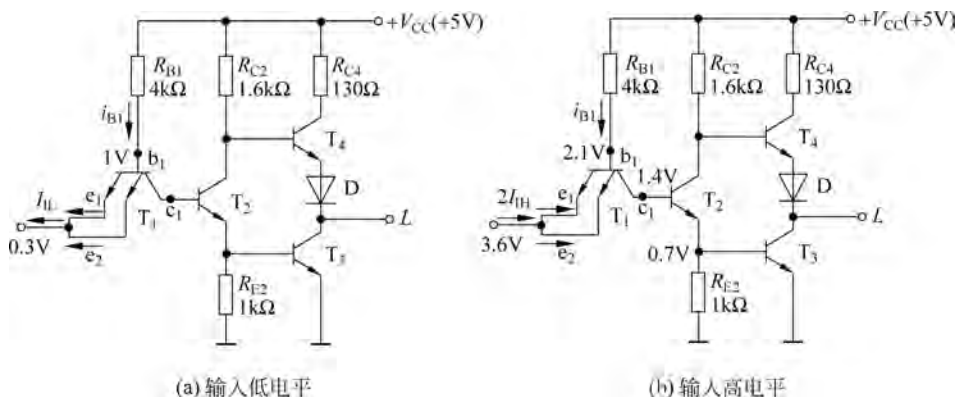


图 3.3.4 与非门电路

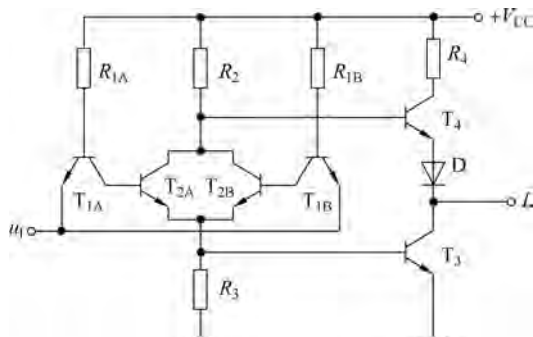


图 3.3.5 或非门电路

(1) 负载门为与非门。

由图 3.3.4(a)可见,当输入 u_1 接低电平 0.3V 时, T_1 的发射结导通,其基极电压为 $U_{B1} = 0.3 + 0.7 = 1V$,该电压作用于 T_1 的集电结和 T_2 、 T_3 的发射结上, T_2 、 T_3 不可能导通,所以 T_1 的集电极电流为零,由此可得 $I_{IL} = 1mA$ 。

观察可知,无论一个与非门有几个输入端并联在一起,总的低电平输入电流都等于一个输入端接低电平的电流 I_{IL} 。因此,对于图 3.3.3 所示的电路,负载门均为与非门且总数为 m ,总的低电平输入电流等于 mI_{IL} 。

当输入 u_1 接高电平 3.6V 时,如图 3.3.4(b)所示,此时 $U_{B1} = 3 \times 0.7 = 2.1V$, T_2 、 T_3 饱和导通, T_1 的发射结反向偏置,而集电结正向偏置, e_1 、 b_1 、 c_1 和 e_2 、 b_1 、 c_1 分别构成了两个倒置状态的三极管,所以总输入电流等于各个输入端电流之和。因此,对于图 3.3.3

所示的电路,负载门均为与非门,输入端总数为 m' ,总的高电平输入电流等于 $m'I_{IH}$ 。

(2) 负载门为或非门。

由图 3.3.5 可知,因或非门输入级由独立的三极管构成,所以无论输入端接高电平还是低电平,总输入电流等于各个输入端电流之和。

综上可知,计算负载门输入端的总输入电流时,低电平的总输入电流与高电平的总输入电流是不一样的,不仅取决于负载门的个数及其输入端的个数,还与负载门的类型相关,原因在于与非门和或非门的输入级电路结构是不同的。

4. 如何判断 TTL 门和 CMOS 门的输入端通过电阻接地时的逻辑电平?

答:以二输入端的与非门电路为例,如图 3.3.6 所示。

(1) 若图 3.3.6(a)、(b)两个电路均为 74LS 系列 TTL 门, $U_{IL(max)} = 0.8V$, $U_{IH(min)} = 2V$, 根据 TTL 门电路的输入端负载特性,分别计算出其关门电阻 $R_{off} \approx 0.91k\Omega$ 和开门电阻 $R_{on} \approx 1.93k\Omega$, 在图 3.3.6(a)中, $R < R_{off}$, 该输入端相当于接低电平,输出 L 为高电平。在图 3.3.6(b)中, $R > R_{on}$, 该输入端相当于接高电平,输出 $L = \bar{A}$ 。

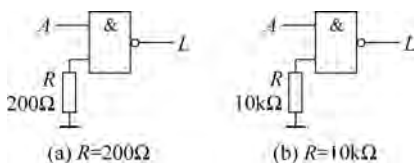
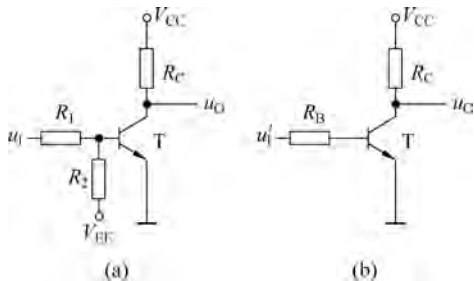


图 3.3.6 与非门电路

(2) 若图 3.3.6(a)、(b)两个电路均为 CMOS 门时,由于 CMOS 门中 MOS 管的栅极是绝缘的,栅极电路为 0,所以输入端通过电阻接地,无论电阻取何值,只要不是无穷大,输入端电位为地电位,因此图 3.3.6(a)、(b)中与非门的输出均为高电平。

3.4 重点剖析

【例 3.1】 在例图 3.1(a)所示的开关电路中,已知 $V_{CC} = 5V$, $V_{EE} = -5V$, $R_C = 1k\Omega$, $R_1 = 2.5k\Omega$, $R_2 = 10k\Omega$, 三极管的电流放大系数 $\beta = 30$, 试判断在输入为高电平 3.6V 和低电平 0.3V 时三极管的工作状态。



例图 3.1 三极管开关电路

解: 对于三极管组成的电路,读者已经熟练掌握例图 3.1(b)所示电路的参数计算方法和三极管工作状态的判断。对于更复杂的电路,可以首先利用戴维南定理将输入端电路进行等效简化,从而转换成例图 3.1(b)所示电路的形式。根据戴维南定理,等效输入电压 u'_I 为三极管 b、e 两端开路时的电压,等效电阻 R_B 等于将电压源短路后从 b 端断开

后看进去的电阻,于是可得

$$u'_1 = \frac{R_2}{R_1 + R_2} u_1 + \frac{R_1}{R_1 + R_2} V_{EE} = 0.8u_1 - 1V$$

$$R_B = R_1 // R_2 = 2k\Omega$$

当 $u_1 = 3.6V$ 时, $u'_1 = 1.88V$, 基极电流为

$$i_B = \frac{u'_1 - U_{BE}}{R_B} = \frac{1.88 - 0.7}{2} = 0.59mA$$

临界饱和和基极电流为

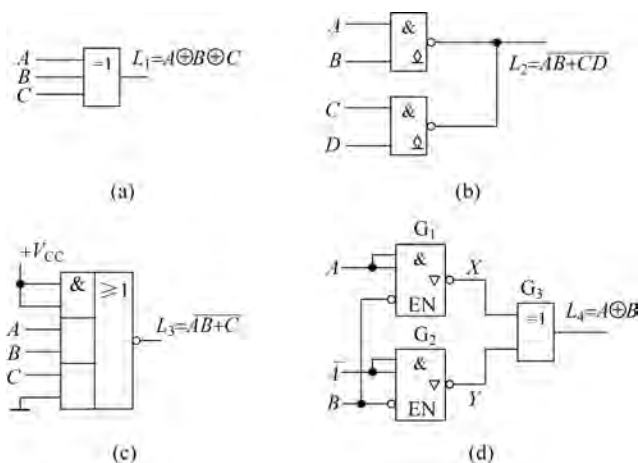
$$I_{BS} = \frac{V_{CC} - U_{CES}}{\beta R_C} = \frac{5 - 0.3}{30 \times 1} \approx 0.16mA$$

可见, $i_B > I_{BS}$, 因此三极管处于饱和状态。

当 $u_1 = 0.3V$ 时, $u'_1 = -0.76V$, 三极管处于截止状态。

注: 该题主要考查三极管工作状态的判断方法,同时需要注意分析复杂电路时常使用戴维南定理、叠加原理等经典电路分析方法。

【例 3.2】 要实现例图 3.2-1 中 TTL 电路所要求的逻辑关系,请问各电路的接法是否正确? 若不正确,请予改正。



例图 3.2-1

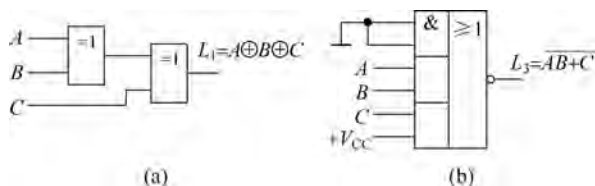
解: 例图 3.2-1(a)错误,异或关系只限于两个变量。正确的电路见例图 3.2-2(a)。

例图 3.2-1(b)错误。正确的电路应在输出端与电源电压 V_{CC} 之间接上拉电阻(图略)。此时电路实现线与非的逻辑关系: $L_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$ 。

例图 3.2-1(c)错误,图中电路的实际逻辑关系为 $L_3 = 1 \cdot 1 + AB + C \cdot 0 = 0$ 。要实现 $L_3 = \overline{AB + C}$, 对应正确的电路见例图 3.2-2(b), 图中 $L_3 = 0 \cdot 0 + AB + C \cdot 1 = \overline{AB + C}$ 。

例图 3.2-1(d)正确。当 $B = 0$ 时, G_2 输出高阻态,对于 G_3 来说,相当于输入高电平。同时 G_1 处于正常工作状态, $X = \overline{A}$, 异或门输出 $L_4 = \overline{X} = A$ 。当 $B = 1$ 时, G_1 输出高阻

态,相当于给 G_3 输入高电平。同时 G_2 处于正常工作状态, $Y = \overline{\overline{A}} = A$, 异或门输出 $L_4 = \overline{Y} = \overline{A}$ 。综合两种情况,得 $L_4 = A\overline{B} + \overline{A}B = A \oplus B$ 。



例图 3.2-2

* **特别提示:** 异或和同或是数字电路中常见的逻辑关系。其逻辑表达式如下:

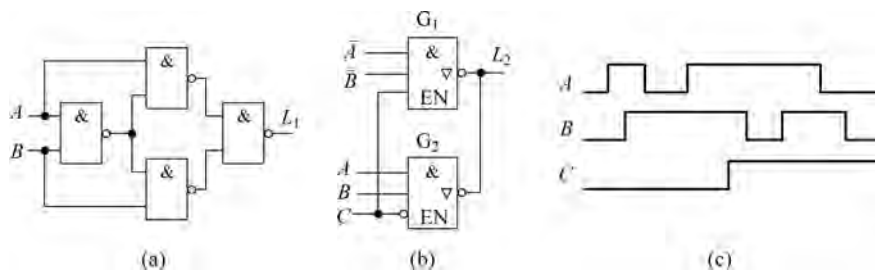
$$\text{异或 } L = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B$$

当 $A=0$ 时, $L=B$ 。当 $A=1$ 时, $L=\overline{B}$ 。

$$\text{同或 } L = \overline{A} \cdot \overline{B} + A \cdot B = \overline{A \oplus B}$$

当 $A=0$ 时, $L=\overline{B}$ 。当 $A=1$ 时, $L=B$ 。

【例 3.3】 逻辑电路及输入波形如例图 3.3-1 所示,试对应输入信号画出输出 L_1 、 L_2 的波形。



例图 3.3-1

解: 例图 3.3-1(a)中: $L_1 = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}} = A \oplus B$ 。

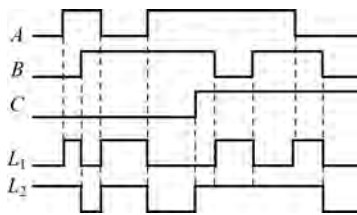
例图 3.3-1(b)中: 当 $C=0$ 时, G_1 输出高阻态,相当于输出开路,不会影响 L_2 。同时 G_2 处于正常工作状态,输出 L_2 由它来决定: $L_2 = \overline{AB}$; 当 $C=1$ 时, G_2 输出高阻态,同时 G_1 处于正常工作状态,输出 L_2 由 G_1 决定: $L_2 = \overline{\overline{A} \cdot \overline{B}} = A + B$ 。

根据以上分析,对应输入信号画出输出 L_1 、 L_2 的波形如例图 3.3-2 所示。

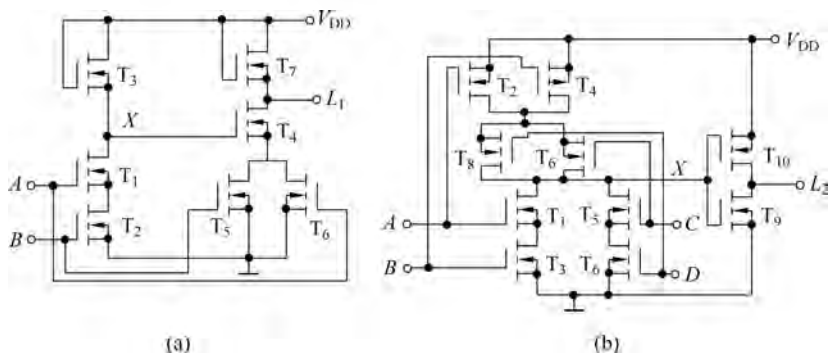
* **特别提示:** 画组合逻辑电路的工作波形时要注意:

首先分析电路的逻辑关系,写出表达式。然后依据表达式体现的逻辑关系分段(根据输入信号的变化来分段)画出波形。

【例 3.4】 MOS 逻辑门如例图 3.4 所示,试分别写出输出 L_1 、 L_2 的逻辑表达式。



例图 3.3-2



例图 3.4

解：例图 3.4(a)：NMOS 逻辑门，由两级电路构成。 $T_1 \sim T_3$ 构成第一级，输出 $X = \overline{AB}$ ； $T_4 \sim T_7$ 构成第二级，其输出 $L_1 = \overline{(A+B)X} = \overline{(A+B)\overline{AB}} = \overline{A\overline{B} + AB} = A \odot B$ 。

例图 3.4(b)：CMOS 逻辑门，由两级电路组成。 $T_1 \sim T_8$ 构成第一级，其输出 $X = \overline{AB+CD}$ ； T_9, T_{10} 构成第二级，其输出 $L_2 = \overline{X} = AB+CD$ 。

*** 特别提示：**(1) 注意 MOS 逻辑门的结构特点，见表 3.2.5 和表 3.2.6。

(2) 根据 MOS 逻辑门电路的组成规律可以直接写出相应的逻辑表达式，要点如下：

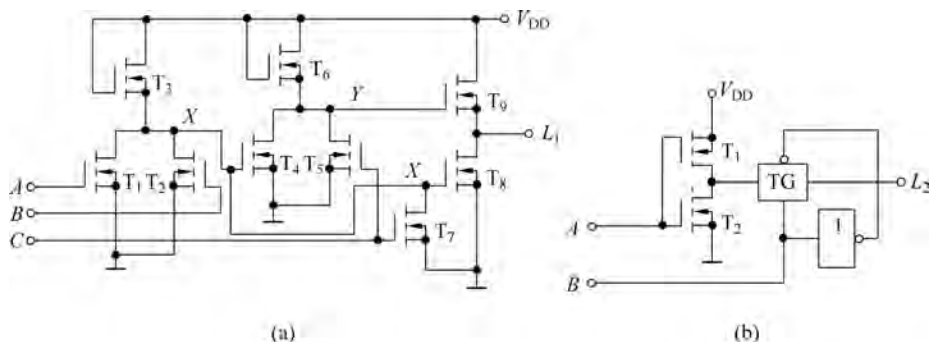
① 工作管相串，则输入变量相与；工作管相并，则输入变量相或。

② 串、并(与、或)之后转换为输出，要在原逻辑关系的基础上取非。

③ 以上运作仅限于单级电路。对于多级逻辑门，要先划分各级电路，再按照上述方法由前至后逐级分析。

(3) 若由逻辑图比较复杂，不易直接写出逻辑表达式，也可以先由逻辑图写出真值表，然后由真值表求得逻辑表达式。

【例 3.5】 MOS 逻辑门电路如例图 3.5 所示，试分别列出体现两电路输出与输入逻辑关系的真值表。



例图 3.5

解：例图 3.5(a)：NMOS 三态逻辑门，其中 C 为控制端， A, B 为数据输入端。当 $C=0$ 时， T_5, T_7 截止，可视为开路，此时的电路由三级组成，第一级： $T_1 \sim T_3$ 构成或非

门,输出 $X = \overline{A+B}$; 第二级: T_4 、 T_6 构成非门,输出 $Y = \overline{X}$; 第三级由 T_8 、 T_9 构成,当 $X=0$ 时, $Y=1$, T_8 截止、 T_9 导通, L_1 输出高电平。当 $X=1$ 时, $Y=0$, T_8 导通、 T_9 截止, L_1 输出低电平,可见 $L_1 = \overline{X} = A+B$ 。当 $C=1$ 时, T_5 、 T_7 都导通, X 、 Y 均为低电平, T_8 、 T_9 都截止,输出 L_1 呈高阻态。可见电路为低电平有效的三态或门,其真值表见例表 3.5(a)。

例图 3.5(b): CMOS 三态逻辑门,电路由非门及传输门组成。其中 B 为控制端, A 为数据输入端。当 $B=0$ 时,传输门内部的管子截止,相当于开关断开,输出 L_2 端呈高阻态。当 $B=1$ 时,传输门内部的管子导通,相当于开关闭合, $L_2 = \overline{A}$,可见电路为高电平有效的三态非门,其真值表见例表 3.5(b)。

例表 3.5(a)

C	A	B	L_1
0	0	0	0
	0	1	1
	1	0	1
	1	1	1
1	×		高阻

例表 3.5(b)

B	A	L_2
1	0	1
	1	0
0	×	高阻

【例 3.6】 试判断能否使用 74HC04 中的一个非门驱动 8 个 74LS 系列非门? 已知 HC 系列门电路的参数: $I_{OL} = 4\text{mA}$, $I_{OH} = 4\text{mA}$, $U_{OL(\max)} = 0.33\text{V}$, $U_{OH(\min)} = 3.84\text{V}$; 74LS 系列门电路的参数: $I_{IL} = 0.4\text{mA}$, $I_{IH} = 0.02\text{mA}$, $U_{IL(\max)} = 0.8\text{V}$, $U_{IH(\min)} = 2\text{V}$ 。

(1) 根据已知条件可以判断, HC 系列门与 74LS 系列门电路的逻辑电平是匹配的, 即驱动门与负载门满足下列关系式:

$$U_{OH(\min)} \geq U_{IH(\min)}$$

$$U_{OL(\max)} \leq U_{IL(\max)}$$

(2) 驱动门输出低电平时, 根据已知条件可以判断: $I_{OL} = 4\text{mA}$, 负载门的总输入电流为 $8 \times I_{IL} = 3.2\text{mA} < I_{OL}$; $I_{OH} = 4\text{mA}$, 负载门的总输入电流为 $8 \times I_{IH} = 0.16\text{mA} < I_{OH}$ 。由此可见, 驱动门与负载门满足电流匹配关系。

因此, 可以使用 74HC04 中的一个非门驱动 8 个 74LS 系列非门。

3.5 同步自测

3.5.1 同步自测题

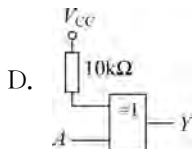
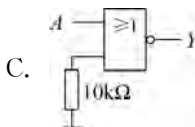
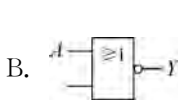
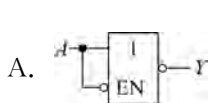
一、填空题

1. 数字电路中, 晶体管一般工作在_____状态。
2. 数字电路中, 三极管的开关状态是指三极管分别工作在_____和_____状态。

3. 若三极管工作在饱和区,则发射结_____,集电结_____。
4. TTL 逻辑门电路中,输入级采用多发射极三极管可以实现_____逻辑功能。
5. TTL 与非门的两个状态通常称为关门状态和开门状态,当输入有低电平时,对应的是_____状态;当输入全为高电平时,对应的是_____状态。
6. 电路的噪声容限_____,其抗干扰能力越强。
7. 三态门能够输出的三种工作状态是_____,_____和_____。
8. 在 TTL 类电路中,输入端悬空相当于接_____;在 MOS 门电路中,输入端是否可以悬空?_____。
9. 与门的多余输入端可_____;或门的多余输入端可_____。
10. CMOS 门电路中,若电源电压 $V_{DD} = 10V$,则输出低电平电压值近似为_____,输出高电平电压值近似为_____。

二、选择题

1. TTL 门电路中,可以实现线与功能的门是()。
 - A. 与非门
 - B. OC 门
 - C. 三态门
 - D. 异或门
2. 不属于 CMOS 逻辑电路优点的说法是()。
 - A. 输出高低电平理想
 - B. 电源适用范围宽
 - C. 抗干扰能力强
 - D. 电流驱动能力强
3. 当()时,增强型 NMOS 管相当于开关闭合。
 - A. $u_{GS} \geq U_T, u_{GD} > U_T$
 - B. $u_{GS} \geq U_T, u_{GD} \leq U_T$
 - C. $u_{GS} < U_T, u_{GD} > U_T$
 - D. $u_{GS} < U_T, u_{GD} \leq U_T$
4. 已知 A、B、C、D 图中的门均为 TTL 门电路,则能实现 $Y = \bar{A}$ 逻辑功能的是()。



5. 已知某门电路的输入 A、B 和输出 L 的波形图如图 3.5.1 所示,由此可判断该门的类型为()。
 - A. 与非门
 - B. 或非门
 - C. 异或门
 - D. 同或门

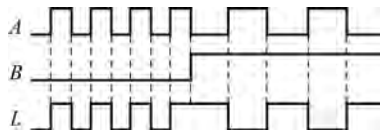


图 3.5.1

三、分析计算题

1. 已知某逻辑门的参数为 $I_{OH} = 1mA$, $I_{OL} = 20mA$, $I_{IH} = 20\mu A$, $I_{IL} = 1.5mA$,试求

该种逻辑门的扇出系数。

2. 已知 TTL 门电路(输出低电平为 0.3V , 高电平为 3.6V)如图 3.5.2 所示, 若输入 A 分别接 0.3V 和 3.6V 电压, 分别用电压表测试门电路中的电压值, 则电压表 V_1 和 V_2 的指示数分别是多少?

3. 由 TTL 与非门、发光二极管 LED 和电阻 R 构成的逻辑测试笔电路如图 3.5.3 所示, 该逻辑测试笔可用于检查 TTL 逻辑电路的逻辑值。已知 LED 正向导通时的电流是 10mA , 导通压降为 1.7V 。

- (1) 计算电阻 R 的阻值;
- (2) 说明电阻 R 和与非门的作用。

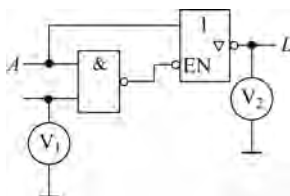


图 3.5.2

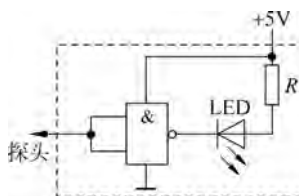


图 3.5.3

4. 电路如图 3.5.4(a)所示, G_1 、 G_2 均为 TTL 门电路, 加在输入端的波形如图 3.5.4(b)所示, 画出输出 L 的波形。

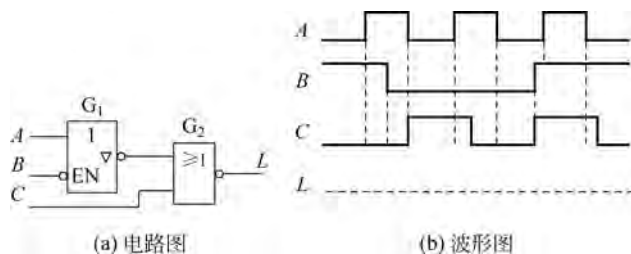


图 3.5.4

5. 由传输门和非门构成的电路及输入波形如图 3.5.5(a)、(b)所示, 试画出输出 L 的波形并说明该电路实现的逻辑功能。

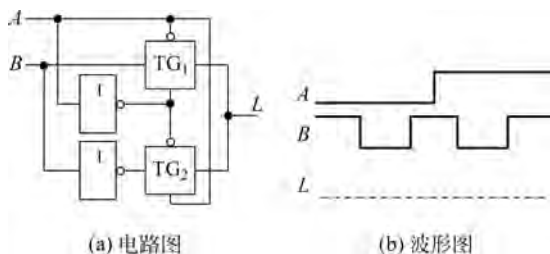


图 3.5.5

3.5.2 同步自测题参考答案

一、填空题

1. 开关
2. 饱和,截止
3. 正偏,正偏
4. 与
5. 关门,开门
6. 越大
7. 高电平,低电平,高阻态
8. 高电平,不可以
9. 接高电平或与使用的输入端并联,接低电平或与使用的输入端并联
10. 0V,10V

二、选择题

1~5 B、D、A、D、C

三、分析计算题

1. 解: 由给定参数可求得 $N_{OH}=50, N_{OL}=13$, 取两者最小者, 即 $N_O=13$ 。
2. 解: A 接 0.3V 时, $V_1: 0.3V, V_2: 0V$; A 接 3.6V 时, $V_1: 1.4V, V_2: 0.3V$ 。
3. 解: (1) $R=0.3k\Omega$; (2) 电阻 R 的作用是限流。与非门的作用: 一是隔离, 使测试电路(虚框内)向被测试电路灌入电流小于 1.6mA; 二是逻辑指示, 当探头接高电平时, 与非门输出为低电平, LED 导通, 发光, 表明检测到高电平, 反之, 与非门输出高电平, LED 截止, 不发光, 表明检测到低电平。
4. 解: 当输入控制端 $B=1$ 时, G_1 输出为高阻态, 对 G_2 来说相当于输入高电平, 因此 G_2 的输出 $L=0$; 当 $B=0$ 时, G_1 输出为 $\bar{A}$, 因此 $L=\overline{\bar{A}+C}=AC$ 。根据上述分析, 画出电路输出 L 的波形图, 如图 3.5.6 所示。
5. 解: 输入 A 作为传输门的控制信号, 当 $A=0$ 时, 传输门 TG_1 导通, TG_2 断开, $L=B$; 当 $A=1$ 时, 传输门 TG_1 断开, TG_2 导通, $L=\bar{B}$ 。因此可知, $L=\bar{A}B + A\bar{B} = A \oplus B$, 该电路实现异或功能, 其波形图如图 3.5.7 所示。

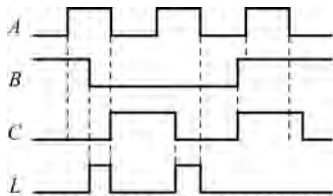


图 3.5.6

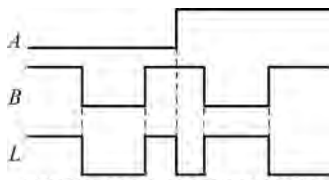


图 3.5.7

3.6 习题解答

3.1 在数字电路中,三极管工作在截止和饱和状态,工作在截止状态时相当于开关的断开,工作在饱和状态时相当于开关的闭合,这是三极管的静态开关特性。在数字信

号的作用下,三极管要在截止和饱和状态之间转换。而在状态转换时,其内部电荷有一个“消散”和“建立”的过程,需要一定的转换时间,由此体现的特性即为三极管的动态开关特性。

三极管的开通时间取决于管子的发射结反偏电压(截止状态)和正向基极驱动电流。发射结反偏电压越小,正向基极驱动电流越大,开通时间越短。三极管的关断时间取决于管子基区中的超量存储电荷和反向基极电流。超量存储电荷越少,反向基极电流越大,关断时间越短。

要提高三极管的开关速度,可采用特殊材料及工艺减小三极管的开关时间;可采取措施限制三极管的饱和深度、增大基极的瞬间电流。

3.2 (a)放大状态, $u_O = 7V$; (b)饱和状态, $u_O = U_{CES} \approx 0.3V$; (c)截止状态, $U_{CE} \approx V_{CC} = 12V$; (d)截止状态, $U_{CE} \approx V_{CC} = 12V$; (e)饱和状态, $u_O = U_{CES} \approx 0.3V$ 。

3.3 三极管饱和的电流条件: $I_B > I_{BS}$; 电压条件: 发射结正偏且正偏电压大于死区电压,集电结正偏。 $R_B \downarrow, \beta \uparrow$ 能使未达到饱和的三极管饱和。

3.4 (a) $L_1 = AB + C$; (b) $L_2 = \bar{A}$; (c) $L_3 = \overline{AB}$; (d) $L_4 = \overline{A + B}$

3.5 TTL 与非门的输入端接地、接低于 $0.8V$ 的电源、接同类与非门的输出低电压 $0.3V$ 时,输入电压均低于其关门电平 U_{OFF} ($U_{OFF} = 0.8V$),因此门的输出电压均高于其输出高电平的最小值 $U_{OH(min)}$ ($U_{OH(min)} = 2.4V$),属于高电平,所以以上三种输入的接法都属于逻辑 0。当输入端通过 200Ω 的电阻接地时,见解图 3.5。由电路分析得

$$U_1 = \frac{R}{R + R_{b1}} (V_{CC} - 0.7) = \frac{0.2}{0.2 + 4} (5 - 0.7) \approx 0.2V$$

可见,输入电压小于关门电平,所以此种输入的接法也属于逻辑 0。

3.6 TTL 与非门的输入端悬空时,对应 T_1 管的发射结不通, V_{CC} 使 T_2 、 T_3 管饱和导通,输出低电平,所以此时相当于输入逻辑 1。TTL 与非门的输入端接高于 $2V$ 的电源、接同类与非门的输出高电压 $3.6V$ 时,输入电压均高于其开门电平 U_{ON} ($U_{ON} = 2V$),因此门的输出电压均低于其输出低电平的最大值 $U_{OL(max)}$ ($U_{OL(max)} = 0.4V$),输出为低电平。所以以上两种输入的接法都属于逻辑 1。输入端接 $10k\Omega$ 的电阻到地时,见解图 3.5。

$$U_1 = \frac{R}{R + R_{b1}} (V_{CC} - 0.7) = \frac{10}{10 + 4} (5 - 0.7) \approx 3.1V$$

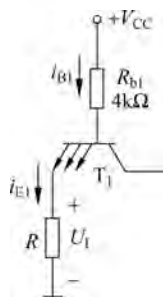
可见,输入电压高于开门电平,所以此种输入的接法也属于逻辑 1。但要注意的是,在这种输入的作用下,会使 $U_{B1} = 2.1V$,而 R 的存在致使 T_1 的发射结也是导通的,所以输入电压 U_1 最终被钳位在 $1.4V$ 上。

3.7 输出低电平时的扇出系数: $N_{OL} = 10$ 。输出高电平时的扇出系数: $N_{OH} = 20$ 。取两者中的较小值作为门电路的扇出系数,用 N_O 表示: $N_O = 10$ 。

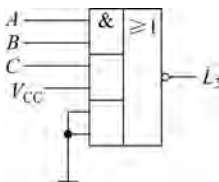
3.8 $L = \overline{AB + A + B} = A \oplus B$ 。

3.9 (a)有错误,应将图中的逻辑门改为 OC 门。(b)正确。(c)有错误,正确的连接请见解图 3.9。

3.10 (1) $B = 0.3V$, G_1 处于工作状态,电压表读数: $3.6V$; K 打开, G_2 输入端悬空相当于高电平,输出电压: $u_O = 0.3V$ 。(2) $B = 0.3V$, G_1 处于工作状态,电压表读数: $3.6V$;



解图 3.5

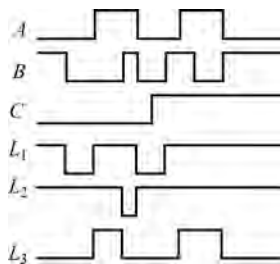


解图 3.9

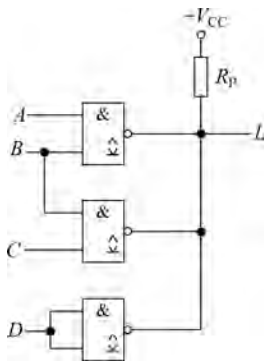
K 闭合, G_2 输入高电平, 输出电压: $u_O = 0.3V$ 。(3) $B = 3.6V$, G_1 处于高阻态, 又知 K 打开, 则电压表读数: $0V$; G_2 输入端悬空相当于高电平, 输出电压: $u_O = 0.3V$ 。(4) $B = 3.6V$, G_1 处于高阻态, 又知 K 闭合, 此时 G_2 输入端的情况如解图 3.5 所示, 其输入电压: $U_1 = \frac{100}{4+100}(5-0.7) \approx 4.1V$, 输出电压: $u_O = 0.3V$; 而由于 G_2 门中的 $U_{B1} = 2.1V$, U_1 被钳位在 $1.4V$, 所以电压表读数为 $1.4V$ 。

3.11 题图 3.11(a): $L_1 = A + B$ 。题图 3.11(b): $L_2 = \overline{AB} + C$ 。题图 3.11(c): 当 $C = 0$ 时, $L_3 = \overline{AB}$; 当 $C = 1$ 时, $L_3 = A$ 。各电路的输出波形如解图 3.11 所示。

3.12 用 OC 门实现逻辑函数 $F = \overline{AB} \cdot \overline{BC} \cdot \overline{D}$ 的逻辑电路如解图 3.12 所示。



解图 3.11



解图 3.12

3.13 解答见解表 3.13。

解表 3.13

门电路的名称	输出逻辑表达式	$ABCD = 1001$ 时, 各输出函数值
同或门	$L_1 = \overline{A \oplus C} = AC + \overline{AC}$	$L_1 = 0$
与或非门	$L_2 = \overline{AD + BC}$	$L_2 = 0$
OC 门	$L_3 = \overline{AD} \cdot \overline{AC}$	$L_3 = 0$
三态与非门	$L_4 = \overline{ABB} + \overline{ADB}$	$L_4 = 1$

3.14 $L_1 = \overline{A(B+C) + AC + D}, L_2 = \overline{\overline{A(B+C) + D}}$

3.15 $L_1 = \overline{\overline{A+B}}, L_2 = \overline{A+BC}$

3.16 题图 3.16(a)的真值表如解表 3.16(a)所示；题图 3.16(b)的真值表如解表 3.16(b)所示。

解表 3.16(a)

C	A	B	L_1
1	0	0	1
	0	1	0
	1	0	0
	1	1	0
0	×		高阻

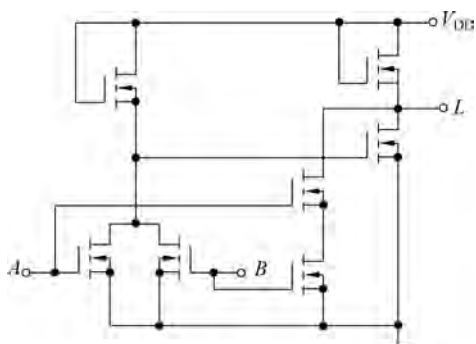
解表 3.16(b)

B	A	L_2
0	0	0
	1	1
1	×	高阻

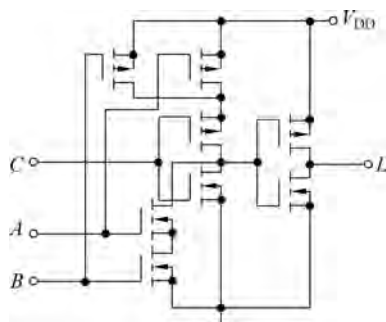
3.17 NMOS 异或门电路的逻辑电路如解图 3.17 所示。

3.18 实现逻辑关系 $L = AB + C$ 的 CMOS 逻辑电路如解图 3.18 所示。

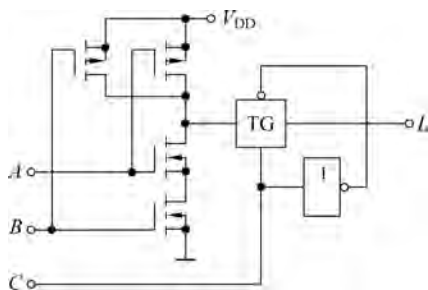
3.19 CMOS 三态输出的两输入端与非门电路见解图 3.19,真值表见解表 3.19。



解图 3.17



解图 3.18



解图 3.19

解表 3.19

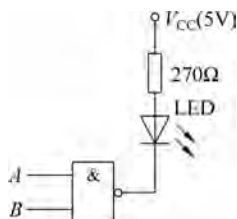
C	A	B	L
1	0	0	1
	0	1	1
	1	0	1
	1	1	0
0	×		高阻

3.20 在输入 S_1 、 S_0 各种取值下的输出 Y 见解表 3.20。

解表 3.20

输 入		输 出
S_1	S_0	Y
0	0	$Y = \overline{D}_N$
0	1	$Y = \overline{D}_P$
1	0	$Y = \overline{D}_M$
1	1	$Y = \overline{D}_M$

3.21 电路如解图 3.21 所示。发光二极管支路中的限流电阻阻值： $R = \frac{(5-2-0.3)V}{10\text{mA}} = 270\Omega$ 。



解图 3.21

3.22 当 $U_{OH} = 4.7\text{V}$ 时, $I_B = \frac{4.7-0.7}{20} = 0.2\text{mA}$

$$I_{BS} = \frac{V_{CC}}{R_C \beta} = \frac{5}{2 \times 30} \approx 0.08\text{mA}$$

因为 $I_B > I_{BS}$, 所以三极管饱和, $u_O \approx 0.3\text{V}$, 能够为 TTL 门提供合适的输入低电平。

当 $U_{OL} = 0.1\text{V}$ 时, 因电压小于发射结的死区电压, 所以三极管截止, $u_O = V_{CC} - R_C \times 4I_{IH} = 4.68\text{V}$ ($I_{IH} = 40\mu\text{A}$)。

可见, 能够为 TTL 门提供合适的输入高电平。由以上分析知, 接口参数选择合理。

3.7 自评与反思