第5章

CHAPTER 5

电子系统电路设计

从信息的角度来说,电子系统是为了完成信息的获取、传输、处理、存储、显示和应用的 硬件和软件的集合。电子系统种类繁多、形式多样,小到一个温度自动控制系统,大到载人 航天系统,不同种类和规模的电子系统其设计方法也不尽相同,本书选择几个特定的电子系 统介绍电子系统电路设计的一般方法和步骤。



5.1 水声探测系统电路设计

本书的水声探测系统是声呐(SOund NAvigation and Ranging, SONAR)的一种具体形式。声呐是利用声波对目标进行探测、定位、通信甚至分类和成像的电子设备,也称为"水下 雷达"。声呐和雷达的一个显著区别:声呐用声波进行信息的获取,而雷达用电磁波进行信 息的获取。这是因为电磁波在水中的穿透能力有限,传播几十到几百米即无法实现检测,而 声波在水中衰减较小,可以传播得很远。声呐按其工作时是否发射声波分为主动声呐和被 动声呐,按功能可分为探测声呐、通信声呐和成像声呐(合成孔径声呐)等。

一种水声探测系统(简称"声呐")的组成框图如图 5.1.1 所示,其基本工作过程:①发 射机在信号处理机的控制下向水声换能器组成的基阵输出脉冲信号;②水声换能器将电脉 冲信号转换为声波信号辐射到水中;③声波信号被水中目标反射后返回水声换能器;④换 能器将返回声信号转换为电信号并送给接收机;⑤接收机将接收到的微弱电信号进行放 大、滤波和 A/D转换然后送给信号处理机;⑥信号处理机根据发射信号和接收信号计算出 目标所在方位和距离,然后送给显示与控制台;⑦显示控制台将目标方位和距离显示在显 示屏上,同时工作人员也可通过显示控制台录取目标信息或主动干预声呐工作过程。



1. 目标距离的测量原理

主动声呐在工作时,换能器将电脉冲信号转换为脉冲声波(也有发射连续波的)辐射出

第5章 电子系统电路设计 ▮▶ 85

去,辐射的声波被目标反射回来后又被换能器感知 并转换为电脉冲,比较发射信号和回波信号之间的 时间差,即可测量目标和声呐之间的距离,如 图 5.1.2所示。

发射信号和回波之间的时间差记为 t_r ,在 t_r 时间间隔内声波从换能器出发到达目标又返回换能器,是双程,所以声波从换能器出发传播到目标的时间间隔是 $t_r/2$,声波在水中的传播速度记为c(约为1500m/s),目标距离记为R,假设R远大于换能器尺寸,根据距离计算公式可得



2. 目标角度的测量原理

目标角度测量的原理是利用发射声波的指向性(利用某种方法让声波在特定方向上形成波束,详见后续波束形成原理)以及声波在水中按直线传播(实际上在传播距离较远或海水密度不均匀时按曲线传播)的理论实现的。若在波束"照射"的方向上有目标,则会有回波出现,根据波束的指向即可判断出目标的角度方向。根据这种原理测量目标角度的测量精度与波束宽度成正比,波速越窄,测量精度越高,而波束的宽度又与工作波长、换能器的尺寸和数量等因素有关。

 $R = \frac{ct_r}{2}$

5.1.1 换能器与基阵

1. 换能器

这里的换能器是指水声换能器,是实现电声能量互换的器件。当它处于发射状态时,把 电信号能量转换为机械振动能量以辐射声波;当它处于接收状态时,把声波的机械振动能 量转换为电信号(送给接收机)。换能器的种类有很多,应用最广泛的是压电陶瓷换能器,某 型压电陶瓷换能器的外观如图 5.1.3 所示。



图 5.1.3 某型压电陶瓷换能器 的外观

水声换能器的主要技术指标:

(1)工作频率。水声换能器的工作频率需要根据声呐的 工作要求选择,也是声呐的重要技术参数。声呐的工作频率 为几百赫兹到几十千赫兹。

(2)频带宽度。在换能器的发射或接收响应曲线上,低 于最大响应 3dB 的两个频率差定义为换能器的带宽。换能 器的频带宽度必须能保证发射信号和接收信号的失真度保 持在一定的范围内。

(3)接收灵敏度。水声换能器的接收灵敏度是由单位声压(在水听器放入声场之前)的平面波产生的水听器的端电

压来衡量的。习惯上,接收灵敏度以水听器不接负载的开路响应来表示。通常,接收灵敏度 记以分贝数,参考级为1V/μPa。接收灵敏度与频率有关。

(4)发射-电流响应。换能器的发射-电流响应表示当单位电流注入换能器时,在声束图

案轴向距离 1m 处产生的声压。发射响应通常以分贝数表示,参考级为注入发射器 1A 电流时在参考距离上产生的声压。

(5) 指向性。换能器发射声场中的声压或接收到的声压随着方位不同具有一定分布, 称为换能器的指向性。它通常由指向性函数来描述。

① 发射指向性函数。换能器的电信号端加上电信号,在远离换能器的声场中,以换能器的有效声中心为球心的球面上,不同方向(α,θ)处的声压幅值 *p*(α,θ)与最大值方向上的声压幅值 *p*(α,θ)的比值称为换能器的发射指向性函数,以 *D*(α,θ)表示,即

$$D(\alpha, \theta) = \frac{p(\alpha, \theta)}{p(\alpha_0, \theta_0)}$$
(5.1.2)

式中: α 为声线在 xOy 平面上的投影与 y 轴的夹角; θ 为声线与 z 轴的夹角。

② 接收指向性函数。在平面声波的作用下,不同方向(α,θ)处的换能器电信号端输出 的电压幅值 V(α,θ)与最大值方向上的电压幅值 V(α₀,θ₀)的比值称为接收指向性函数。根 据声场的互易原理,同一换能器的接收指向性函数与发射指向性函数相同。

2. 基阵

单个换能器在很大的空间方向辐射声波,无法确定反射的声波来自哪个方向。利用若 干个换能器(称为阵元或基元)按照一定的几何形状和分布规律排列成阵列,称为基阵。基 阵的多个阵元向周围发射声波,各阵元的声波在水中传播过程中,由于相位不同,在某个方 向刚好同向叠加,那么在该方向上必然声能集中,在某些方向上由于反相,声能则互相抵消, 这样就形成了声传播的方向性,即发射波束。



图 5.1.4 是由 8 个阵元直线阵同相激励的波束 图。若 8 个阵元被同相信号激发,在基阵法线方向 上远处的某点 Q,由于距离相等(近似),8 个阵元所 产生的声波在该点同相叠加,具有最大的声压值。 偏离法线方向,由于相位不同,声压值将逐渐减小, 这样就形成了图 5.1.4 所示的方向性波束图。图 中,小圆圈表示阵元,小圆圈中心出发的箭头表示声 波辐射方向,瓜子形实线表示波束,坐标原点到实线

上的点形成的矢量方向表示相对方位,矢量的模值表示声压值的相对大小。

若将图 5.1.4 所示的基阵以 O 点为中心朝其他方向旋转,则波束指向也转向其他方向。但声呐基阵一般固定,而是采用其他方法改变波束指向,详见后续波束形成方法。

5.1.2 水声探测系统发射机组成与设计

1. 发射机的组成

某型声呐发射机的组成框图如图 5.1.5 所示,主要包含四部分:一是发射激励波形发 生器,它的功能是产生一定形式的波形信号,其工作频率、脉冲长度和重复周期都可以选择, 信号可以是单频脉冲调制波,也可以是线性调频脉冲波或其他信号波形;二是发射波束形 成器,它的作用是在全向或一个扇面空间连续发射多个波束信号,以提高目标搜索速度;三 是功率放大器,它对发射信号进行功率放大并对换能器进行阻抗匹配,以便能够以足够高的 效率向水中辐射足够的声信号能量;四是储能电源,它为功率放大器等供电。





图 5.1.5 某型声呐发射机的组成框图

2. 发射激励波形发生器设计

声呐发射机末级功放电路向负载换能器输出的常用发射波形有矩形包络单频正弦脉冲 波、矩形包络线性调频正弦脉冲波和矩形包络双曲调频正弦脉冲波三种。要产生这些发射 波形,其激励波形与发射机末级功率放大电路有关。对于 AB 类功率放大器,要求激励信号 波形与发射信号一致。对于 D 类功率放大器,要求发射激励是同频率的方波。对于可控硅 逆变器,其激励信号波形则是触发可控硅管控制极的窄脉冲。

本书设计的某型声呐发射机采用的是 AB 类功率放大器,因此发射激励波形发生器输出的波形与发射信号一致。发射激励波形发生器输出的信号可以通过由延迟线网络构成的 多波束形成器,形成多路具有固定相移的信号,送给各个功率放大器。但是,由于延迟线网 络的延时不容易精确控制,而且不容易调节,故本书利用 DDS 技术和数字延迟技术将发射 激励波形发生器和多波束形成器在 FPGA 里合二为一,形成波形、相移均可调节的声呐发 射信号。

激励波形发生、延时、转换与滤波的组成框图如图 5.1.6 所示,具体由 PC(或单片机)、 数据传输、FPGA、数/模转换器和低通滤波器等组成。

PC(或单片机)生成发射脉冲宽度、重复周期、填充信号频率、起始相位、各路信号延迟时间等参数传输给 FPGA,由 FPGA 合成矩形包络线性调频正弦脉冲并进行数字延迟,得到的各路数字信号经 D/A 转换器和低通滤波器输出。

利用 DDS 技术实现信号发生的方法参考第 4 章,本节的线性调频信号形成方法和第 4 章相同,其核心是波形存储器。波形存储器存储了一个周期的正弦波形,其地址为 12 位,共 4096 个存储单元,每个存储单元 12bit。波形存储器的地址由信号起始相位控制字、信号起始频率控制字累加的结果以及信号步进频率控制字累加的结果三方面共同生成。信号的起始频率定义为线性调频信号的低端频率,记为 f_{min} 。信号的步进频率定义为系统时钟周期内信号频率的增加量,记为 Δf 。若信号的步进频率控制字为零,则在系统时钟 CLK 的作用下,波形存储器的地址每次增加起始频率控制字,波形存储器输出等时间间隔采样的正弦波形。若信号的步进频率控制字不为零,则输出信号的瞬时频率 $f_{out} = f_{min} + n\Delta f$,其中 n为从 0 开始的时钟脉冲计数值,最大取值为 T_{CLK}/τ ,其中 T_{CLK} 为系统时钟周期, τ 为发射脉冲的宽度。信号的初相位由信号起始相位控制字决定。这样就可以形成初相位固定的单频正弦信号或线性调频正弦信号。

脉宽和重复周期计数器根据重复周期计数器的值循环计数,在脉宽时间内输出高电平, 使得步进频率累加器和相位累加器正常工作,波形存储器输出波形;否则,输出低电平使得 波形存储器的输出锁定,并且步进频率累加器和相位累加器的寄存器处于清零状态。这样 就实现了对线性调频信号的脉冲调制,形成了矩形包络线性调频正弦脉冲。





(1) 信号起始频率控制字、步进频率控制字和瞬时频率控制字的生成。

根据 DDS 的原理, DDS 输出信号的频率为

$$f_{\text{out}} = (f_{\text{CLK}} \times M) / 2^N$$

式中: f_{CLK} 为系统时钟频率; M 为瞬时频率控制字; N 为相位累加器的位宽,本书中 N=32。

假设待生成的线性调频脉冲信号的起始频率为 f_{min} ,终止频率为 f_{max} ,每个时钟脉冲的步进频率为 Δf ,假设在发射脉冲宽度时间内线性调频信号的瞬时频率从 f_{min} 线性变化 到 f_{max} 。当 n=0 时,由瞬时频率 $f_{out} = f_{min}$,可求得线性调频信号起始频率控制字为

$$M_{\rm min} = (f_0 \times 2^N) / f_{\rm CLK}$$

当 $n = T_{\text{CLK}}/\tau$ 时,由瞬时频率 $f_{\text{out}} = f_{\text{max}}$,可求得线性调频信号终止频率控制字为

$$M_{\rm max} = (f_{\rm max} \times 2^N) / f_{\rm CLK}$$

所以线性调频信号步进频率控制字为

$$M_{\Delta} = \frac{M_{\max} - M_{\min}}{T_{\text{CLK}} / \tau} = \frac{(f_{\max} - f_{\min}) \times 2^{N} / f_{\text{CLK}}}{T_{\text{CLK}} / \tau} = (f_{\max} - f_{\min}) \times 2^{N} \times \tau$$

瞬时频率控制字为

 $M = M_{\min} + nM_{\Delta}, M_{\min}, M_{\Delta}$ 和 M 均化为 32 位自然二进制数。

(2) 填充信号起始相位控制字的生成。

(3) 为了提高 DDS 的频率分辨率,图 5.1.6 中频率控制字和相位累加器的字长都取为 32 位,但是波形存储器的存储单元只有 4096 个,地址线为 12 位,因此相位累加器的输出作 为波形存储器的地址使用时被截断,只使用了高 12 位。设填充信号的起始相位控制字为 $M_{\rm p}$,其高 12 位为 $M'_{\rm p}$,DDS 输出信号的起始相位为 φ ,则有 $\varphi = 2\pi \times M'_{\rm p}/2^{12}$,由此可得 $M'_{\rm n} = \varphi \times 2^{12}/2\pi$, $M'_{\rm n}$ 后补 20 个"0"即可得到 32 位起始相位控制字 $M_{\rm p}$ 。

(4) 电路的仿真验证。

假设线性调频正弦脉冲的宽度为 1ms、重复周期为 2ms、起始相位为 0°、起始频率为 10kHz、终止频率为 30kHz,第二路信号相对于第一路信号的延迟时间为 1ms 时,Quartus II 的仿真结果如图 5.1.7 所示。其中,"clk"为系统时钟,"q1"为第一路输出信号,"q2"为第二 路输出信号。



图 5.1.7 Quartus II 的仿真结果

3. 发射波束形成器设计

发射波束形成器的实质是对同一激励信号给予不同的延时或相移,形成多路信号再馈送给不同的功率放大器(换能器),使得各个换能器发出的声波之间存在相移而在空间形成 干涉,形成特定方向的发射波束。

1) 延时量的计算

各路信号相对于基准信号的延时量 $\tau = d/c$,其中 d 为声程差,c 为水中声速。以 24 个基元组成的直径 1.08m 的圆阵为例,如果基阵中 20~4 号 9 个相邻基元发射声波,在一组

有一定延时的信号激励下,可以在基元0的方向上形成一个发射波束,9个信号之间的声程 差如图 5.1.8 所示,取 c=1450m/s 计算得到对应的延时量如表 5.1.1 所示。



图 5.1.8 24 个基元组成的圆阵及声程差

表 5.1.1 激励 9 个相邻基元的 9 个信号对应的延时量

基元号	20	21	22	23	0	1	2	3	4
声程差	d_{0}	d_1	d_{2}	d_{3}	d_4	d_{3}	d_2	d_1	d_{0}
延迟值/μs	0	77	135	172	188	172	135	77	0





2) 脉冲延迟器的实现

脉冲延迟的基本方法有计数器法、存储器法和数控延迟线法。由于延迟动态范围较大时计数器法需要的计数器数目很大,而数控延迟线法单靠 FPGA 又无法实现,因此本书采用存储器法实现脉冲延迟,其原理如图 5.1.9 所示。

系统时钟 CLK 对输入脉冲进行采样,并把采样结果存储在 FIFO 中。当写入 FIFO 的数据时间长度等于延迟值时,延迟控 制电路开始读信号输出,因此 FIFO 的深度应大于最大延时量。

输入输出切换电路可以实现两路 FIFO 无缝连接,以适应延迟值的更新。

4. D/A 转换器设计

DDS 输出寄存器或脉冲延迟器输出的信号为并行数字信号,如图 5.1.6 所示,需要利用 D/A 转换器转换为模拟信号。

1) D/A 转换器的输出类型

(1)电流输出型。电流输出型 D/A 转换器输出的电流和输入信号成比例,要想得到和 输入信号成比例的电压,还需要外接电路将电流转换为电压。有两种方法:一是只在输出 引脚上接负载电阻而进行电流-电压转换;二是外接运算放大器进行电流-电压转换。用负 载电阻进行电流-电压转换的方法,虽然可以在电流输出引脚上出现电压,但是必须在规定 的输出电压范围内使用,而且输出阻抗高,因此电流输出型 D/A 转换器一般外接运算放大 器使用。此外,大部分 CMOS 的 D/A 转换器当输出电压不为零时不能正确动作,也必须外 接运算放大器使用。当外接运算放大器进行电流-电压转换时,由于在 D/A 转换器的电流 建立时间上加入了运算放大器的延迟,使得响应变慢。此外,这种电路中运算放大器因输出 引脚的内部电容而容易产生振荡,有时需要做相位补偿。

(2)电压输出型。电压输出型 D/A 转换器在内部集成了输出放大器,因而不会产生放 大器部分的延迟,故常作为高速 D/A 转换器使用。但电压型输出电流小,只能接高输入阻 抗的设备。电流输出型 D/A 转换器输出电流大,而且线性度好。

2) D/A 转换器的分辨率、精度与线性度

D/A 转换器的分辨率是指 D/A 转换器模拟输出所能产生的最小变化量。分辨率与输入数字量的位数有确定的关系,可以表示成 $\frac{V_{REF}}{2^n}$,其中 V_{REF} 为参考电压,n 为 D/A 转换器的位数。对于 5V 的满量程,采用 8 位的 D/A 转换器时,分辨率为 5V/256=19.5mV;当采用 12 位的 D/A 转换器时,分辨率为 5V/4096=1.22mV。显然,位数越多,分辨率就越高。

D/A转换器的转换精度分为绝对精度和相对精度。绝对精度(简称精度)是指在整个刻度范围内,任一输入数码所对应的模拟量实际输出值与理论值之间的最大误差。绝对精度是由 D/A转换器的增益误差(当输入数码为全1时,实际输出值与理想输出值之差)、零点误差(数码输入为全0时,D/A转换器的非零输出值)、非线性误差和噪声等引起的。绝对精度(最大误差)应小于1个LSB。相对精度用最大误差相对于满刻度的百分比表示。

线性度有积分非线性(INL)和微分非线性(DNL)两个指标。积分非线性指的是 D/A 转换器整体的非线性程度。微分非线性指的是 D/A 转换器局部(细节)的非线性程度。非 线性一般以百分比给出,或者以若干 LSB 给出。

3) D/A 转换器的建立时间和转换速率

D/A转换器的建立时间是指输入的数字量发生满刻度变化时,输出模拟信号达到满刻 度值的±1/2LSB所需的时间。D/A转换器的建立时间是描述 D/A转换速率的一个动态 指标。电流输出型 D/A转换器的建立时间一般较短。电压输出型 D/A转换器的建立时间 主要取决于运算放大器的响应时间。建立时间越短,转换速率越高,根据建立时间的长短, 可以将 D/A转换器分成超高速(<1μs)、高速(10~1μs)、中速(100~10μs)、低速(≥ 100μs)几档。

4) D/A 转换器的选型

D/A 转换器的生产厂家主要有 ADI、TI 和 BB 等公司,选择时需要根据具体应用场景 决定,可以登录厂家的官方网站筛选。例如,登录 ADI 公司的官方网站,依次单击"产品" "数模转换器"可以看到 ADI 公司的 D/A 转换器分类,如图 5.1.10 所示。ADI 公司首先将 D/A 转换器分为数字电位器、集成式/特殊用途数模转换器、精密 DAC 和高速数模转换器 四种类型。

数字电位器也称数控可编程电阻器,是一种代替传统机械电位器(模拟电位器)的新型 CMOS数字、模拟混合信号处理的集成电路。数字电位器由数字输入控制,产生一个模拟 量的输出。依据数字电位器的不同,抽头电流最大值可以从几百微安到几毫安。数字电位 器采用数控方式调节电阻值,具有使用灵活、调节精度高、无触点、低噪声、不易污损、抗振 动、抗干扰、体积小、寿命长等优点,可在许多领域取代机械电位器。从用途来看,这一类型 不属于常规的 D/A 转换器。

集成式/特殊用途数模转换器类型下又有若干子类型,例如 ADC 和 DAC 组合、正交数 字上变频器(QDUC)、混合信号前端(MxFE)和直接数字频率合成器(DDS)等,显然这一类

92 利 电子系统设计与实习



图 5.1.10 ADI 公司的 D/A 转换器分类

型也不属于常规的 D/A 转换器。

顾名思义,精密 DAC 的转换精度相对较高,高速 D/A 转换器的转换速率较高,二者可能 不能兼得,高速 D/A 转换器类型下的快速精密 D/A 转换器则兼顾了转换精度和转换速率。

本书设计的水下探测系统工作频率在几千赫至几十千赫,显然不属于高速 D/A 转换器,因此主要考虑精密 DAC 这一类型。观察精密 DAC 类型下的子类型,需要考虑使用场 景是电压输出还是电流输出、单通道输出还是多通道输出、并行接口输入还是串行接口输入 以及是否需要高压输出等。考虑到图 5.1.6 中脉冲延迟器采用并行数据输出,因此在精密 DAC 类型下选择并行接口电压输出 D/A 转换器,弹出界面如图 5.1.11 所示。可以根据 DAC 的通道数、分辨率、非线性、建立时间、价格等进行筛选。本例根据设计需要选择了 AD5725ARSZ,它是一个 4 通道、12 位分辨率、最大 1LSB 非线性误差、建立时间为 10 µs、可 双极性输出的 DAC。进一步访问可下载 AD5725 的器件使用手册(PDF 文档)。

5) AD5725 电路设计

AD5725的内部组成和引脚编号如图 5.1.12 所示,数字信号在 CS、R/W、A1、A0 引脚 控制下输入 DAC,模拟信号在 LDAC 控制下输出 DAC。

AD5725 可输出单极性信号也可输出双极性信号,输出双极性信号需要采用正、负参考 电压,厂家建议的 AD5725 参考电源电路如图 5.1.13 所示,需采用 AD588/688 芯片。

第5章 电子系统电路设计 Ⅲ▶ 93

并行招	日电压输出数模	转换器								
选择参数	全部选择 重置表档 G	最大值地波器 11 按量	18618 <i>19</i> 5 \$	£R存至 myAnalog ⊕	THREE Excel III	分享 🖬 🛛 Qui	:kTips 发送反馈			
□ * ■ ✓	产量型号	Analog.com Inventory	Channels	Resolution bits	DAC INL max LSBs	BAC DNL max LSBs	Output Range	∦ Settling Time typ sp-p	Data Input Interface	I Price (1000+) <i>¥ RMB</i>
Compare	Filter Parts		1 - 40	8 - 16	0.25 - 16	0.25 - 1	OR ● AND 33 选定值~	800n - 60u	OR AND 6 选定值~	26.5 - 495.88
	94器件	HDE	HDE	HDE	HDE	HDE	HDE	HDE	HDE	HDE
	AD5686	66	4	16	3	1	0V to 2.5V, 0V to 5V	6µ	SPI	¥94.79000 (AD5686ARUZ-RL7)
	AD5725	Check Distributor Inventory	4	12	0.5	1	$\pm 10V,\pm 5V,$ 0V to 10V, 0V to 5V	10µ	Parallel	¥88.00000 (AD5725ARSZ- 1500RL7)
	AD5378	Check Distributor Inventory	32	14	3	1	±14.5V	20µ	Parallel, SPI	
	AD5382-3	2	32	14	4	1	0V to 3.6V	Зµ	PC, Parallel, SPI	
	AD5382-5	2	32	14	4	1	0V to 5.5V	Зµ	PC, Parallel, SPI	,
	AD5379	Check Distributor Inventory	40	14	3	1	±14.5V, ±14V	20µ	Parallel, SPI	
	AD5380-3	2	40	14	4) į	0V to 3.6V	Зµ	PC, Parallel, SPI	
	AD5380-5	2	40	14	4	1	0V to 5.5V	Зμ	PC, Parallel, SPI	
	AD5381-3	6	40	12	1	1	0V to 3.6V	Зµ	PC, Parallel, SPI	¥495.86000 (AD5381BSTZ- 5-REEL)
	AD5381-5	6	40	12	1	1	0V to 5.5V	Зµ	Parallel, SPI	¥495.86000 (AD5381BSTZ- 5-REEL)
	AD5383-3	1	32	12	1	1	0V to 3.6V	Зµ	PC, Parallel, SPI	
	AD5383-5	1	32	12	1	1	0V to 5.5V	3μ	PC, Parallel, SPI	
	AD5346	16	8	8	1	0.25	1mV to 5.499V	θμ	Parallel	¥45 40000 (AD5346BRUZ)

图 5.1.11 并行接口电压输出数模转换器筛选界面



图 5.1.12 AD5725 的内部组成和引脚编号



5. 发射端滤波器设计

1) 模拟滤波器设计理论简介

随着电子计算机的普及和材料科学的进步,特别是集成芯片制造工艺的飞速发展,市场 上出现了第二代、第三代有源滤波器和开关电容滤波器,各种各样的滤波器芯片及滤波器辅 助设计软件也得以不断推出,设计人员可以选择高性能的滤波器芯片及设计软件而获得所 需要的电路性能。

在低频范围内,对滤波器特性诸如带内平坦度、带外衰减、过渡带宽度等参数有较高要求时,往往采用高阶有源滤波器。通常的有源滤波器是由运算放大器及 R、C 电路组合而成。在设计 RC 滤波器时,还要考虑谐振现象,一般说来,具有较大 R 值的 RC 滤波器是比较理想的,它不会产生明显的谐振。

理想滤波器的频率响应在通带内具有最大幅值和线性相移,而在阻带内其幅值应为零。 但是实际的滤波电路难以达到理想的要求,因此有源滤波器的设计是根据所要求的幅频和 相频响应特性,寻找可实现的有理函数进行逼近,以达到最佳的近似理想特性。常用的逼近 函数有 Butterworth 函数、Chebyshev 函数、Bessel 函数和椭圆函数等,对应的滤波器称为 Butterworth 滤波器、Chebyshev 滤波器、Bessel 滤波器和椭圆滤波器。

Butterworth 滤波器在通带内具有最平坦的幅频特性。

Chebyshev 滤波器的设计是为了在接近通带的止带产生最佳的衰减,即具有最快的滚降,但它在相位上不是线性的。也就是说,不同的频率分量到达时间不同。

Bessel 滤波器与受到广泛应用的 Butterworth 滤波器相比,具有最佳的线性响应,但是 滚降慢得多,并且较早就开始滚降。逐次增大阶次的 Bessel 滤波器能获得优良的线性相位 函数。

椭圆函数滤波器可以产生比 Butterworth、Chebyshev 或 Bessel 滤波器更陡峭的截止, 但是在通带和止带引入内容复杂的纹波,并造成高度的非线性相位响应。 2) MAX275 简介

美国 Maxim 公司开发的四阶连续时间有源滤波器芯片 MAX275 将两个二阶节(滤波器)集成在一个芯片中,最高中心频率可达 300kHz。该滤波器不需要外置电容,每个二阶节的中心频率 f_0 、Q 值、放大倍数均可由其外接电阻 $R_1 \sim R_4$ 的设计来确定。集成化后的 二阶节较之由运算放大器和 RC 电路组成的二阶节,其外接元件少、参数调节方便、不受运算放大器频响影响,对电路杂散电容也有更优的抗干扰性。图 5.1.14 方框内为 MAX275 的组成,它包括 4 个运算放大器、2 个电容和 5 个电阻,图中 $R_1 \sim R_4$ 为采用 MAX275 设计 滤波器时外接的电阻。FC 根据所要设计的滤波器的特性连接到正电源、负电源或者地时 R_X 、 R_Y 有不同的取值,具体取值如表 5.1.2 所示。



图 5.1.14 MAX275 的组成及其典型应用

表 5.1.2 FC 接法不同时	寸 R _Y / R _X 的取 值	
------------------	---	--

CONNECT FC TO	$(R_{\rm Y}/R_{\rm X})/{\rm k}\Omega$
+VS	13/52
GND	65/13
-VS	325/13

采用 MAX275 设计滤波器就是要确定外接电阻 $R_1 ~ R_4$ 的值。可以根据基尔霍夫电 流定律(KCL)、基尔霍夫电压定律(KVL)以及运算放大器的特性列写电路方程,求得滤波器的传递函数,再根据所要设计的滤波器的特性求解 $R_1 ~ R_4$ 的值。但是这样做很麻烦,一般在要求较高的场合才应用。为了方便广大的电子工程师采用 MAX275 设计滤波器, Maxim 公司开发了专门的滤波器设计软件,在 Maxim 公司的网站上下载该软件后可以按照以下步骤确定 $R_1 ~ R_4$ 的取值:

(1) 进入软件主界面后选择确定滤波器的性能子菜单,进入子界面后输入要设计的滤 波器类型、通带内最大衰减量、阻带内最小衰减量、滤波器中心频率、带宽和过渡带带宽,这 时软件会自动确定 Butterworth、Chebyshev、Bessel 和椭圆滤波器的阶数,并可以观察滤波 器的频率特性。

(2)返回主界面后进入实现滤波器子菜单,进入子界面后即可查看各节滤波器的 $R_1 \sim R_4$ 值,选择是否要进行某些优化后记录各节滤波器的 $R_1 \sim R_4$ 和 FC 的值即宣告设计结束。

3) 低通滤波器实例

Chebyshev 低通滤波器的具体电路如图 5.1.15 所示。其具体技术指标:通带宽度为

200kHz,通带内波动小于 0.1dB; 过渡带宽度为 20kHz; 阻带衰减大于 40dB。

将低通滤波器设计为 Chebyshev 滤波器的原因如下:

(1) 虽然 Butterworth 滤波器在通带内具有最平坦的幅频特性,但是相同性能的 Butterworth 滤波器与 Chebyshev 滤波器相比需要更多的阶数。

(2)相同性能的椭圆滤波器与 Chebyshev 滤波器相比可以在阻带内产生更陡峭的滚降,但 MAX275 不支持这种类型的滤波器设计。

(3) Chebyshev 滤波器在阻带内快速的滚降特性却给本书设计的滤波器带来极大的好处,图 5.1.15 中的滤波器为 12 阶,实际的工作性能优良。



图 5.1.15 低通滤波器电路实例

6. 发射端的功率放大器设计

功率放大器在国外分为 A 类、B 类、C 类、D 类、E 类等,在国内称为甲类、乙类、丙类、丁 类和戊类等。

1) 甲乙类(AB类)功率放大器

甲类、乙类和甲乙类功率放大器属于线性功率放大器,放大电路中各点电压波形是随输 入信号线性变化的。甲类功率放大器的晶体管在整个信号周期内都是导通的,失真较小,但 是效率低下。甲类功率放大器的电路及波形如图 5.1.16 所示。



图 5.1.16 甲类功率放大器的电路及波形

乙类功率放大器的晶体管只在半个信号周期内导通,效率较高,但存在交越失真。乙类 功率放大器的电路及波形如图 5.1.17 所示。

甲乙类功率放大器克服了甲类和乙类功率放大器的缺点,在水声工程领域是常用的功 率放大器。一个甲乙类功率放大器的电路如图 5.1.18 所示。

第5章 电子系统电路设计 Ⅲ▶ 97



图 5.1.18 一个甲乙类功率放大器的电路

2) 丙类(C类)功率放大器

丙类功率放大器的晶体管在信号周期的很小一段时间内导通,工作在开关状态,它只处 理正半周信号,也就是脉动直流信号。而水声信号是正、负都有的交流信号,使用丙类功率 放大器会产生严重的失真,因而在水声通信的发射端一般不使用丙类功率放大器。丙类功 率放大器的电路及波形如图 5.1.19 所示。

甲、乙、丙类功率放大器的晶体管在一个信号周期内集电极电流和导通角如图 5.1.20 所示。

3) 丁类(D类)功率放大器

丁类功率放大器一般使用在音频领域,也就是在 20Hz~20kHz 的频率范围内。在水 声工程的应用领域中,多数工程应用中采用的频率都在音频范围内,这就为丁类功率放大器 在水声领域中的应用提供了广阔的平台。丁类功率放大器的优点是能量转换效率较高,体





图 5.1.19 丙类功率放大器的电路及波形



图 5.1.20 四类功率放大器的晶体管集电极电流和导通角

积小,可靠性高,适合长时间工作。目前,国内外的水声设备多采用丁类功率放大器作为功 率放大单元。

丁类功率放大器晶体管工作在开关状态,所以在信号输入放大器之前,需要用输入信号 去调制其他波形,例如调制后产生输出脉冲宽度与输入信号幅度成正比的脉冲信号,称为脉 冲宽度调制(PWM)。

一种脉冲宽度调制电路的结构和波形如图 5.1.21 所示,载波是频率远大于调制信号的 三角波。当调制信号的幅度大于载波信号的幅度时,比较器输出高电平;否则,输出低电 平。在正半周,调制信号幅度大于载波信号的时间越长,高电平持续的时间就越长;在负半 轴,调制信号幅度小于载波信号的时间越长,低电平持续的时间就越长。





一个完整的丁类功率放大器组成框图和具体电路如图 5.1.22 所示,其由 PWM 调制器、开关放大器和低通滤波器组成。



开关放大器的作用是将低电平的脉冲信号转换为高电平的脉冲信号,这样可以提高功 率放大器的输出功率。低通滤波器的作用是从脉冲宽度调制信号中恢复出原始信号,一般 采用 LC 滤波器实现。图 5.1.22 电路中完整的信号波形如图 5.1.23 所示。



5.1.3 水声探测系统接收机组成与设计

1. 接收机在声呐中的位置

发射机利用基阵将电信号转换为声波辐射出去,声波在波束方向上遇到障碍物被反射 后原路返回基阵,基阵将接收到的声波转换为电信号送给接收机,接收机在声呐系统中的位 置如图 5.1.24 虚线框中所示。接收机一般由若干个接收通道组成,每个接收通道负责接收 一个换能器的信号(接收通道不是与换能器直接连接的,而是通过收发转换开关与换能器连 接)。



图 5.1.24 接收机在声呐系统中的位置

2. 收发转换开关

当发射机和接收机共用一个换能器(基阵)时,必须采用收发转换开关。当发射机正在 发射信号时,收发转换装置将换能器(基阵)与发射机接通,使得发射机输出的电功率绝大多 数加到换能器(基阵)上,并以声能的形式辐射到水介质中。但是,在发射机发射大功率信号 时,该信号同时进入接收机的输入端,这会造成接收机器件的损坏。因此,在发射机发射信 号时,收发转换装置要将接收机输入端可靠地短路,一旦信号发射完毕,又要使接收机输入 端转为正常工作状态,让换能器接收到的回波信号进入接收机中。一种采用无触点二极管 构成的收发转换开关电路如图 5.1.25 所示。

图 5.1.25 中共有两组反向并联的二极管,收发转换装置的任务是由它们来完成的。发



图 5.1.25 采用无触点二极管构成的收发转换开关电路

射时,当发射信号的电压大于二极管导通电压时,反向并联的二极管 D₁和 D₂ 必有一个导通,发射信号施加到换能器上。接收时换能器两端产生的电压小于二极管导通电压值时,反向并联的二极管 D₃和 D₄均不导通,接收信号进入接收机。

反向并联的二极管 D₃ 和 D₄ 另一个作用是防止发射信号造成接收机电路的阻塞现象。 阻塞现象是由于在很高的发射信号电压通过接收机输入端的隔直流电容时对该电容充电。 当发射脉冲结束后,电容器储存的电能释放需要很长一段时间。在这段时间内,这个耦合电 容的电位就会使模拟放大器的工作点发生偏移,严重时会使得模拟电路的工作点进入非线 性区(饱和区或截止区),从而造成接收机电路在这段时间内出现不能正常地将信号进行放 大、滤波的现象,它被形象地称为"阻塞"现象。当接收机的输入端接在图 5.1.25 位置时,接 收机输入端的大信号(发射信号的一部分)钳位在并联二极管的导通电压值,因此隔直电容 上的能量被限制在有限值上,这样将其能量释放到正常值的时间就可以大大缩短,从而使发 射信号引起的接收机阻塞时间减小到声呐盲区所允许的范围之内。

3. 接收通道的组成

一个典型的接收通道组成如图 5.1.26 所示,主要部件有前置低噪声放大器、自动增益 控制电路、抗混叠滤波器、固定增益放大器等。



图 5.1.26 一个典型的接收通道组成

1) 前置低噪声放大器

当声呐接收远距离目标时,信号是极其微弱的,通常在微伏数量级,需要放大,而且要求 放大器的内部噪声尽可能小,一般要求内部噪声小于 0.5μV,所以接收通道最前面的是低 噪声前置放大器。

2) 自动增益控制电路

在主动声呐中,接收机最早接收到的信号是从发射机泄露(收发转换开关不能做到完全 隔离发射机和接收机)过来的发射信号,随后还有强度极大的海面混响、体积混响和海底混 响(混响是存在于海洋中大量无规则散射体对发射信号产生的散射波,是一个无规则的随机 信号,而且距离接收机很近的散射体回波比目标回波信号还强),以后才是相对平稳的环境 噪声,目标回波信号则是叠加在这些混响和环境噪声之中。接收信号的波形示意如图 5.1.27 所示。接收信号经前置放大器放大后波形基本不变。该波形需要变换成如图 5.1.28 所示 的波形才适合目标信号的检测,这就需要自动增益控制电路,使接收机的增益随输入量的强 弱自动改变,使目标回波信号叠加在平稳背景上。



3) 抗混叠滤波器

目标回波信号的带宽是有限的,对声呐来说带宽外的频率分量最好去除,以利于目标信 号检测,对数字信号处理的声呐进行数据采集时还需要进行抗混叠滤波,所以综合考虑可设 置带通和低通滤波器。

4) 固定增益放大器

若滤波后的信号达不到信号采集(A/D转换器)的要求,则需要固定增益的放大器对模拟信号进行最后的放大。

4. 前置低噪声放大器设计

接收机中的低噪声放大器是一个放大微弱信号,以便接收机进一步处理的有源网络。 理想的放大器只增加期望信号的幅度,而不增加任何噪声和失真。然而,已知放大器都会在 期望的信号中增加噪声和失真。在接收通道中,接收传感器后的第一级放大器贡献了大部 分的噪声。因此,降低这一级放大器带来的系统信噪比的恶化被电子工程师关注。低噪声 放大器由输入匹配网络、放大电路和输出匹配网络组成。它主要有四个特点:一是它位于 接收机最前端,这就要求它的噪声系数越小越好。为了抑制后面各级噪声对系统的影响,还 要求有一定的增益;但为了不使后面的电路过载,产生非线性失真,它的增益又不宜过大。 二是它所接收的信号是微弱的,所以低噪声放大器必须是小信号放大器。而且由于受传输 路径的影响,信号的强弱又是变化的,在接收信号的同时又可能伴随许多强干扰信号的输 入,因此要求放大器有足够的线性范围,增益最好是可调节的。三是低噪声放大器一般与传 感器相连,放大器的输入端必须和它们很好地匹配,以达到功率最大传输或者最小的噪声系 数。四是它应具有一定的选频功能,能够抑制带外和镜像频率干扰,因此一般是频带放 大器。 早期低噪声放大器主要由分立元件(三极管和场效应管等)组成,双极型三极管输入阻抗过小,制约了三极管在水声信号放大中的应用,因而大部分水下低噪声前置放大器由场效应管组成。随着电子元器件集成度的提高,大量低噪声、一致性优异的大规模模拟集成芯片的涌现,为前置电路的低噪声和一致性实现提供了良好的条件。当前大部分前置放大器由低噪声、高输入阻抗运算放大器组成。低噪声放大器应选择具有较低电流噪声的运算放大器。由于水声换能器(或水听器)的源阻抗较高,能够胜任这项工作的主要是输入端由结型场效应管(Junction Field-Effect Transistor, JFET)组成的运算放大器。

运算放大器的选型要考虑多种技术指标,主要指标如下:

(1) 开环带宽(BW,-3dB带宽):将一个恒幅正弦小信号输入运算放大器的输入端, 在运算放大器的输出端测得开环电压增益下降 3dB(或是相当于运算放大器的直流增益的 0.707)所对应的信号频率范围。这个指标主要用于小信号处理中运算放大器的选型。

(2)单位增益带宽(GB):运算放大器的闭环增益为1倍条件下,将一个恒幅正弦小信 号输入运算放大器的输入端,从运算放大器的输出端测得闭环电压增益下降3dB(或是相当 于运算放大器输入信号的0.707)所对应的信号频率范围。单位增益带宽是一个很重要的 指标,对正弦小信号放大时,单位增益带宽等于输入信号频率与该频率下的最大增益的乘 积。换句话说,当知道要处理的信号频率和信号需要的增益以后,可以计算出单位增益带 宽,用以选择合适的运算放大器。这个指标主要用于小信号处理中运算放大器选型。

(3)增益带宽积(GBP):一般是指电压反馈运算放大器的一个特征参数,定义为在某频率下测量的开环电压增益与测量频率的乘积,其单位为 Hz。GBP 的大小可以用单位增益带宽来表示,对于电压反馈运算放大器,增益带宽积为常数。对于电流反馈运算放大器, 增益带宽积并无多大意义,因为在电流反馈运算放大器中增益和带宽之间不存在线性关系。

(4) 全功率带宽(BW): 在额定的负载时,运算放大器的闭环增益为1倍条件下,将一个恒幅正弦大信号输入运算放大器的输入端,使运算放大器输出幅度达到最大(允许一定失 真)的信号频率。这个频率受到运算放大器转换速率的限制。近似地,全功率带宽=转换速 率/(2πV_{op}),其中V_{op} 为运算放大器的峰值输出幅度。全功率带宽是一个很重要的指标,用 于大信号处理中运算放大器选型。

(5)转换速率(SR,也称为压摆率):运算放大器接成闭环条件下,将一个大信号(含阶 跃信号)输入到运算放大器的输入端,从运算放大器的输出端测得运算放大器的输出上升速 率。由于在转换期间运算放大器的输入级处于开关状态,所以运算放大器的反馈回路不起 作用,也就是转换速率与闭环增益无关。转换速率对于大信号处理是一个很重要的指标,一 般运算放大器的转换的速率 SR≪10V/µs,高速运算放大器的转换速率 SR>10V/µs。目 前,高速运算放大器最高转换速率达到 6000V/µs。这用于大信号处理中运算放大器选型。

(6)建立时间:在额定的负载时,运算放大器的闭环增益为1倍条件下,将一个阶跃大 信号输入到运算放大器的输入端,使运算放大器输出由0增加到某一给定值所需要的时间。 由于是阶跃大信号输入,输出信号达到给定值后会出现一定抖动,这个抖动时间称为稳定时 间。稳定时间+上升时间=建立时间。对于不同的输出精度,稳定时间有较大差别,精度越 高,稳定时间越长。建立时间是一个很重要的指标,用于大信号处理中运算放大器选型。作 为 A/D 转换前端信号调理时,也直接影响整个数字信号输出的延迟时间。

(7)等效输入噪声电压:屏蔽良好、无信号输入的运算放大器,在其输出端产生的任何

交流无规则的干扰电压。这个噪声电压折算到运算放大器输入端时,就称为运算放大器等 效输入噪声电压(有时也用噪声电流表示)。对于宽带噪声,普通运算放大器的输入噪声电 压有效值为 10~20 µV。

(8)偏置电流:运算放大器是集成在一个芯片上的晶体管放大器,偏置电流就是第一级放大器输入晶体管的基极直流电流,这个电流保证放大器工作在线性范围,为放大器提供 直流工作点。因为运算放大器要求尽可能宽的共模输入电压范围,而且都是直接耦合的,不 可能在芯片上集成提供偏置电流的电流源,所以都设计成基极开路的,由外电路提供电流。 因为第一级偏置电流的数值都很小,从微安到纳安数量级,所以一般运算电路的输入电阻和 反馈电阻就可以提供这个电流。而运算放大器的偏置电流值也限制了输入电阻和反馈电阻 数值不可以过大,否则不能提供足够的偏置电流,使放大器不能稳定地工作在线性范围。

(9) 共模抑制比(CMRR):为了说明差动放大电路抑制共模信号的能力,常用共模抑制比作为一项技术指标来衡量,其定义为放大器对差模信号的电压放大倍数 A_{vd} 与对共模信号的电压放大倍数 A_{vc} 之比。

(10)差模输入阻抗:运算放大器工作在线性区时,两输入端的电压变化量与对应的输入端电流变化量的比值。差模输入阻抗包括输入电阻和输入电容,在低频时仅指输入电阻,一般产品也仅仅给出输入电阻。采用双极型晶体管作输入级的运算放大器的输入电阻不大于10MΩ,场效应管作输入级的运算放大器的输入电阻一般大于10⁹Ω。

(11) 共模输入阻抗:运算放大器工作在输入信号时(运算放大器两输入端输入同一个 信号),共模输入电压的变化量与对应的输入电流变化量之比。在低频情况下,它表现为共 模电阻。通常,运算放大器的共模输入阻抗比差模输入阻抗高很多,典型值在10⁸Ω以上。

(12)输出阻抗:运算放大器工作在线性区时,在运算放大器的输出端电压变化量与对应的电流变化量的比值。在低频时仅指运算放大器的输出电阻。这个参数在开环测试。

(13) 轨到轨(R-R):从输入来说,其共模输入电压范围(信号对地电压输入叫共模)可 以从负电源到正电源电压;从输出来看,其输出电压范围可以从负电源到正电源电压。 "轨到轨"的特性:它的输入或输出电压幅度即使达到电源电压的上、下限,此时放大器也不 会像常规运算放大器那样发生饱和与翻转。例如,在+5V 单电源供电的条件下,即使输 入、输出信号的幅值低到接近 0V,或高至接近 5V,信号也不会发生截止或饱和失真,从而大 大增加了放大器的动态范围。这在低电源供电的电路中尤其具有实际意义。

(14) 信噪比(SNR): 狭义来讲是指放大器的输出信号的电压与同时输出的噪声电压 的比,常用分贝数表示。设备的信噪比越高,它产生的杂音越少。一般来说,信噪比越高,混 在信号里的噪声越小; 否则,相反。差分输入的 SNR 通常比单端输入要高得多。

(15)供电方式:运算放大器作为模拟电路的主要器件之一,在供电方式上有单电源和 双电源两种。双电源供电的运算放大器的输入可以是在正、负电源之间的双极性信号,而单 电源供电的运算放大器的输入信号只能在 0V 至供电电压之内的单极性信号,其输出亦然。 双电源供电的运算放大器电路可以有较大的动态范围,单电源供电的运算放大器电路可以 节约一路电源。单电源供电的运算放大器的输出不能达到 0V,双电源供电的稳定性比单电 源供电的要好。单电源运算放大器对接近 0V 的信号放大时误差很大,且容易引入干扰。 单电源供电对运算放大器的指标要求要高一些,一般需要用轨到轨,运算放大器的价格一般 会高一些。随着器件水平的提高,有越来越多地用单电源供电代替双电源供电的应用,这是 一个趋势。

(16)零点漂移(简称零漂):在直接耦合的放大电路中,即使将输入端短路,在输出端 也会有变化缓慢的输出电压。这种输入电压为零而输出电压偏离原来起始点而上下漂动的 现象称为零点漂移现象。

(17)失调电压:又称输入失调电压,记为U_{io},即室温及标准电源电压下,运算放大器 两输入端间信号为零时,为使输出为零,在输入端加的补偿电压。

运算放大器的生产厂家众多,选择时需要根据具体应用场景决定,可以登录厂家的官方 网站筛选。例如,登录 ADI 公司的官方网站,以此单击"产品""放大器",可以看到 ADI 公 司的放大器分类,如图 5.1.29 所示。

公司		myAnalog	产品 へ	应用	设计资源	教育 🗸
产品分类	Q	放大器 >				日日 产品选型表
iButton和存储器		III RF功率检波器	E	2 仪表放大器	💷 运算放	大器
RF和微波		III RMS检波器	E	可变增益放大器(VGA)	JFET%	入运算放大器
传感器与MEMS		SDLVA	E	司编程增益放大器	□□ 低功耗	运算放大器 (≤1mA/放大器)
光通信和光学传感			E	■ 基带可编程VGA滤波器	(低噪声)	运算放大器(≤ 10nV/√Hz)
处理器和微控制器		□□ 对数RMS检波器	E	■ 数字控制VGA	Ⅲ 低输入	肩置电流运算放大器(≤100 pA)
嵌入式安全和1-Wire		□□ 对数检波器	E	■ 模拟控制可变增益放大器(VGA)	电流反	贵运算放大器
工业以太网		Ⅲ 矢量功率测量		差分放大器和 ADC 驱动器	構密运 TCVos	摩放大器 (Vos<1mV <u>且</u> <2uV/C)
开关和多路复用器		III RF放大器	E	□ 全差分放大器		运算放大器
按门和隔离		III RF前端IC	E	单端转差分放大器	Ⅲ 通用运	章放大器
		Ⅲ 大规模MIMO接	收器前端IC		□□ 高压运	章放大器≥12V
	<i>*</i>	■ 相控阵RF前端IC	C (LNA、PA、开关)		□□ 高输出	电流运算放大器 (≥ 100mA)
数模转换器 (DAC)		EE RF放大器偏置控制	na na		高速运	章放大器 (带宽 ≥ 50MHz)
时钟与定时		Ⅲ 低噪声放大器			□□ 隔离放	大器
模数转换器		Ⅲ 低相位噪声放大器				
电源监视器,控制器和保护		全差分放大器				
		Ⅲ 功率放大器				

图 5.1.29 ADI 公司的放大器分类

根据前述对声呐前置低噪声放大器的分析,需要选择 JFET 输入运算放大器,单击 图 5.1.29 右上角的"JFET 输入运算放大器",进入图 5.1.30 所示页面,根据所需运算放大器的技术指标和价格选择具体型号。

本书设计的接收机信号工作频率约为 40kHz,前置放大器的放大倍数不超过 10,因此 增益带宽积选择 1MHz 已足够,此时型号数量已降为 5 个。考虑到多个接收通道,因此优 先选择单片内有多个运算放大器的芯片型号,锁定为 LT1464/LT1465。同时,在图 5.1.29 右上角还有"低噪声运算放大器",单击后选择增益带宽积为 1MHz,得到图 5.1.31 所示低 噪声运算放大器筛选页面,根据需要也可选择 AD708 或其他产品。在价格和供货满足的条 件下还可以进一步对比产品的技术指标,从而选择最优的器件。

5. 自动增益控制电路设计

1) 自动增益控制原理

自动增益控制(AGC)电路原理框图如图 5.1.32 所示,可变增益放大器的放大倍数 A_v 受控制电压 V_c 的控制,检波器的输出反映可变增益放大器输出信号电平的有效值(或峰 值),通过低通滤波器后,在比较器中与参考电平 V_R 相比较,产生控制信号 V_c 去控制可变

106 利 电子系统设计与实习

选择参数	全部选择	重置表格()	最大值滤波器 ‡	按最新排序 🛟	保存至 myAnalog (⊕ 下載到 Excel ∷	:: 分享 ≥	Quick Tips 发送反馈
■ *■ ✓	产品型号		GBP II typ Hz	Slew Rate #	lbias ∦ max ∣ A	Current Noise Density typ A/rtHz	VNoise Density typ V/rtHz	Rail to Rail
Compare	Filter Parts		175k - 410M	130m - 870	20f - 1000p	0 - 12p	2.9n - 76n	OR AND
Compare	81器件		HIDE	HIDE	HIDE	HIDE	HIDE	4 远走道◆ HIDE
	ADA4625-2		18M	48	75p	4.5f	3.3n	In to V-, Output
	ADA4625-1		18M	48	75p	4.5f	3.3n	In to V-, Output
	ADA4622-4		8M	23	10p	800a	12.5n	In to V-, Output
	ADA4622-1		8M	23	10p	800a	12.5n	In to V-, Output
	ADA4530-1		2M	1.4	20f	70a	14n	Output
	ADA4622-2		8M	23	10p	800a	12.5n	In to V-, Output
	ADA4350		175M	100	1p	1.1p	5n	-
	ADA4610-1		16.3M	25	25p	1f	7.3n	Output
	ADA4610-4		16.3M	25	25р	1f	7.3n	Output
	AD8244		-	800m	2р	800a	13n	In to V-, Output
	ADA4001-2		16.7M	25	30p	3f	7.7n	Output
	ADA4610-2		16.3M	25	25p	1f	7.3n	Output
	AD823A		10M	35	25р	1f	13n	In to V-, Output

图 5.1.30 JFET 输入运算放大器的型号和技术指标

选择参数	全部选择	重置表格 C	最大值滤波器 11	按最新排序 🛟	保存至 myAnalog ④	下载到 Excel 🔡	分享 Quick	Tips 发送反馈
B ×	产品型号		# of Amps	∥ GBP typ Hz	∦ BW -3 dB <i>typ</i> <i>Hz</i>	II Slew Rate typ V/us	₩ VNoise Density typ V/rtHz	II Current Noise Density typ A/rtHz
Compare	Filter Parts		OR AND 5 洗完值 V	60k - 1M	1.6M - 1.65G	200m - 5.5k	850p - 10n	0.5f - 46p
	7器件		HIDE	HIDE	HIDE	HIDE	HIDE	HIDE
0	AD8677		1	600k	-	200m	10n	74f
	OP07D		1	600k	-	200m	10n	74f
	AD708		2	900k	-	300m	9.6n	120f
	OP77		1	600k		300m	9.6n	120f
	LT1001		1	800k	-	250m	9.6n	100f
	LT1002		2	800k	-	250m	9.6n	100f
	OP07		1	600k	-	300m	9.6n	120f

图 5.1.31 低噪声运算放大器筛选页面

第5章 电子系统电路设计 🕪 107

增益放大器。当输入电压幅度 V_i 增加或电路参数变 化使增益变大而导致 V_o 增加时,环路产生控制信号 使可变增益放大器增益减小;反之,在各种因素造成 V_o减小时,环路也会产生控制信号使可变增益放大 器增益增加。即通过环路控制作用,无论是 V_i 变化 还是系统参数变化,输出信号电平都将保持在由 V_R 决定的电平上。图 5.1.32 中,低通滤波器的作用是 决定反馈支路的反应速度,因此其时间常数是整个自



动增益控制环路的重要参数。时间常数小,通带宽,反应速度快,即在输入端信号起伏频率 较高时,自动增益控制系统的反馈支路也能及时地反应,使输出的信号基本保持不变。

2) 可变增益放大器选型

可变增益放大器(VGA)的生产厂家众多,可以登录厂家的官方网站筛选。例如,登录 ADI公司的官方网站,以此单击"产品""放大器"和"可变增益放大器",可以看到 ADI公司 的可变增益放大器分为可编程增益放大器、基带可编程可变增益放大器滤波器、数字控制可 变增益放大器和模拟控制可变增益放大器四类。单击"模拟控制可变增益放大器(VGA)", 进入具体型号筛选页面,如图 5.1.33 所示,主要有 AD600/602/603/604/605 和 AD8330/ 8331/8332/8335/8337/8368 以及 MAX2056/2057 等系列芯片。

	产品型号	Amp Architecture	Freq Response	Freq Response max Hz	Gain dB	Gain dB amax dB	Gain Set
	Filter Parts	OR AND	0 - 27G	10M - 31.5G	-32 - 6	-7.6 - 80	OR AND
Compare		9 选定值~					3 选定值~
	39 器件	HIDE	HIDE	HIDE	HIDE	HIDE	HIDE
0	AD8368	ADC Driver, Differential Amp, VGA	10M	800M	-12	22	Analog
	AD8337	VGA	0	100M	0	24	Analog
0	ADL5330	VGA	10M	3G	-32	21	Analog
0	MAX2056	VGA	800M	1G	-	15.5	Analog
	MAX2057	VGA	1.3G	2.7G	-	15.5	Analog
0	AD8335	VGA	100k	70M	-10	38	Analog
0	AD8331	VGA	100k	120M	-4.5	43	Analog
0	AD8351	ADC Driver, Differential Amp, VGA	1M	2.2G	0	26	Analog
	AD8330	VGA	0	150M	0	50	Analog
Ō	AD8332	VGA	100k	100M	-4.5	43.5	Analog
\Box	AD8367	Differential Amp, VGA	10M	500M	-2.5	42.5	Analog
0	AD604	VGA	100k	40M	0	48	Analog
0	AD605	VGA	100k	40M	-14	34	Analog
	AD603	VGA	16k	90M	-11	31	Analog
	AD600	VGA	100k	10M	0	40	Analog
0	AD602	VGA	100k	10M	-10	30	Analog

图 5.1.33 模拟控制可变增益放大器具体型号筛选页面

3) AD603 构成的 AGC 电路

AD603 性能较好、价格适中, ADI 公司官方推荐的由 AD603 构成的 AGC 电路如

图 5.1.34 所示。在不加外部元器件的情况下,AD603 的输出为一固定增益放大器,其电压 增益可固定为 31.07dB 或 50dB。通过在 5 脚和 7 脚之间加一固定电阻可以得到处于两者 之间的放大增益,若想要得到更高的放大增益,则可以在 5 脚和"COMM"端(4 脚)之间接一 个电阻来实现。

图 5.1.34 是由两级 AD603 构成的自动增益控制电路,两个 AD603 采用级联的方式连接。图中输入信号由 J₁ 端输入,经过电容 C_1 进入第一个 AD603(A₁)的输入端,由 A₁ 放大 后再进入第二个 AD603(A₂)中。最终的输出信号由三极管 Q_1 和电阻 R_{11} 检波后,由电容 C_{AV} 形成自动增益控制电压 V_{AGC} 。流进电容 C_{AV} 的电流为两个三极管 Q_2 和 Q_1 的集电 极电流之差,而且其大小随 A₂ 输出信号的幅度大小变化而变化,也就使得电压 V_{AGC} 随着 输出信号的幅度变化而变化。将 V_{AGC} 加在 A₁、A₂ 放大器的1脚上,就达到了自动调整放 大器增益的目的。



图 5.1.34 ADI 公司官方推荐的由 AD603 构成的 AGC 电路

6. 抗混叠滤波器设计

混叠现象是指对连续信号进行等间隔采样时,如果不能满足采样定理,采样后就会有频率重叠现象,即高于采样频率和低于采样频率的信号混杂在一起,出现失真,这种失真即为 混叠失真。在统计、信号处理和相关领域中,混叠是指取样信号被还原成连续信号时产生彼 此交叠而失真的现象。当混叠发生时,原始信号无法从取样信号还原。混叠发生在时域上 称为时间混叠,发生在频域上称为空间混叠。抗混叠滤波器一般指低通滤波器。低通滤波 环节用于滤除信号中的高频分量。信号采集过程中不可避免地会有高频干扰信号混杂在有 用信号中。为了使这些信号的频率满足奈奎斯特(Nyquist)采样定理所规定的范围,除去采 集的一些不确定信号对有用信号造成的干扰,并最大限度地抑制或消除混叠现象对数据采 集的影响,就需要先利用低通滤波器对无用信号进行衰减和滤除。抗混叠滤波器除了对无 用信号的衰减和滤除外,还可以为 A/D转换产生的瞬态能量提供缓冲。最简单的抗混叠滤 波器是一阶 RC 低通滤波器,或者采用运算放大器加 RC 网络组成有源滤波器。如果选用 二阶低通滤波器,就可以使用运算放大器加 RC 网络组成有源滤波器。如果选用高阶低通 滤波器,就可以利用 MAX275 设计的低通滤波器(参考 5.1.2 节)。

5.1.4 水声探测系统信号处理机组成与设计

1. 信号处理机的组成

信号处理机是现代声呐最核心的分机,在控制发射机和接收机的基础上需要完成测向、 测距、测速等各种功能性任务,还需要与显示控制台(操作员)进行各种交互。根据声呐的战 术和技术指标不同,信号处理机的工作原理和流程各不相同,但具体实现基本都用到高性能 微处理器和可编程逻辑器件,这就需要掌握相关微处理器(DSP、ARM等)的编程语言(C/C++ 等)以及可编程逻辑器件开发的硬件描述语言(HDL)。第 2~4 章介绍的微处理器和 FPGA 开发即为信号处理机的设计打下一些基础。

本书设计的声呐只完成测向和测距功能,信号处理机的工作流程如图 5.1.35 所示。信 号处理机首先控制发射机发射信号,然后进行数据采集、接收波束形成、匹配滤波和参数 估计。



2. 数据采集电路设计

1) 采样定理与方案

根据奈奎斯特采样定理,对于截止频率低于 *f*_H 的低通信号,以 2*f*_H 的采样频率对原 始信号进行采集,即可重建原始信号。声呐信号通常是带通的窄带信号(信号的中心频率远 大于信号带宽),对于带通信号,若采样频率满足

$$f_{\rm s} = \frac{2(f_{\rm L} + f_{\rm H})}{2n+1}$$

也可重建原始信号,其中 f_s 为采样频率, f_L 为低端频率, f_H 为高端频率,n为能满足 $f_s \ge 2(f_H - f_L)$ 的最大正整数。在工程实践中,采样频率往往取信号带宽的 3~5 倍。

在 A/D 转换器转换速率不够的情况下可以采用模拟电路混频、滤波然后进行正交采 样,即用两个 A/D 转换通道分别得到信号的同相分量(I 通道信号)和正交分量(Q 通道信 号),然后将 I 通道的信号作为实部,Q 通道的信号作为虚部,形成一个复信号进行后续处 理。但是,这种方法需要利用本振、乘法器等模拟电路,存在复杂度高且可靠性相比直接采 样下降的劣势。随着电子技术的发展,A/D 转换器的转换速率和微处理器的处理能力不断 提高,使得相对通信、雷达系统而言工作频率较低的声呐信号可以进行直接采样。

数据采集过程中除了选择正确的采样频率外,还需要考虑量化噪声的影响。降低量化 噪声影响有两个途径:一是增加 A/D 转换器的字长(位数)。二是对信号进行放大使得信 号最大幅度尽可能接近 A/D 转换器的参考电压(这也是在 A/D 转换器前面设置固定增益 放大器的原因之一)。当然,对信号进行放大后最大幅度不能超过 A/D 转换器的参考电压, 否则使得信息丢失或者说产生了饱和噪声。 2) A/D转换器选型应考虑的因素

(1) 位数与分辨率: A/D转换器的位数是指 A/D转换器将模拟电压量化后的二进制数的个数,A/D转换器的分辨率是指使输出数字量最低位变化一个相邻数码所需输入模拟电压的变化量。分辨率与转换器的位数和参考电压有关,例如一个 10V 满刻度的 12 位 A/D 转换器能分辨输入电压变化最小值是 10V×1/2¹²≈2.44mV。

(2)误差与精度:失调误差是描述 A/D转换器零输入情况下的输出偏移,这导致其和 理想量化输出曲线右移一段距离,右移的电压偏移即为失调误差。测量时将数字输出"0"转 换得到的电压与理论零点电压作比较可以得到失调误差。增益误差是指输出量化阶梯曲线 的直线斜率对比理想输出量化阶梯曲线的直线斜率而存在的斜率误差,通常表示为满幅范 围的百分比(%FSR)。微分非线性(DNL)误差是 A/D转换器的实际转换阶梯度量和理想 转换阶梯度量的差值。要保证没有丢码和单调的转移函数,A/D转换器的 DNL 误差必须 小于 1LSB。积分非线性(INL)误差是 A/D转换器所有输出数字码对应的模拟电压值与实 际采样的模拟电压值的最大差值,也称为输出数值偏离线性的最大距离,是 DNL 误差累积 的结果,一般采用 LSB 为标准单位度量。绝对误差等于实际转换结果与理论转换结果之 差,它是失调误差、增益误差和积分非线性误差的总和,也可用数字量的 LSB 的分数值表 示。相对误差是指数字量所对应的模拟输入量的实际值与理论值之差,用模拟电压满量程 的百分比表示。转换误差越小,精度越高。分辨率和精度是两个不同的概念,理论上分辨率 越高的 A/D转换器转换精度也应该越高,实际上也有分辨率较小而转换误差却较大的 A/D 转换器。

(3)转换时间与转换速率:转换时间是指 A/D 转换器完成一次 A/D 转换所需要的时间(发出转换命令信号到转换结束的时间)。转换时间的倒数称为转换速率,例如某个 A/D 转换器的转换时间是 25 µs,则转换速率为 40kHz。转换速率关系着数据采集的最高采样速率,为了保证转换的正确完成,采样速率必须小于或等于转换速率。因此有人习惯上将转换速率在数值上等同于采样速率也是可以接受的。采样速率常用的单位是 KSPS(kilo Samples per Second,每秒采样百万次)。

(4) 输入电压方式与范围: A/D 转换器的输入电压方式有差分输入和单端输入之分, 输入电压范围有单极性和双极性之分。

(5) 输出数码方式: A/D 转换器的输出数码方式有并行输出和串行输出之分。

3) A/D 转换器选型实例

A/D转换器的生产厂家众多,可以登录厂家的官方网站筛选。例如,登录 ADI 公司的 官方网站,以此单击"产品""模数转换器"可以看到 ADI 公司的 A/D转换器分类,如图 5.1.36 所示,可分为"精密模数转换器"、"集成式/专用转换器"和"高速 ADC(>10MSPS)"三类。 本例设定的信号工作频率约为 40kHz,对转换速率要求不高,根据采样定理不必选用高速 ADC(>10MSPS),也不属于集成式/专用转换器,所以可以将目标集中在精密 A/D 转换器 这一类。考虑到声呐接收机具有多个通道,可以重点关注图 5.1.36 中多路复用 A/D 转换 器这一子类。

官方网站对这一类模/数转换器的介绍如下: ADI 公司的多路复用精密 A/D 转换器包括一个 ADC,分辨率范围为 8~24 位,通道数高达 16 通道,转换速率为几 kSPS 至 10 MSPS,

第5章 电子系统电路设计 ┃▶ 111

公司		myAnalog	产品	应用。	设计资源	教育
产品分类	Q	模数转换器	>			王王 产品选型表
iButton和存储器		Ⅲ 精密模数转换器	E	□ 集成式/专用转换器	💷 高速ADC (រ	10MSPS)
Product		Ⅲ 4-20mA输入模数	转换器 Ⅲ	目 ADC和DAC组合	IF/RF接收器	ŧ
RF和微波		□□ 单通道模数转换器	¥ 🗉	□ IF/RF接收器	Ⅲ 信号链µMo	dule接收器
传感器与MEMS		III 同步采样ADC	E	目 信号链µModule接收器	□□ 标准高速模	数转换器
光通信和光学传感		多路复用模数转换	R#	□ 数字温度传感器	Ⅲ 混合信号前	端(MxFE)
外理器和微控制器		Ⅲ 精密信号链 μMoo	dule 解决方案	II 显示导向ADC		
炭) また会和1-Wiro		□□ 隔离式模数转换器	¥ 🗉	□ 混合信号前端(MxFE)		
版八式安主和I-Wile			E	电压频率转换器		
上业以太网			E	电容数字转换器和触摸解控制器		
开关和多路复用器			E	电流数字转换器		
接口和隔离			E	∃ 电能计量IC		
放大器			E	电阻式触摸控制器		
数模转换器 (DAC)			E	目 精密信号链 μModule 解决方案		
时钟与定时			E	目整角机数字转换器(SDC)和旋变数字 换器(RDC)	装	
模数转换器			E	■ 视频编解码器		

图 5.1.36 ADI 公司的 A/D 转换器分类

同时在噪声、线性度和动态范围方面提供业界领先的性能。ADI公司提供能够快速轻松部 署的多通道解决方案,可以满足多种不同应用的速度、功耗和尺寸需求。多路复用转换器支 持单端、差分和伪差分输入设计,提供了下一代终端系统所需的特性组合。提供的 ADC 架 构,包括 SAR-逐次逼近型 ADC 和 Σ-Δ 型调制器。单击"多路复用模数转换器"后进入 ADI 公司的多路复用模/数转换器型号筛选页面,如图 5.1.37 所示。在筛选页面可以设置通道 数、分辨率和采样速率等参数缩小范围,本例综合考虑选择 AD7324 模/数转换器作为数据 采集的核心器件。

选择参数	全部选择	重置表格 G	最大值滤波	踼 11	按最新排序	÷	保存至 myAnalog	g 🕀	下载到 Excel	ⅲ 分享 🖂	Quick Tips	3 发送反馈
• *	产品型号	1	Channels	I	Resolution bits	I	Sample Rate max SPS	∥ A di ty	DC SNR in BFS p dBFS	# ADC INL max LSBs	∦ Device	Architecture
Compare	Filter Parts		4 - 16 HIDE		16 - 32 HIDE		6.8 - 3M HIDE	4	45 - 133 HIDE	-0.4 - 754.9 HIDE	OR 6 选定(HIDE) AND ā∽
0	AD4111		16		24		31.25k	÷			Sigma-	Delta
0	AD4112		16		24		31.25k	-		-	Sigma-	Delta
	AD4114		16		24		31.25k	-		-	Sigma-	Delta
0	AD4115		16		24		125k	ž		8	Sigma-	Delta
	AD4116		16		24		62.5k	-		-	Sigma-	Delta
0	AD4130-8 NE	w	8		24		2.4k	9	7.9	251.7	Sigma-	Delta
0	AD4695		16		16		500k	93	3	1	SAR	
0	AD4696		16		16		1M	93	3	-	SAR	
0	AD4697 NEW		8		16		500k	93	3	1	SAR	
0	AD4698 NEW		8		16		1M	93	3	1	SAR	
0	AD7124-4		4		24		19.2k	-		÷	Sigma-	Delta
0	AD7124-8		8		24		19.2k	-		÷	Sigma-	Delta
0	AD7172-2		4		24		31.25k	-		-	Sigma-	Delta
0	AD7172-4		8		24		31.25k	-		-	Sigma-	Delta

图 5.1.37 ADI 公司的多路复用模/数转换器型号筛选页面

4) AD7324 应用

AD7324 是一款 4 通道、12 位带符号位的 1 MSPS 逐次逼近型 ADC。该 ADC 配有一 个高速串行接口,最高转换速率可达 1MSPS。AD7324 可处理双极性输入信号。经过对片 上模式寄存器编程,可选择双极性电压范围,包含±10V、±5V 和±2.5V 三种。AD7324 还可处理 0~10V 的单极性输入电压。每个模拟输入通道均支撑独立编程,通过设置控制 寄存器中的相应位即可设为四个输入模式之一。模拟输入通道可设置为单端、全差分或伪 差分三种形式之一。内置一个 2.5V 的基准电压,也可选用外部基准。AD7324 的内部组成 和外部接口如图 5.1.38 所示,左侧为模拟电压输入接口,右侧为数字输入/输出接口。



图 5.1.38 AD7324 的内部组成和外部接口

AD7324 有 3 个可编程寄存器,分别为控制寄存器、序列寄存器和范围寄存器,这些寄存器都是只可写的。与 AD7324 通信一次需要 16 个时钟周期。最高 3 位决定了准备对哪 个寄存器进行写操作,其中包括写使能位、寄存器选择位 1 和寄存器选择位 2。写使能位高 电平有效,寄存器选择位为"00"时对控制寄存器写入后面的 12 位数据,寄存器选择位为 "01"时对范围寄存器写入后面的 8 位数据,寄存器选择位为"11"时对序列寄存器写入后面 的 4 位数据。

控制寄存器是用来选择模拟信号输入模式和电源管理的,对信号输入模式的控制包括 输入通道、范围、参考和编码,见表 5.1.3~表 5.1.7。

位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
WRITE	REG SEL1	REG SEL2	ZERO	ADD1	ADD0	MODE1	MODE0
位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
PM1	PM0	CODING	REF	SEQ1	SEQ2	ZERO	0

表 5.1.3 控制寄存器总体描述

表 5.1.4 控制寄存器位功能描述

位	标记	描述
12,1	ZERO	必须写"0"
11 10		当连续转换不使能时,此2位用来设置下一次准备转换的通道号。
11,10	ADDI, ADD0	当连续转换使能时,此2位用来设置连续转换的结束通道号
0.8	MODEL MODEO	设定 4 个通道的配置,需要和地址位 ADD0、ADD1 相配合,方式见
3.0	MODELIMODEO	表 5.1.5
7,6	PM1,PM0	电源模式选择,方式见表 5.1.6
		设定下一次 AD7324 转换结果的输出编码格式。若为"0",则输出数
5	CODING	据分为两部分;若为"1",则输出数据为一整串二进制。在连续转换
		使能情况下,输出格式为最后一次设置模式
4	REF	使能内部参考。0代表外部参考;1代表内部参考
3,2	SEQ1, SEQ2	控制连续转换使用模式,见表 5.1.7

表 5.1.5 模拟输入通道配置方式

地址位		MODE1=1		MODE1=1		MODE1=0		MODE1=0	
		MODE0 = 1		MODE0=0		MODE0 = 1		MODE0 = 0	
		3 虚拟差分输入		2 完全差分输入		2 虚拟差分输入		4 单通道输入	
ADD0	ADD1	VIN+	VIN-	VIN+	VIN-	VIN+	VIN-	VIN+	VIN-
0	0	VIN0	VIN3	VIN0	VIN1	VIN0	VIN1	VIN0	AGND
0	1	VIN1	VIN3	VIN0	VIN1	VIN0	VIN1	VIN1	AGND
1	0	VIN2	VIN3	VIN2	VIN3	VIN2	VIN3	VIN2	AGND
1	1	Х	Х	VIN2	VIN3	VIN2	VIN3	VIN3	AGND

表 5.1.6 电源模式选择

PM1	PM0	描述
1	1	完全关断。控制寄存器内信息保留
1	0	自动关断。在第15个时钟上升沿后自动关断,其间可设置控制寄存器
0	1	自动备用。除了参考,其余全部关断。在第 15 个时钟上升沿后自动关断,其间可设 置控制寄存器
0	0	正常模式

表 5.1.7 连续转换模式选择

SEQ1	SEQ2	描述
0	0	连续模式关断。控制寄存器中的地址位选择下一采样通道
0	1	根据以前设置的序列寄存器中的采样顺序方式进行采样。AD7324 从设置的最低通 道开始进行采样
1	0	连续模式。从0通道开始,控制寄存器中的地址位选择结束通道
1	1	连续模式关断。控制寄存器中的地址位选择下一采样通道

序列寄存器为一个4位只写寄存器。每一个通道与寄存器内的一位相对应。将寄存器 内相应的位置1可以选择相应的通道加入采样序列中,见表5.1.8。

 位 15
 位 14
 位 13
 位 12
 位 11
 位 10
 位 10
 位 9~0

 WRITE
 REG SEL1
 REG SEL2
 VIN0
 VIN1
 VIN2
 VIN3
 0

丰	5 1 8	应 团 宏 方 哭
AX.	5.1.0	「アッショー」 丁 前

范围寄存器用来设置每一个通道的输入范围,8位只写寄存器。每通道2设置位,可设 置为±10V、±5V、±2.5V和0V~10V,见表5.1.9和表5.1.10。

_							
	位 15	位 14	位 13	位 12	位 11	位 10	位 9
	WRITE	REG SEL1	REG SEL2	VIN0A	VIN0B	VIN1A	VIN1B
	位 8	位 7	位 6	位 5		位 4~0	
	VIN2A	VIN2B	VIN3A	VIN3B		0	

表 5.1.9 范围寄存器总体描述

表 5.1.10 范围寄存器范围选择

VINxA	VINxB	描述
0	0	$\pm 10 \mathrm{V}$
0	1	$\pm5\mathrm{V}$
1	0	\pm 2.5V
1	1	$0 V \sim 10 V$

对寄存器配置时将 DIN 的 WRITE 位置 1。本次采样间隔内的数据无效,即可忽略。 在配置完以后每次 DIN 的 WRITE 位置 0 可进行采样, AD7324 的寄存器配置和数据采样 时序如图 5.1.39 所示,图中 $t_1 \sim t_{10}$ 为读写时序要求的时间,具体可参考 AD7324 的使用 手册。

3. 接收波束形成

1) 接收波束形成的原理与方法

接收波束形成通过对换能器基阵接收的信号进行处理,从而测定不同方位回波的强度, 也称为"空间滤波器"。假设基阵为 N 阵元直线阵,编号为 $H_1 \sim H_N$,阵元等间隔排列,如 图 5.1.40 所示,设入射信号为单频信号 $A\cos 2\pi ft$,它与基阵法线方向的夹角为 θ ,则第 i 个 阵元所接收到的信号相位滞后 H_i ,滞后量取决于程差 $H_i P_i$,即

$$\varphi_i = 2\pi(i-1)\frac{d\sin\theta}{\lambda} = (i-1)\varphi \qquad (5.1.3)$$

式中: d 为阵元间距; λ 为波长。

第*i*个阵元所接收到的信号复包络为

$$\tilde{s}_{i}(t) = A \exp\{j 2\pi (i-1) d \sin\theta / \lambda\}$$
(5.1.4)

若将各个阵元的信号不加权,也不延时直接相加,则得到

$$\tilde{s}(t) = \sum_{i=1}^{N} \tilde{s}_{i}(t) = A \sum_{i=1}^{N} \exp[j(i-1)\varphi] = A \exp\left[j\frac{N-1}{2}\varphi\right] \frac{\sin\frac{N\varphi}{2}}{\sin\frac{\varphi}{2}} \quad (5.1.5)$$

将 š;(t)取模并归一化后,得到指向性函数为

$$D(\theta) = \left| \frac{\sin\left(\frac{N\pi}{\lambda}d\sin\theta\right)}{N\sin\left(\frac{\pi}{\lambda}d\sin\theta\right)} \right|$$
(5.1.6)

通过对指向性函数分析可知:

(1) $D(\theta)$ 类似辛克函数取绝对值,在 $\theta=0$ 时取得最大值1。





(2) 当 x = 1.39 时, $|(\sin x)/x| = 0.707$, 据此可求出主瓣宽度约为 arcsin(0.44 λ /Nd)。

(3) 查阅 | (sinx)/x | 第一旁瓣高度为 22%,因此 D(θ)的第一旁瓣高度约为 22%。

接收波束形成的目标是只接收特定方位的回波信号,从而测定目标的方位。通过以上 分析可知,将均匀直线阵的各个阵元信号直接相加来自θ=0°方向上的目标信号能够产生 最强的输出,偏离θ=0°方向上的目标信号也能产生输出,而且在主瓣宽度内这些目标信号 不可区分,所以主瓣宽度基本上决定了目标方位测量的精度。来自副瓣方位的强目标也能 给波束形成器造成输出,甚至能超过主瓣方位内的弱目标。

接收波束形成的一种方法如图 5.1.40 所示。



通过将 H_i 接收到的信号延时(N-i) $d\sin\theta/c$ (其中 c 为声速)使得从 θ 方向到达的目标信号在所有传感器阵元上能够同相叠加,即形成了指向 θ 方向的接收波束。通过延时形成了波束的主瓣,设计者希望波束的主瓣足够窄,从而增加测向的精度。考察主瓣宽度 arcsin(0.44 λ /Nd)可知,可增加发射信号频率、阵元数量和阵元间距,但这些参数都会受到 其他方面的制约,不能无限制增大。

通过将 H_i 接收到的信号在幅度上加权,可以起到压低旁瓣的作用,从而避免过高的波 束副瓣会导致虚假目标。线阵常用的加权方式为道尔夫-切比雪夫加权,通过道尔夫-切比 雪夫加权后,在给定的旁瓣电平下能够使主瓣宽度最窄,或者在给定的主瓣宽度下能够使旁 瓣电平最低。

2) 接收波束形成的电路实现

图 5.1.40 中的接收波束形成系统曾经采用运算放大器和模拟延迟线实现过,随着数字 电路的发展,特别是大规模可编程逻辑器件的发展,可以很容易用 FPGA 来实现,其中延时 求和电路的一种实现方法如图 5.1.41 所示。阵元信号 S_i (假设基阵有 5 个阵元,i = 1, 2,3,4,5)在采样时钟 CLK_{fs} 的作用下通过一系列移位寄存器(D*i*,*j*),每经过一个移位寄存 器, S_i 就被延时一个采样时钟周期 T_s ,*j* 是移位寄存器的级数,其取值根据延时量确定。





假设要形成某方向 $\theta_k(k$ 为方位编号,k=1,2,3,...,P,P为编号最大取值)的波束信号, 由计算可得1、2、3、4和5路的信号分别需要延时 $\tau_1,\tau_2,\tau_3,\tau_4$ 和 τ_5 。对每一个 $\tau_i,$ 应找出 一个非负的整数 N_i ,使得 $|N_iT_s-\tau_i|$ 最小。例如, $\tau_2=85\mu s$, $T_s=40\mu s$,那么应取 $N_2=$ 2。在求出 N_i 之后,就在相应的抽头处将信号送到 θ_k 方位对应的加法器中。P个方位一 共是P个加法器,图中并未全部绘出,实际采用硬件描述语言编程时,图中每个加法器可以 用若干二输入加法器替代。

4. 匹配滤波和参数估计

如果声呐发射机发射单频的脉冲信号,接收机采用能量检测器就可以了。这时,目标的 距离是根据检测器输出出现峰值的时间来确定的,而目标相对于声呐的径向速度(根据多普 勒频移确定),则可通过一组窄带滤波器给出。如果发射机发射线性调频脉冲或阶梯调频脉 冲信号,设计一种滤波器,使得被噪声所掩蔽的回声信号在通过这个滤波器时,其输出端能 获得最大的信号比(从而判断目标的有无和测量目标的距离),通过设计发现滤波器的特性 和输入信号相匹配,因而称为匹配滤波器。

1) 匹配滤波器的原理

设输入的信号为 s(t),它的谱为 S(f);输入的噪声为 n(t),它是功率谱为 $N_0/2$ 的白噪声。要找到一个线性系统 h(t),使得当输入为 s(t)+n(t)时,输入在某一时刻 t_0 的信噪比最大。令 x(t)=s(t)+n(t),用 y(t)表示滤波器的输出,并用 H(f)表示系统的传替函数,于是有

$$y(t) = x(t) * h(t) = \int_{-\infty}^{\infty} h(\tau) [s(t-\tau) + n(t-\tau)] d\tau \qquad (5.1.7)$$

t₀ 时刻的输出信号为

$$y_{s} = \int_{-\infty}^{\infty} h(\tau) s(t_{0} - \tau) d\tau = \int_{-\infty}^{\infty} H(f) S(f) e^{j2\pi f t_{0}} df$$
(5.1.8)

输出噪声为

$$y'_{n} = \frac{N_{0}}{2} \int_{-\infty}^{\infty} |H(f)|^{2} df$$
 (5.1.9)

所以输出信噪比为

$$L_{0} = \frac{y_{s}}{y'_{n}} = \frac{\left[\int_{-\infty}^{\infty} H(f)S(f)e^{j2\pi ft_{0}} df\right]^{2}}{\frac{N_{0}}{2}\int_{-\infty}^{\infty} |H(f)|^{2} df}$$
(5.1.10)

利用施瓦兹不等式可得

 $\left(\int_{-\infty}^{\infty} H(f)S(f)e^{j2\pi ft_0}\right)^2 \leqslant \int_{-\infty}^{\infty} |H(f)|^2 df \times \left(\int_{-\infty}^{\infty} |S(f)e^{j2\pi ft_0}|^2 df\right)$ (5.1.11) 于是,可得

$$L_{0} \leqslant \frac{\int_{-\infty}^{\infty} |S(f)|^{2} df}{\frac{N_{0}}{2}} = \frac{2E}{N_{0}}$$
(5.1.12)

式中: E 为信号的能量,且有

$$E = \int_{-\infty}^{\infty} |S(f)|^2 \,\mathrm{d}f$$

式(5.1.11)中的等号仅当

$$H(f) = cS^*(f)e^{-j2\pi ft_0}$$
(5.1.13)

时才成立,其中 c 为常数。这样的 H(f) 就是所求滤波器的频响。式(5.1.13) 在时域的形式为

$$h(t) = cs^{*}(t_{0} - t)$$
(5.1.14)

这说明滤波器的脉冲响应函数是输入信号的复制,只不过在时间轴上倒过来了,因而叫 作"匹配滤波器"。

2) 匹配滤波器的实现

将式(5.1.14)代入式(5.1.7),可得

$$y(t) = x(t) * h(t) = \int_{-\infty}^{\infty} x(\tau)h(t-\tau)d\tau$$

= $\int_{-\infty}^{\infty} x(\tau)cs^{*}(t_{0}-t+\tau)d\tau = cR_{xs}^{*}(t_{0}-t) = cR_{xs}(t-t_{0})$ (5.1.15)

由式(5.1.15)可知,匹配滤波器实际上是一个相关器,可由图 5.1.42 所示的电路实现, 其中的延时在 FPGA 中可用移位寄存器 D_0 , D_1 , D_2 ,…, D_n 实现,每一级移位寄存器的延时 量为数据采集周期 T_s 。相关器在 FPGA 中可用乘法器和累加器实现。图中共有 M 个相 关器,不同相关器的一路输入信号来自波束形成器的输出信号,另一路输入信号来自发射信 号不同的延时,相关器的数量需要根据距离分辨率来确定,距离分辨率越高,需要的相关器 数量越多。



3) 参数估计

声呐的测量结果中最重要的参数是目标的方位角和距离。假设只有一个点目标,则 图 5.1.40 中波束形成系统中只有一路信号(假设目标刚好落在可分辨的方位之内)有较大 的输出,这一路信号的方位 θ_i 即是目标的方位角。这一路信号经过图 5.1.42 的匹配滤波 器后在其中的一个相关器有最大的输出,这一个相关器对发射信号的延时量为 τ_i ,则目标 距离的估计值为 $c\tau_i/2(c$ 为声速)。

5.1.5 显示控制台设计

声呐的显示控制台主要的作用是显示探测目标的信息和输入声呐控制的参数,此外可 能还有操作手册、故障诊断甚至通信等功能。早期的声呐显示控制台功能较为单一,随着计 算机技术的发展,现代声呐的显示控制台功能强大、形式多种多样。由于其主要技术不属于
电子设计,故只作简要介绍。

1. 利用 LabVIEW 设计显示控制台

1) LabVIEW 简介

实验室虚拟仪器集成环境(LabVIEW)是美国国家仪器(NI)公司创立的一个功能强大 而又灵活的虚拟仪器开发工具。LabVIEW 是科学研究和工程领域最主要的图形开发环 境,广泛应用于仿真、数据采集、仪器控制、测量分析和数据显示等嵌入式应用系统的开发。 它提供了几乎所有经典的信号处理函数和大量现代的高级信号分析工具,而且 LabVIEW 把计算机平台与具有标准接口的硬件模块以及开发测试软件结合起来构成仪器系统,这种 系统具有通用性、灵活性,便于开发和应用。LabVIEW 综合了 USB、GPIB、VXI、PXI、RS-232 和 RS-485 等标准接口,以及数据采集卡等硬件通信的全部功能,它还内置了便于应用 TCP/IP、ActiveX 等软件标准的库函数,另外 LabVIEW 还提供了许多标准的仪器功能模 块和数据处理模块。

LabVIEW 程序称为"虚拟仪器"(VI)。LabVIEW 不同于其他文本的编辑语言(如 C 语言),它是一种图形编程语言——G 编程语言,其编程过程就是通过图形符号描述程序的行为。LabVIEW 使用的是科学家和工程师所熟悉的术语,还使用了易于识别的构造 G 语言的图形符号。采用 LabVIEW 开发的上位机软件的结构大体可以分为测试管理层、测试程序层、仪器驱动层和 I/O 接口层,其中测试管理层生成和响应系统的操作界面,并且执行测试任务。NI 公司官网的一个温度采集与显示系统的操作界面如图 5.1.43 所示,界面形象,操作方便。



图 5.1.43 NI 公司官网的一个温度采集与显示系统的操作界面



图 5.1.44 利用 LabVIEW 设计显示 控制台的总体方案 2) 利用 LabVIEW 设计显示控制台

(1) 总体方案。利用 LabVIEW 设计显示控制台的 总体方案如图 5.1.44 所示,LabVIEW 安装在上位机(台 式计算机或笔记本电脑)上,利用串口、USB 或网线与下 位机(各种单片机、DSP 或者 FPGA)通信,下位机接收 LabVIEW的指令并控制声呐工作,声呐探测的数据又通过串口、USB或网线传递给LabVIEW显示出来。

(2) LabVIEW 的工作流程。LabVIEW 的工作流程(图 5.1.45): 对串口初始化,等待 用户设置控制参数和启动探测(用户用键盘在软件界面上输入测试参数并用鼠标单击按 钮);将用户输入的十进制的控制参数转换为特殊的二进制数并组合成代码发送给下位机; 等待下位机返回"探测结果";将下位机返回的"探测结果"分解,从中取出信息写入 Excel 表格;再次收到"探测结果"时对 Excel 表格进行追加;收到下位机结束命令后调用显示程 序读取 Excel 表格数据绘制探测图形。



(3) LabVIEW 程序的组成。LabVIEW 程序包括前面板程序和背面板程序两部分。 前面板程序负责人机交互,在本书中用来设置控制参数、启动探测命令和绘制探测图形。背 面板程序负责上位机和下位机的交互以及信号和数据处理。背面板程序完成的功能:将测 试参数组合成"测试命令码",串口数据的收发,"探测结果"的分解和数据保存,探测图形的 绘制。LabVIEW 程序包括主窗口操作界面、串口通信控制模块、测试参数设置模块和数据 采集处理模块,如图 5.1.46 所示。其中,主窗口操作界面是前面板程序,串口通信控制模 块、测试参数设置模块和数据采集处理模块组成背面板程序。

2. 利用 Qt 设计显示控制台

1) Qt 简介

Qt 是 1991 年由 Qt Company 开发的跨平台 C++图 形用户界面应用程序开发框架,主要用来开发图形用户 界面(GUI)程序,也可以开发不带界面的命令行(CUI) 程序。Qt 支持多语言开发,即可以使用 Python、Ruby、 主窗口操作界面 申口通信 控制模块 图 5, 1, 46 LabVIEW 程序的组成

Perl 等脚本语言开发基于 Qt 的程序。Qt 支持的操作系统有很多,例如,桌面操作系统 Windows、Linux 和 macOS 等,智能手机操作系统 Android 和 iOS 等,嵌入式操作系统

QNX 和 VxWorks 等,能够做到"一次开发、任意部署",有了 Qt,一个代码栈和一个开发团 队就能同时支持所有目标平台。Qt 提供了 Qt Design Studio、Qt Creator 和 Squish GUI Tester 等一系列设计、开发和测试工具,极大地方便了 GUI 程序的设计。Qt 的详细介绍可 参考官方网站。

2) 利用 Qt 设计显示控制台

利用 Qt 设计显示控制台的方法和利用 LabVIEW 设计显示控制台的方法相似,首先需要 Qt 和下位机协商好通信协议,然后 Qt 的发送控制信息给下位机,下位机将探测结果返回给 Qt,Qt 将结果绘制图形。Qt 的详细使用可参考相关专门书籍。



5.2 水声通信系统电路设计

水下通信分为水下有线通信和水下无线通信。水下有线通信一般利用光缆作为信息传 输介质,通信速率高、误码率低,用于国际互联网的海底光缆总长度已经超过 130 万海里 (nmile),连接世界上 30 多个国家。用于军事斗争的专用海底光缆网络也是各国海军重点 建设的项目。但是,在海底铺设线缆,线路固定、安装烦琐,费用昂贵,还容易受到水下航行 器和海洋生物的破坏,一般只用于构成水下信息网络的主干网。

水下无线通信可利用的媒介有电磁波、光波和声波等。实验证明,电磁波在水中衰减非常显著,频率越高的电磁波在水中衰减越显著。低频(LF)电磁波可穿透海水的深度是几米,甚低频(VLF)电磁波穿透海水的深度为10~20m,极低频(ELF)电磁波穿透海水的深度为100~200m,但是发射这些低频电磁波需要极大功率的基站和庞大的天线,只能作为战略通信手段,对水下航行器单向发送简短的报文指令信息,无法在水下进行通信组网。

蓝绿激光在水下的传输距离通常比电磁波在水下的传输距离要远,最远可达数百米,因 此也利用蓝绿激光实现水下无线通信。

声波在水中的传播衰减远远小于电磁波和光波,有实验表明,在低频情况下,声音在水 中能传播 18000km 还能被接收到,因此声波是目前唯一一种能够实现水下远距离无线通信 的信息载体。水声通信就是在水下利用声波作为信息传输载体的通信技术。

浮标和水下航行器之间可以利用声波进行通信,浮标漂浮在水面上,可以接收常规无线 电信号,然后将其转换为水下航行器能够在深海接收的声波发射出去,从而实现水面上的航 行器和水下航行器之间的通信。

利用水声通信技术也可以实现水下通信的组网,综合利用水声通信、光纤通信、激光通 信和无线电通信可以组建复杂的水下信息网络。

1945年,美国海军实验室研发了真正意义上的水声通信系统——水下语音电话,并把 它应用于水下航行器之间的相互通信,这是水声通信发展历史上的重要里程碑。这种水下 语音电话在水声信道中传输的是模拟信号,信号在传输过程中受水声信道的影响很大,通信 质量很低,这在很大程度上限制了水声通信的发展。

从 20 世纪 70 年代开始,科学家在水声通信中传输数字信号,采用振幅键控(ASK)和频移键控(FSK)等调制技术,通信质量有很大提升,但是速率较低。在这一时期,多进制频移键控(MFSK)被研究得最多。从 80 年代开始,相干调制开始应用到水声通信中。水声通信也从非相干调制转向相干调制。相干调制主要包括相移键控(PSK)、差分相移键控

(DPSK)和正交振幅调制(QAM)等调制方式。相干调制的带宽利用率高,传输的速率相对 非相干来说得到了提升,但是解调比非相干复杂。到 90 年代,正交频分复用技术(OFDM) 开始进入水声通信的研究中。在 2000 年,Byung-Chul Kim 等运用 OFDM 技术实现了 3584b/s 传输速率的水声通信。

我国对水下通信技术的研究起步较晚,从 20 世纪 80 年代中后期开始,尤其是 90 年代 以后,相继开展了对非相干、相干水声通信技术的研究。

点对点远距离水声通信已经被美国列为 21 世纪的重大课题。目前,很多国家利用水 声通信系统初步组建了水下无线通信网络。

5.2.1 水声通信系统组成

1. 水声通信系统的组成框图

水声通信系统的组成与数字通信系统大体相同,其基本组成框图如图 5.2.1 所示。



图 5.2.1 水声通信系统的组成

在水声通信系统结构中,信源编码和译码的主要作用是降低信源信息的冗余度,这有助 于提高通信效率或降低信道带宽占用。

信道编码和译码是克服信道传输特性不理想及噪声与干扰对信息传输的影响而采用的 差错控制技术。对于具有时变频变特性的水声信道而言,信道编码性能的好坏对于整个系 统的误码率有着决定性作用,尤其是对于采用有失真、高压缩比的信源编码形式。

调制和解调的作用是让传输的信号更加适应信道环境或者利用不同的频带,比如:基带信号不适合在信道中直接传输,就通过调制变换到特定频率上传输;所有的信号都变换 到同一个频率上会造成互相干扰,就通过调制把信号变换到不同的频率上进行传输。

D/A 转换将二进制的数字信号转换为模拟电压信号,功率放大则进一步将模拟信号的 电压和电流放大到需要的功率水平上送给发射换能器。

发射换能器将电信号转换为声波辐射到水声信道,即海水中。

声波信号在海水中传播会受到衰减、海洋噪声的污染甚至人为的干扰,可能会发生信号的畸变。

接收换能器将接收到的水声信号重新转换为电信号,但此时的信号可能是极其微弱的, 还有可能混进了噪声以及人为干扰,所以在接收端的预处理模块里,一是要设置前置低噪声 放大器、可变增益放大器等放大器将接收到的微弱信号放大到 A/D 转换器的参考电压量 级,二是要设置滤波器滤除频带外的噪声和干扰。

A/D转换将模拟电压信号转换为数字信号以便进行数字处理,包括解调、译码等,从而 得到信源的估计值。估计可能会出现错误,传输中出现错误的码元个数与传输码元总个数 的比值称为误码率。误码率是水声通信系统的一个重要技术指标。衡量水声通信系统能力 强弱是在特定的海洋环境和误码率下,通信速率与通信距离乘积的大小,乘积越大,水声通 信系统的能力越强。

2. 水声通信系统的信道

水声通信系统之所以有别于其他无线通信系统,关键在于其信道。水声信道是一个带 宽窄、噪声高、多途干扰严重、多普勒效应明显的信道,整个水声通信系统所采取的技术措施 主要是围绕如何克服水声信道特性对信息传输的影响而确定的。

1) 多途干扰

水声通信信号多途径传播的示意如图 5.2.2 所示。



图 5.2.2 水声通信信号多途径传播的示意

发射端的一部分信号可能经过类似直线的方式传播到接收端,另外一部分信号可能经 过海底和海面多次反射后到达接收端,多途传播的脉冲信号产生的拖尾,会对后续信号产生 干扰,称为码间干扰,码间干扰会导致误码,从而降低通信质量。

2) 多普勒效应

发射端相对接收端产生位置移动,或者海面波浪的运动以及海中湍流都会引起接收信号相对发射信号的多普勒频移,这种频移会使接收到的信号随时间发生起伏性的变化,在多普勒频移下接收信号会产生畸变,从而可能导致误码。

5.2.2 水声通信系统的调制方式

数字调制是指用数字基带信号去调制某个载波,载波是一个确知的周期性信号,一般为 高频的正弦信号。正弦波的参数有振幅、频率和相位,它们都可以被独立地调制,即按照基 带信号的变化规律而变化。根据需要调制的参数不同,可以把基本数字调制方式分为振幅 键控、频移键控和相移键控等。随着技术的进步,特别是超大规模集成电路和数字信号处理 技术的发展,又出现了先进的数字调制解调方式,主要包括最小频移键控、正交频分复用技术和扩展频谱技术等。其中,正交频分复用技术和扩展频谱技术在现代水声通信中得到深入研究和应用,尤其是在高速水声通信方面,正交频分复用的优点很明显。

1. ASK 调制与解调

当调制信号的电平有 2 个时,ASK 调制称为 2ASK;当调制信号的电平有 M 个时, ASK 调制称为 MASK。2ASK 调制的波形如图 5.2.3 所示。S(t)为调制信号,载波信号是 单频的连续正弦波,已调的 2ASK 信号体现在时域上是调制信号为高电平时有载波信号输出,调制信号为低电平时无载波信号输出,所以 2ASK 又称为通断键控(OOK)。



2ASK 调制可以用模拟乘法器或者电控开关电路来实现,如图 5.2.4 所示。





2ASK 信号的解调可以采用低通滤波器实现,因为不需要从接收信号中提取载波信号, 属于非相干解调。其结构如图 5.2.5 所示。由图可见,接收信号首先经过带通滤波器,尽可 能地滤除载波频率以外的信号,接着经过整流器后幅值变为非负值,然后经过整流器和低通 滤波器就得到脉冲信号,最后经过定时脉冲的抽样即可估计调制信号。

2ASK 信号的解调也可以采用乘法器和低通滤波器实现,因为需要从接收信号中提取载波信号,属于相干解调。其结构如图 5.2.6 所示。由图可见,电路中多了载波提取,复杂度增加,但是误码率可能得到降低。

对于 ASK 的调制信号,由于在水声信道中衰减严重,故它的抗干扰能力相对较差,使 用较少,但它对于理解 FSK 调制有很大帮助。

2. FSK 调制与解调

当载波信号的频率有 2 个时,FSK 调制称为 2FSK;当载波信号的频率有 M 个时,FSK 调制称为 MFSK。2FSK 调制的波形如图 5.2.7 所示,s(t)为调制信号,载波信号是两个单频的连续正弦波,频率分别为 ω_1 和 ω_2 ,将调制信号 s(t)取反后得到 $\overline{s(t)}$,s(t)和 $\overline{s(t)}$ 分别

126 📲 电子系统设计与实习



图 5.2.6 2ASK 信号的相干解调结构

对频率为 ω_1 和 ω_2 的正弦波进行ASK调制,然后进行相加,即可得到已调的2FSK信号。



2FSK 信号体现在时域上是调制信号为高电平时输出频率为 ω_1 的正弦波,调制信号为低电平时输出频率为 ω_2 的正弦波。2FSK 调制器的组成是两个载波发生器和一个二选一模拟开关,如图 5.2.8 所示。调制信号为高电平时,开关接通上面的信号源,调制信号为低电平时,开关接到下面的信号源。

同理,4FSK 调制需要 4 个不同频率的载波,调制的时候两位二进制数对应 1 个频率的载波,即调制信号为"00"时输出频率为 ω_1 的正弦波,调制信号为"01"时输出频率为 ω_2 的正弦波,调制信号为"10"时输出频率为 ω_3 的正弦波,调制信号为"11"时输出频率为 ω_4 的



图 5.2.8 2FSK 调制器的组成

正弦波。

2FSK 信号的解调也分为非相干解调法和相干解调法。最简单的非相干解调方法是包络检波法,其电路结构包括带通滤波器、包络检测器和抽样判决器等,如图 5.2.9 所示。





不同频率的信号只能通过对应中心频率的滤波器,任一时刻两个或多个包络检测器中 只有一个有较大的信号输出,从而估计发射的信号。2FSK 信号的相干解调与 ASK 的相干 解调类似,不同在于需要两个 2ASK 解调器。

3. OFDM 调制与解调

首先把传输的高速数据流分解成若干低速的数据流,也就是将待传输的数据流进行串 并转换,转换后每个数据的持续时间变为原来的 N 倍; 然后再用这些并行的低速数据分别 去调制若干正交的子载波; 最后将所有调制后的子载波信号叠加输出,在相同的时间内仍 然发射出原来所有的数据。OFDM 调制电路的组成结构如图 5.2.10 所示。

OFDM 解调电路和 FSK 信号相干解调电路类似,其组成结构如图 5.2.11 所示,用接收到的信号分别与发射端相同频率的子载波信号相乘,然后积分,求得发射信号的估计值,最后进行并串转换,输出高速数据流。







每个数据能正确解调的原因在于其子载波的正交性,子载波的正交性是指如果两个子载波的频率不同,则它们相乘积分后的值为零。所以 OFDM 解调的关键在于必须保持子载 波之间的正交性。假如串并转换后数据的持续时间为 T_B,则必须保证公式中的 f_i和 f_j 之间的频率间隔为 1/T_B 的整数倍。OFDM 符号的频谱如图 5.2.12 所示,在每个子载波的中心频率处,其他子载波的强度必须为零。



OFDM 调制与 MFSK 调制的区别在于 MSK 各 载波的频谱之间不允许重叠,否则无法通过带通滤波 器滤波,而 OFDM 调制信号的子载波之间允许频率 重叠,极大地节省了通信的带宽资源,在相同的带宽 情况下可以达到更高的通信速率。但是 OFDM 也有 缺点,由于 OFDM 发送信号是多个正交的子载波之 和,它容易受到多普勒频偏的影响,也容易受到多径

效应的影响,这样子载波的正交性就会受到影响。另外,OFDM 信号的峰值功率与平均功 率的比值很大,这对滤波器的设计会产生严重影响,容易使信号产生变形,也容易导致子载 波的正交性失效,一旦子载波之间的正交性遭到破坏,OFDM 系统的性能将急剧下降。

5.2.3 水声通信系统发射端电路设计

从本节开始,以一个 2FSK 调制方式为例介绍水声通信系统的电路设计方法。在 2FSK 调制方式的水声通信系统发射端,主要的电路结构包括调制信号产生电路、D/A 转换器、滤波器和功率放大器等。

1. 水声通信系统发射端的调制信号产生电路

2FSK 调制信号的形成可以利用模拟电路手段或者数字电路手段,其中数字电路手段 包括专用芯片、单片机、DSP和 FPGA等。本书利用 FPGA 形成 2FSK 调制信号。

第一步,利用 DDS 技术在 FPGA 里生成载波。

利用 FPGA 实现 2FSK 调制首先要生成两个频率的正弦载波,在 FPGA 里生成正弦波 信号一般采用直接数字频率合成技术,也就是将一个周期的正弦波形以极小相位的间隔进 行采样,并将其存储于一个只读存储器(ROM)中,然后根据输出波形的频率和相位读取这 个存储器中的数据输出。

采用英特尔公司的 FPGA 设计正弦信号发生器的步骤如下:

(1)利用 MATLAB 生成一个周期的正弦信号数据存储到 mif 格式文件里,其文件内 容须满足英特尔公司规定的格式要求。MATLAB 程序代码如图 5.2.13 所示。



图 5.2.13 利用 MATLAB 生成一个周期正弦信号的程序源代码

(2) 在英特尔公司的 FPGA 开发软件 Quartus 中调用 ROM IP 核,将 MATLAB 生成 的 mif 文件与 ROM IP 核相关联,ROM IP 与 mif 文件关联的界面如图 5.2.14 所示,这样 就做好了波形存储器模块。

☆ MegaWizard Plug-In Manager [page 3 of 5]		? ×
a ROM: 1-PORT		About Documentation
1 Parameter 2 EDA 3 Summary Settings		
General > Regs/Clken/Adrs > Mem Init]>	
Address[15.0]	Do you want to specify the initial content of the memory No, leave it blank Dividiate memory content data to XXX on power-up in simulation Yes, use this file for the memory content data (You can use a Hexadecimal (Intel-format) File [.ht] Initialization File (.mt]) Note: The configuration scheme of your device is 1 order to use memory initialization, you must select configuration mode with Memory Initialization of pic configuration mode with Memory Initialization, for dialog box.	ry? ex] or a Memory Internal Configuration. In a single image sxample the Single on. You can set the he Device and Pin Options Browse
Resource Usage	The initial content file should conform to which port's dimensions? Allow In-System Memory Content Editor to capture a update content independently of the system dook The 'Instance ID' of this ROM is: Cancel	PORT_A V ind NONE k Next > Einish

图 5.2.14 ROM IP 与 mif 文件关联的界面

(3) 在 Quartus 软件中编写相位累加器的程序,相位累加器实际上是一个计数器,计数器在每个时钟到来之时增加一个频率控制码,其结果作为波形存储器的地址,去读取波形存储器里的数据输出,就形成了正弦波。在 Quartus 软件中生成的正弦波如图 5.2.15 所示。



图 5.2.15 在 Quartus 软件中生成的正弦波

第二步,利用数据选择器在 FPGA 中进行 2FSK 调制。

生成了正弦载波就完成了 2FSK 调制的一大半工作。理论上进行 2FSK 调制需要两个 正弦载波,但实际上在 FPGA 中并不需要两个波形存储器,只需要一个就可以。

将 2FSK 的电路组成再次呈现,如图 5.2.16 所示。





利用数据选择器在 FPGA 中进行 2FSK 调制的过程如下:

(1) 将图 5.2.16 中的两个载波信号用 DDS 结构来实现,也就是用相位累加器和波形存储器替代,如图 5.2.17 所示。



图 5.2.17 包含 DDS 结构的 2FSK 电路组成

(2)将数据选择器和波形存储器的位置互换,互换以后,两个波形存储器可以共用,这 样就节约一个波形存储器,再进行 MFSK 调制时就可以节约 M-1 个波形存储器,电路设 计效率大大提高。利用 FPGA 实现 2FSK 的电路组成如图 5.2.18 所示。



图 5.2.18 利用 FPGA 实现 2FSK 的电路组成

(3) 在 FPGA 内部添加一些额外的寄存器,在 FPGA 外部连接 D/A 转换器就可以输出 2FSK 信号。用示波器观察到的 2FSK 信号如图 5.2.19 所示。

2. 水声通信系统发射端的 DAC 电路

DAC电路将二进制的数字信号转化为时间上连续的电压波形,其输入为数字信号,输出为模拟信号。DAC电路一般采用专门的DAC芯片再配合一些分立的元器件实现。一个



图 5.2.19 用示波器观察到的 2FSK 信号

由 DAC8552 构成的 DAC 电路如图 5.2.20 所示。LM7805 是稳压芯片,输出 5V 的直流电 给 DAC8552 供电; LM7806 也是稳压芯片,输出 6V 的直流电给参考电源芯片 REF195 供电; REF195 输出 5V 的参考电压。虽然 LM7805 和 REF195 的输出电压都为 5V,但是 REF195 输出电压的稳定度要比 LM7805 高很多。



图 5.2.20 一个由 DAC8552 构成的 DAC 电路

DAC8552 是一个串行输入二进制数的 DAC 芯片,其 D_{IN}、SCLK 和 SYNC 引脚与单片 机、DSP 或者 FPGA 相连,分别是数据线、时钟线和同步信号线。DAC8552 应用的关键是 利用单片机、DSP 或者 FPGA 给 DAC8552 输入这三根线上的数据,DAC8552 的时序要求 如图 5.2.21 所示。

时钟信号 SCLK 是周期性的方波,其频率不能高于 DAC8552 要求值。

进行 D/A 转换时首先让 SYNC 信号由高电平变为低电平,然后送出一位二进制数,当时钟信号 SCLK 的下降沿到来时,一位二进制数就被 DAC8552 接收了;进行一次 D/A 转换 FPGA 需要送给 DAC8552 芯片 24 位二进制数,其中前 8 位是控制码,后 16 位是 D/A 转换 的数据;送出 24 位二进制数后,FPGA 把 SYNC 信号由低变高,这样就完成了一次 D/A 转换。





利用 FPGA 控制 DAC8552 输出的正弦波如图 5.2.22 所示,图中的每个台阶对应着 FPGA 给 DAC8552 的一个 16 位二进制数。



图 5.2.22 DAC8552 输出的正弦波

3. 水声通信系统发射端的滤波电路

DDS 输出的数字信号经过 D/A 转换后变成在时间上连续的电压波形,受制于 DDS 技 术本身的特点,这种电压波形并不光滑,存在一个一个的台阶。

对 DDS 信号进行频谱分析可知,DAC 电路输出的信号不仅含有正弦信号的基频,还有 高次谐波以及噪声,正是这些高次谐波和噪声让正弦信号看起来不是那么光滑。滤波器可 以从频域滤除掉信号中的高次谐波和噪声,因此可以在水声通信发射端的 DAC 电路之后、 功率放大器之前增加一个滤波电路,从而滤除发射信号中的高次谐波并降低发射信号的频 带外的噪声。

滤波器的频率特性有低通、高通和带通等形式,具体采用何种形式需要根据发射信号的 功率谱来确定。2FSK 信号的功率谱如图 5.2.23 所示,根据 2FSK 信号的频移指数 h 的取 值不同而不同,但总是属于带通信号,频带宽度等于载波频率之差加上码元速率。所以 DAC 之后的滤波器应设计为带通滤波器。





带通滤波器可以设计为有源或者无源的形式,有源滤波器除了使用电阻、电容和电感等 无源元件外,还需要使用三极管、运算放大器等有源器件,但是具有负载阻抗不会影响滤波 器的性能、级联多个滤波器不会导致增益下降等优点。各大器件公司都会提供滤波器的设 计软件和方法,其中亚德诺,即 AD 公司的滤波器设计软件是在线版的,通过浏览器访问网 页进行设计。

在浏览器中输入如下网址,进入亚德诺的滤波器设计工具页面,如图 5.2.24 所示。 https://tools.analog.com/en/filterwizard/



图 5.2.24 亚德诺的滤波器设计工具页面

滤波器设计的具体步骤如下:

(1) 选择滤波器的类型,网页只提供了低通、高通和带通三种类型。

(2)选择带通滤波器后设置滤波器的中心频率、截止频率、通频带以及响应特性,带通 滤波器的设计界面如图 5.2.25 所示。



图 5.2.25 带通滤波器的设计界面

(3) 选择元器件的类型,如运算放大器的型号、电源电压等,就可以得到滤波器的电路

参数,主要是电阻和电容的取值。选择元器件类型的界面如图 5.2.26 所示。此时,滤波器 的设计已经基本完成,后续界面主要是对电路参数的优化和滤波器性能的显示。



图 5.2.26 选择元器件类型的界面

4. 水声通信系统发射端的功率放大电路

水声通信系统发射端滤波器输出的信号幅度如果达不到发射功率要求,还需要在发射端设计功率放大器对信号进行放大,设计方法可参考 5.1 节水声探测系统发射端功率放大器的设计。

5.2.4 水声通信系统接收端电路设计

1. 水声通信系统接收端的放大电路

从水声通信系统的组成框图可以看出,水声通信在接收端需要完成的任务有接收信号 预处理、A/D转换、解调、信道译码、信源译码等任务。其中接收信号预处理是将水声换能 器接收到的微弱信号进行放大和滤波,使其满足 A/D转换和后续信号处理的要求。

1) 前置低噪声放大

前置低噪声放大直接对换能器输出的微弱信号进行放大,作为接收机第一级放大电路, 在很大程度上决定了接收机的自噪声大小,是影响接收机性能的重要部件。

水声换能器输出的电信号一般只有微伏级,如果使用普通运算放大器,输入失调电压就 会达到毫伏级,而且温漂较大。集成仪表放大器具有高输入阻抗、低输出阻抗、抗共模干扰 能力强、低温漂、微伏级失调电压的特性,因而可以作为水声通信接收端的前置放大器使用。

各大半导体器件供应商都有提供仪表放大器,例如,可以访问德州仪器(TI)或者亚德 诺公司官网,按照产品、放大器、仪表放大器的路径可以对仪表放大器进行选型。德州仪器 公司仪表放大器选型的界面如图 5.2.27 所示。

INA103 是一款具有极低噪声和失真度的集成仪表放大器,其供应商是 BB(Blur Brown)公司,已经被德州仪器公司收购。INA103 的内部结构如图 5.2.28 所示。

由 INA103 构成的前置放大器如图 5.2.29 所示。此时 INA103 内部的运算放大器 A₁、A₂构成同相差分输入电路,大幅度地提高电路的输入阻抗,减小电路对微弱输入信号 的衰减,只对差模信号放大,不对共模信号放大。运算放大器 A₃构成差分放大电路,稳定 电路输出。此电路的放大倍数为 100,完全由集成电路内部的集成电阻决定,非常精确。外 接的三个电阻起输入偏置调整,不影响电路的放大倍数。

TEXAS INSTRUMENTS	搜索 Q
产品 应用 设计和开发 质量和可靠	性 支持与培训 关于 TI
放大器 > 音频 >	⋧ 放大器 →
时钟和计时 > 数据转换器 >	☆ 仪表放大器
DLP [®] 产品 >	⇒ 全差分放大器
送山 > 隔离器件 >	☆ 可编程和可变增益放大器 (PGA 和 VGA)
逻辑和电压转换 > 微控制器 (MCII) 和处理器 >	≈ │ 差分放大器
电机驱动器 >	☆ 比较器

图 5.2.27 德州仪器公司仪表放大器选型的界面



图 5.2.28 INA103 的内部结构

2) 二级放大

二级放大电路由通用的同相或反向比例放大电路构成,注意选取低输入电压、低电流噪 声和低偏置电流的集成运算放大器作为核心器件。

除了普通的运算放大器外,还有很多压控放大器或者可控增益放大器也可构成二级放 大电路。压控放大器的型号很多,比较经典的有 VCA810 和 AD603 等,VCA810 的增益-控 制电压特性如图 5.2.30 所示。当控制电压 V_C 增大时,放大器的增益减小,二者基本呈线 性关系。

第5章 电子系统电路设计 Ⅱ▶ 137



图 5.2.29 由 INA103 构成的前置放大器



图 5.2.30 VCA810 的增益-控制电压特性

2. 水声通信系统接收端的 AGC 电路

声波在海洋中的传播衰减较快,水声通信的发射端和接收端有相对运动或者海洋中的 湍流都会使接收端的信号幅度发生较大变化,因此有必要在接收端设置自动增益控制 (AGC)电路,使得 A/D转换器采集到的信号幅度基本稳定。

由 VCA810 构成的自动增益控制电路如图 5.2.31 所示,输出信号 V_0 和参考信号 V_R 被送入运算放大器 OPA820,当 V_0 的峰值大于 V_R 时,图中的二极管 HP5082 会导通,使得 VCA810 的控制电压 V_C 增大,从而使 VCA810 的放大倍数减小,结果导致整个电路的输出 峰值被控制在 V_R 左右。

3. 水声通信系统接收端的滤波电路

在水声通信接收端,经过放大后的信号包含有用信号、杂波和干扰等,需要进行滤波,以 便满足信号处理的要求。水声通信系统接收端的滤波电路可参考发射端滤波器的设计 方法。

4. 水声通信系统接收端的 ADC 电路

在水声通信系统的组成框图中,接收信号经过预处理(放大、滤波)后即进入 A/D 转换

138 4 电子系统设计与实习



图 5.2.31 由 VCA810 构成的自动增益控制电路

环节。

A/D转换是将模拟电压波形转换为二进制信号,供数字信号处理器件进行解调、信道 译码、信源译码等数字处理。A/D转换过程包括将模拟信号进行采样、量化和编码。实际 的采样电路包含保持电路。

采样保持后的信号在幅度上可能有无穷多个取值,量化过程是将这些取值进行分类,取 值相近的一些模拟电压被分类为一个量化电压,量化电压的取值是有限的。

编码是将量化后的 *M* 个电压取值转换为 *N* 位二进制数码,*M* 的取值必须小于或等于 2 的 *N* 次方,例如 8 个量化电压至少要用 3 位二进制数进行编码。

核心芯片为 AD9220 的 ADC 电路如图 5.2.32 所示,其中 VINA 为模拟电压输入,1~14 引脚是转换结果的二进制输出和 ADC 的控制信号输入,它们与单片机、FPGA 或者 DSP 相连接。

图中除 R2 和 R3 之外的所有电阻、电容和电感是为 AD9220 提供电源电压和参考电压,模拟信号从 P1 输入,转换得到的二进制结果是 BIT1~BIT12,一共 12 位二进制数, BIT1 为最高有效位。



图 5.2.32 核心芯片为 AD9220 的 ADC 电路

AD9220的时序和控制如图 5.2.33 所示,只需要给 AD9220 一个时钟上升沿,就可以 在时钟下降沿得到转换的 12 位并行二进制数,注意,时钟的高电平至少要保持 45ns,低电 平至少要保持 45ns,周期不小于 100ns,也就是说 AD9220 的最高工作速率是 10M 采样每

第5章 电子系统电路设计 Ⅱ▶ 139

秒,而水声通信信号频率一般不超过1MHz,所以 AD9220 的工作速率对水声通信信号的采 集是足够了。



5.2.5 水声通信系统的数字信号处理电路

在水声通信接收端,信号经过 A/D 转换后即可进行各种数字处理,包括解调、信道译码 和信源译码等,本节的数字信号处理电路设计包括 FSK 信号解调的 FPGA 实现、OFDM 信 号调制和解调的 FPGA 实现两部分。

1. FSK 信号解调的 FPGA 实现

2FSK 信号的非相干解调原理框图如图 5.2.34 所示。



图 5.2.34 2FSK 信号的非相干解调原理框图

接收信号分别经过两路滤波器将不同频率的载波信号分开,然后进行包络检测,最后进行抽样判决。这个过程可以利用模拟电路实现,也可以利用 FPGA 进行带通滤波、包络检测和抽样判决实现。其中包络检测器可以用取绝对值和低通滤波器代替,抽样判决器可以用两路信号低通滤波的输出直接比较大小代替,因而 2FSK 信号解调的 FPGA 实现核心问题是滤波器的 FPGA 实现。本节也仅以 FIR 滤波器的 FPGA 实现为例介绍 FSK 信号解调 的 FPGA 实现。

假如在 2FSK 调制阶段使用的两路载波频率分别为 3kHz 和 12kHz,FPGA 的时钟频 率为 12MHz,可以在 FPGA 里设计两个采样频率为 187.5kHz(12MHz 的 64 分频)带通滤 波器将两路载波信号分开。

设计的步骤如下:

(1) 在 MATLAB 的命令行里输入"fdatool"启动滤波器设计与分析工具;

(2) 在滤波器设计与分析工具界面输入滤波器的参数,包括滤波器的类型、截止频率、 衰减要求等。然后单击"Design Filter"按钮。可以看到滤波器的幅频特性如图 5.2.35 所示。

(3) 在文件(File)菜单下选择输出(Export),输出滤波器的系数到数组 Num 中。然后 在工作区双击数组 Num 数组打开数组数据复制滤波器的系数,然后粘贴到文本文件中保 存供后续 Quartus 软件调用。保存和打开 Num 数组的界面如图 5.2.36 所示。



💽 Filter Design & Analysis Tool - [un	iitled.fda *]	1. X.	– 🗆 X
File Edit Analysis Targets View	Window Help		
🗅 🖨 🖬 🖨 💽 🔍 🤜 🖉		1 - 🏽 🗔 🛈 🖸 🖝 🕅	
Current Filter Information Structure: Direct-Form FIR Order: 133 Stable: Yes Source: Designed	Magnitude Response (dB)		
Store Filter Filter Manager	0 10 20	30 40 50 60 7 Frequency (kHz)	70 80 90
Response Type Lowpass Highpass	Filter Order	Frequency Specifications	Magnitude Specifications
Bandpass Bandstop	Options	Fstop1: 500	Astop1: 40
Differentiator Design Method UIR Buttenworth FIR Equiripple	Density Factor: 20	Fpass1: 2500 Fpass2: 3500 Fstop2: 5500	Astop2: 40
Variables have been exported to the	Des workspace.	sign Filter	

图 5.2.35 滤波器的幅频特性

🔺 Export — 🗆 🗙	主	页	绘图	应	用程序		变量	视	图
Export To	5	1 🔀 İJF	Ŧ▼ 行		列		# 3		转置
Workspace	根据所述 新建	「「」「」」「」」「」」「」」」」」」」」」」」」」」」」」」」」」」」」	D ▼ 1		:		插入 册		非序 ▼
Export As		变量		所	选内容			编辑	
Coefficients	◆ ◆ 〒 辺 □ ◆ C: ◆ Users ◆ zhu ◆ Documents ◆ MATLAB ダ 安量 - Num								
-Variable Names Num X									
Numerator. Num	1	2	3	4	5	6	7	8	9
	1	0.0023	0.0026	0.0030	0.0033	0.0036	0.0039	0.0041	0.0043
	2								
Export Close Help	3								
Close Help	4								

图 5.2.36 保存和打开 Num 数组的界面

(4) 在 Quartus 软件的 IP Catalog 区域输入"FIR"回车然后双击"FIR II"进入 FIR IP 核的设计页面,如图 5.2.37 所示。

(5)确定滤波器的时钟频率和信号采样率,如图 5.2.38 所示。

(6)确定滤波器系数的格式和位数,如图 5.2.39 所示,注意输入数据要与滤波器系数的格式保持一致,比如图中滤波器的系数设置为有符号数,则 A/D 转换后的数据也需要转换为有符号数。

P Catalog		Į∂×	
<pre> FIR </pre>		₹	
🗸 💐 Installed IP			
∼ Library			
✓ DSP			
✓ Filters			
# FIR II			
Search for Partner IP			



Parameters 🕺		-
System: FIR_COM Path: fir	_compiler_ii_0	
FIR II altera_fir_compiler_ii		Details
Filter Specification Coeff	icient Settings Coefficients Input/Output Options Implementation Options Reconfigurability	
* Filter Settings		
Filter Type:	Single Rate 🗸	
Interpolation Factor:	1	
Decimation Factor:	1	
Max Number of Channels:	1	
* Frequency Specificatio	n	
Clock Rate:	0.187500 MHz	
Clock Slack:	0 MHz	
Input Sample Rate (MSPS)	0.187500	
* Coefficient Reload Opt	ions	
Coefficients Reload		
Base Address:	0	
Read/Write Mode:	Read/Write V	
* Flow Control		
Back Pressure Support		

图 5.2.38 确定滤波器的时钟频率和信号采样率

M Parameters 🛛		- đ =
System: FIR_COM Path: fir_comp	piler_ii_0	
FIR II altera_fir_compiler_ii		Details
Filter Specification Coefficien	t Settings Coefficients Input/Output Options Implementation Options Reconfigurability	- 1
Symmetry:	Non Symmetry	_ 1
L-th Band Filter:	All tans v	
Coefficient Scaling:	Auto V	
Coefficient Data Type:	Signed Fractional Binary ~	- 1
Coefficient Width:	8 bits	
Coefficient Fractional Width:	16 bits	

图 5.2.39 确定滤波器系数的格式和位数

(7) 从文本文件导入滤波器的系数,如图 5.2.40 所示。

(8)设置滤波器输入和输出数据的位数,如图 5.2.41 所示,根据数据实际情况可对数据截头或者截尾调整输出二进制数为期望位数。

(9) 选择 FPGA 资源优化方案,如图 5.2.42 所示,建议保持默认方案。

第5章 电子系统电路设计 ┃▶ 141





MP Parameters 🗱	- ೮ 🗆
System: FIR_COM Path: fir_compiler_ii_0	
FIR II	
altera_fir_compiler_ii	Details
Filter Specification Coefficient Settings Coefficients Input/Output Options	Implementation Options Reconfigurability
Input Options	
Input Type:	Signed Binary ~
Input Width:	16 bits
Input Fractional Width:	0 bits
° Output Options	
Output Type:	Signed Binary 🗸
Output Width:	16 bits
Output Fractional Width:	0 bits
Specifies whether to truncate or saturate the most significant bit (MSB).:	Truncation ~
MSB Bits to Remove:	0
Specifies whether to truncate or round the least significant bit (LSB).:	Truncation ~
LSB Bits to Remove:	25
outWidth:	41 bits
Output Full Fractional Width:	0 bits

图 5.2.41 设置滤波器输入和输出数据的位数

(10) 单击"Generate"生成 FIR 滤波器的 IP 实例,如图 5.2.43 所示。

(11) 生成 FIR 滤波器的 IP 实例成功,单击"Close",如图 5.2.44 所示。

(12) 生成的 FIR 滤波器的 IP 实例符号, 如图 5.2.45 所示。

(13) 将 IP 实例添加到 Quartus 的工程文件并设置 2FSK 信号为滤波器的输入,可以得 到两路分离的载波信号,完成了 2FSK 信号解调的带通滤波过程,两个滤波器的输入输出信 号如图 5.2.46 所示。

两个滤波器的输出信号分别经过取绝对值、低通滤波后再比较大小即可得到解调后的输出信号,整个 2FSK 调制解调过程中的信号如图 5.2.47 所示,其中,TZ_in 为调制信号, FSK_TZ 为已调信号,fir_out1 和 fir_out2 为带通滤波输出,fir_out3 和 fir_out4 为低带通滤波输出,FSK_JT 为解调信号输出。

🕸 Parameters 🕺		- ರೆ ⊏
System: FIR_COM Path: fir_c	ompiler_ii_0	
FIR II altera_fir_compiler_ii		Details
Filter Specification Coeffic	ient Settings Coefficients Input/Output Options Implementation Options Reconfigurability	
* Resource Optimization Se	ttings	
Device Family:	MAX 10 🗸	
Speed Grade:	Medium 🗸	
Memory Block Threshold:	20	
Dual Port RAM Threshold:	1280	
Large RAM Threshold:	1000000	
Hard Multiplier Threshold:	-1	
* Resource Estimation		
Number of LUTs:	8308	
Number of DSPs:	113	
Number of Memory Bits:	0	

图 5.2.42 选择 FPGA 资源优化方案

3. Generation	×
Synthesis	L
Synthesis files are used to compile the system in a Quartus project.	L
Create HDL design files for synthesis: Verilog \checkmark	I
Create timing and resource estimates for third-party EDA synthesis tools.	L
Create block symbol file (.bsf)	I
* Simulation	I
The simulation model contains generated HDL files for the simulator, and may include simulation-only features.	I
Simulation scripts for this component will be generated in a vendor-specific sub-directory in the specified output directory.	I
Follow the guidance in the generated simulation scripts about how to structure your design's simulation scripts and how to use the <i>ip-setup-simulation</i> and <i>ip-make-simscript</i> command-line utilities to compile all of the files needed for simulating all of the IP in your design.	
Generate Cance	1



💑 Save System Completed	×
A11 🖸 🛆 🕕	
Unto: C:\intelipga\18.0\quartus\sopc_builder	/p:
Info: C:/intelfpga/18.0/quartus/sopc_builder	/*
Info: Reading index C:\intelfpga\18.0\quartus	cc
Info: C:\intelfpga\18.0\quartus\common\libra	ri
Info: C:/intelfpga/18.0/quartus/common/libra	ri
Info: C:/intelfpga/18.0/quartus/sopc_builder	/ь
Info: C:\intelfpga\18.0\quartus\sopc_builder	\b
Info: C:/intelfpga/18.0/quartus/sopc_builder	/b
⊘ Save System: completed successfully.	
Clo	se

图 5.2.44 单击 Close





图 5.2.45 生成的 FIR 滤波器的 IP 实例符号







图 5.2.47 整个 2FSK 调制解调过程中的信号

2. OFDM 信号调制与解调的 FPGA 实现

除了 FSK 调制方式外,ODFM 调制方式在水声通信系统研究得也较多,也可以用 FPGA 实现调制和解调。

1) OFDM 与 FFT 的关系

根据 OFDM 调制电路结构图(图 5.2.10)可写出 OFDM 信号 s(t)的表达式,具体为各 路调制信号与载波信号乘积的和,即

$$s(t) = \sum_{i=0}^{N-1} d_i \times \exp(j2\pi f_i t), \quad t \in [0,T]$$
(5.2.1)

将

第5章 电子系统电路设计 ▮▶ 145

$$f_i = \frac{i}{T} \tag{5.2.2}$$

和

$$t = k \frac{T}{N} \tag{5.2.3}$$

的表达式代入上式得到离散化的s(t),记为 s_k :

$$s_k = \sum_{i=0}^{N-1} d_i \times \exp\left(j\frac{2\pi ik}{N}\right), \quad k \in [0, N-1]$$
(5.2.4)

比较s_k的表达式和离散傅里叶逆变换(IDFT)的表达式,二者只相差一个固定系数。

接收到的 OFDM 信号记为 s'_k ,根据 OFDM 解调电路结构图(图 5.2.11)可写出 OFDM 解调后的信号 d'_i 的表达式。

$$d'_{i} = \sum_{k=0}^{N-1} s'_{k} \times \exp\left(j - \frac{2\pi i k}{N}\right), \quad i \in [0, N-1]$$

$$(5.2.5)$$

比较上式和离散傅里叶变换(DFT)的形式,二者完全一致,由此可以得到启示,用离散 傅里叶逆变换和离散傅里叶变换可以分别实现 OFDM 的调制和解调,这就是 OFDM 和 FFT 之间的关系。

2) OFDM 调制和解调的电路结构

OFDM 的调制和解调可以看作离散傅里叶逆变换和离散傅里叶变换,在实际应用系统 中则分别利用快速傅里叶逆变换(IFFT)和快速傅里叶变换(FFT)代替离散傅里叶逆变换 和离散傅里叶变换。无论是快速傅里叶变换还是其逆变换,在本质上都是若干级的蝶形 运算。

8 点 FFT 的运算流程如图 5.2.48 所示,输入数据有 8 个,经过 3 级蝶形运算后得到 8 个输出数据。



图 5.2.48 8 点 FFT 的运算流程

IFFT 的计算流程和 FFT 类似,输入输出数据也表现为并行形式,因此利用 IFFT 来实现 OFDM 调制时首先要将 N 个串行输入的数据流转换为 N 个并行输入的数据,然后进行 IFFT,最后将 IFFT 的输出的 N 个并行数据再转换为 N 个串行的数据流,作为 OFDM 调

146 🚽 电子系统设计与实习

制信号的 N 个采样值。使用 IFFT 进行 OFDM 调制的具体电路结构如图 5.2.49 所示,图 中 d_i 为调制信号的第 i 个输入, s_k 为已调信号的第 k 个采样值,载波信号频率与电路时钟 信号 clk 的频率相关。

利用 FFT 来实现 OFDM 解调时也是首先进行串并转换,然后做 FFT,最后将 FFT 输出的数据进行并串转换。使用 FFT 进行 OFDM 解调的具体电路结构如图 5.2.50 所示。





3) OFDM 调制和解调的 FPGA 实现

从使用 IFFT/FFT 进行 OFDM 调制和解调的具体电路结构可以看出,核心工作是 IFFT/FFT 的硬件实现。IFFT/FFT 采用硬件实现的方式主要有 DSP 和 FPGA 两种,本 书介绍如何用 FPGA 来实现 IFFT/FFT。

采用 FPGA 实现 IFFT/FFT 最原始的方式是编写 HDL 程序来实现蝶形运算,这种方式对设计者有较高要求,而且很难得到最优的电路结构。实际上各大 FPGA 厂家,比如英特尔和赛灵思都提供了 IFFT/FFT IP 核。FPGA 厂家提供的 IFFT/FFT IP 是经过优化的、在各自厂家的 FPGA 芯片上做了最优适配的电路模块。

FPGA 厂家的 IP 有两种:一种是免费的 IP,在 FPGA 的开发软件中可以直接调用,如存储器 IP、锁相环 IP 等;另一种是收费的 IP,需要购买 IP 的许可证 license 才可以使用,如FFT 的 IP。

在 Quartus 软件中设置并应用 FFT IP 的步骤如下:

IP Catalog			
Device Family	Cyclone V (E/GX/GT/SX/SE/ST) 🔫		
<pre></pre>	× =		
🗸 🛊 Installed I	P		
✓ Library			
✓ DSP			
✓ Tran:	sforms		
<i>P</i>	FFT		
Search fo	r Partner IP		

图 5.2.51 FFT IP Catalog 的界面

(1) 在工具、IP Catalog 的搜索框中输入"FFT"并 回车,出现如图 5.2.51 所示的 FFT IP Catalog 的界面, 图 中显示 FFT IP 在 Library、DSP、Transforms 路 径下。

(2) 双击"FFT"符号,进入FFT IP 的配置界面,如 图 5.2.52 所示,对 FFT IP 的设置主要包括变换 (Transform)、输入输出(I/O)、数据和旋转(Data and Twiddle)三方面。

(3)设置变换(Transform)的参数,如图 5.2.53 所示,变换的参数有两个:一个是 FFT 变换输入与输出数据的长度(Length),这需要根据 OFDM 载波的个数和 FFT 变换的精度 确定,图中选择长度为 1024 表示 OFDM 载波的数量最多为 1024 个。

IP Parameter Editor - ff File Edit System Generat	t4.qsys* (C:∖intelFF te View Tools H	PGA\18.0\fft4.qsys)			_		×
Marameters 😫		 - d' C		🖪 Details 🛛	Block Symbol 8	3	
System: fft4 Path: f:	ft_ii_0						
DET		Details		FFT			
altera_fft_ii		Generate Example Design					_ 11
		Generate Example Design	4	Name	altera_m_li		
Basic				Author	Altera Corporation		
* Transform				Author	Altera East Equijor	Transform II	
Length:	1024 ~			Croup	DSB/Transforms	Transionni	
Direction:	Bi-directional	~		User Guide	https://documentati	on altera con	n/#/link
5- 787 AV				Release Notes	https://documentatio	on altera con	n/#/link
<u>* I/0</u>				Release notes	maps.//documentation	Jin.ancra.com	10 H71011
Data Flow:	Variable Stream	ning ~					
Input Order:	Natural	<u> </u>		[a		~	
Output Order:	Digit Reverse	<u> </u>		9		^	
"Data and Twiddle				🥑 Presets 🛛			
Representation:	Fixed Point	~		Presets for ff	Ft ii 0		
Data Input Width:	$18 \times \text{hits}$						×
Twiddle Width:	$18 \times \text{hits}$			Project			~
Data Output Width:	20 bits			Click New.	. to create a	preset.	
	25 0103	,		No presets	for FFT 18.0		
* Latency Estimates							
Calculation Latency:	1024 cycl	es					
Throughput Latency:	1024 cycl	.es					
ö≣ Messages 🕺		- d' 🗆					
Type Path	Message	8					
∃ ◎ 1 Info Message			1	Apply Ur	date Del	ete N	Vew
				uppry Of	Der Der		
0 Errors, 0 Warnings					Generate	HDL	Finish

图 5.2.52 FFT IP 的配置界面

另一个变换的参数为方向(Direction),方向一共有三种选择,分别为Forward、Reverse和Bi-directional,分别表示进行FFT、IFFT和双向变换,进行双向变换时生成的IP模块会多一个选择端口,端口为低电平时进行FFT,端口为高电平时进行IFFT。图中Direction设置为双向,可以



实现一个 IP 核既可以用作 FFT 又可以用作 IFFT,即 OFDM 调制和解调都是用同一个 IP 核。

(4) 设置 FFT IP 的输入/输出(I/O)参数,如图 5.2.54 所示,共有三个参数,其中数据 流 Data Flow 共有四种模式,此处选择流模式(Streaming),选择流模式后可以将 OFDM 调制和解调电路结构中的串并转换以及并串转换都省略掉。

输入数据顺序(Input Order)可以选择自然顺序(Natural),即数据按序号从小到大输入;输出数据顺序(Output Order)可以选择自然顺序(Natural),即数据按序号从小到大输出。

(5)设置 FFT IP 的数据和旋转(Data and Twiddle)参数,如图 5.2.55 所示,共有四个参数,其中数据的表示格式(Representation)可以选择数据为定点数、单浮点数或者块浮点数,块浮点数是指一个数据块的数据共用一个指数。另外三个参数分别是输入数据的位数、旋转因子的位数和输出数据的位数,位数越多,计算越精确,但消耗的电路资源也越多。

I/0		
Data Flow:	Streaming	~
Input Order:	Natural ~	
Output Order:	Natural ~	

图 5.2.54	设置 FFT IP 的输入/输出(I/O
	参数



图 5.2.55 设置 FFT IP 的数据和旋转 (Data and Twiddle)参数

(6) 生成 IP 核。通过步骤(3)~步骤(5)设置参数后,就可以单击 FFT IP 配置界面右下角的生成硬件描述语言文件(Generate HDL)按钮,即可得到一个具体的 FFT IP 核,如图 5.2.56 所示。

图中的 FFT IP 核看起来好像一个集成电路芯片,实际上也的确可以把它理解为一个芯片,只不过这个芯片是固化在 FPGA 内部。在此可以加深理解 FPGA 的功能,FPGA 看起来是一块芯片,但可以通 过编写硬件描述语言程序或者调用 IP 核在其内部固 化出很多块具体功能的芯片,只要 FPGA 的逻辑资 源够用。

图 5.2.56 中的 IP 核左边是输入端口,右边是输出端口,可以看到,输入端口除了输入 数据 sink_real 和 sink_imag 分别代表输入数据的实部和虚部外,还有时钟信号 clk、复位信 号 reset_n 以及 IP 核的各种控制信号,所以用 FPGA 来实现 OFDM 调制和解调电路剩余 的工作就是如何设计好这些控制信号的时序,具体的信号时序可参考英特尔公司提供的 IP 核说明书。



5.3 水声对抗系统电路设计

自从德国在第二次世界大战中依托潜艇对同盟国造成重大损失后,世界各国便越来越 重视水声探测技术的研究,各种水下探测设备和水中兵器越来越多,这大大压缩了舰艇的生 存空间。于是,水声对抗应运而生。其核心问题是如何有效规避水声探测,提升舰艇的战场 生存能力。水声对抗是水下信息战的主要形式,通过使用专门的水声设备和器材,并利用声 场环境、隐身、降噪等手段,对水下探测设备和水中兵器进行探测、干扰、诱骗或毁伤,削弱其 作用或者对其进行摧毁,保障己方设备正常工作和舰艇安全。

最早的水声对抗战例出现于 1943 年年末、1944 年年初盟军开始猎杀德国 U 型潜艇时。 当时 U 型潜艇使用了一种名为 Pillenwerfer 的对抗器材,它由氢化锂制成,像一个巨大的药 丸,可以产生大量的气泡,阻挡潜艇的回声。Pillenwerfer 在德国 U 型潜艇上的位置如 图 5.3.1 所示。

在 1982 年英阿马岛海战中,英国海军的"无敌"号攻击型核潜艇用两枚鱼雷就击沉了阿 根廷的"贝尔格拉诺将军"号巡洋舰,与此同时,阿根廷的"圣路易斯"号护卫艇也对英国舰船 发射了 3 枚制导鱼雷,但阿根廷发射的 3 枚鱼雷全部像"瞎了眼睛"一样,在英国舰船的船尾





图 5.3.1 Pillenwerfer 在德国 U 型潜艇上的位置

附近绕起了圈子,并最终自毁身亡,而英国舰艇却安然无恙。同样是遭受到鱼雷攻击,结果 却大相径庭,主要原因是英国舰艇都装备有拖曳式声诱饵,才使得阿根廷的三次鱼雷攻击无 一命中目标。因此,水声对抗技术在舰艇体系中的作用非常重要。

5.3.1 水声对抗系统的组成

水声对抗系统是指由若干水声对抗设备组成统一协调的整体。典型的水声对抗系统组成如图 5.3.2 所示,一般由探测分系统、决策分系统和实施分系统等设备组成。探测分系统 一般指鱼雷报警声呐等各类探测设备,探测分系统融合处理各类探测信息,分类、识别和定 位敌方的探测设备和来袭鱼雷,并将鱼雷报警信息发送至决策分系统。



图 5.3.2 典型的水声对抗系统组成

决策分系统根据鱼雷报警信息,结合战场态势和海洋环境,对威胁目标进行排序,利用 辅助决策软件生成水声对抗方案,并将对抗方案发送至实施分系统。 实施分系统一般包括各类水声对抗器材、发射装置以及操控装置等。实施分系统根据 对抗方案,控制发射对应的对抗器材对敌方的探测设备和来袭鱼雷进行杀伤,削弱其作用或 者对其进行摧毁。

水声对抗器材依照不同的分类方法,一般分为软杀伤型对抗、硬杀伤型对抗和非杀伤型 对抗。非杀伤型对抗手段主要是指舰艇通过降噪、消磁、吸声等技术提高隐身能力、降低探 测装备的作战效能,或者利用自身的机动规避来躲避鱼雷攻击等。软杀伤型对抗和硬杀伤 型对抗是水声对抗装备和技术发展的主要方面。

1. 软杀伤型对抗器材

软杀伤对抗是指采用屏蔽、干扰、诱骗等手段使敌方声呐或来袭鱼雷不能发现目标或迷 失目标而导致航程耗尽来达成对抗目的的方式。软杀伤对抗手段对抗声呐探测和鱼雷攻击 的目的不是毁伤声呐和鱼雷本身,而是采用水声学手段影响声呐和鱼雷,使其不能发现目标 或诱骗攻击虚假目标。采用的对抗器材主要有气幕弹、噪声干扰器和声诱饵。

气幕弹是一种无源水声对抗器材,内部装有化学物质,当与海水接触时会发生化学反应 产生大量的气泡。多枚气幕弹连成的气幕对声波的传播产生反射和衰减,从而隔断或削弱 气幕两边的声接触,起到对声探测的屏蔽效果。

噪声干扰器是一种有源水声对抗器材,通过发射强功率噪声来干扰敌方声呐或声制导 鱼雷,降低其声探测作用距离和对目标的跟踪性能,提高舰艇的生命力。

顾名思义,声诱饵就是作为假目标使用的,引诱敌方声呐或来袭鱼雷对假目标进行探测和跟踪,进而为舰艇摆脱敌方的探测和跟踪创造机会。

2. 硬杀伤型对抗

硬杀伤对抗是采用特殊的手段,直接毁伤鱼雷或破坏和损伤来袭鱼雷的声制导,使其永 久性失效或降低其能力,是一种较理想的防御手段。对抗器材主要有反鱼雷鱼雷、引爆式声 诱饵和鱼雷拦截网。

反鱼雷鱼雷是一种较理想的硬杀伤武器。反鱼雷系统捕获来袭鱼雷后直接把反鱼雷鱼 雷导向来袭鱼雷,在两雷最靠近时刻引爆炸药,摧毁或击伤来袭鱼雷,使其失去攻击力。

引爆式声诱饵是在声诱饵对来袭鱼雷诱骗的基础上,增加了硬杀伤功能,即声诱饵先把 鱼雷诱骗至附近后,其上的声或磁引信启动引起诱饵爆炸,其冲击波使来袭鱼雷自导或控制 系统失灵而不能实施有效攻击,或者声诱饵输出的声磁物理场导致鱼雷自身引爆。

防鱼雷网由舰艇的鱼雷发射管或者专门的防鱼雷网炮发射,然后在水中快速展开,捕捉 鱼雷,通过控制装置或各种引信使起爆装置引爆,摧毁来袭鱼雷。美国很多大型舰艇和航空 母舰上都装有防鱼雷网炮,专门用来发射防鱼雷网装置。

5.3.2 水声对抗系统的电路结构

某水声对抗系统的电路结构如图 5.3.3 所示,它可以通过控制发射模拟信号和大功率 低频噪声信号,对敌方声呐或鱼雷进行诱骗和干扰,保护我方潜艇的信息安全。

接收水听器、滤波放大模块、A/D转换模块和微处理器构成该系统的探测分系统,上位 机构成该系统的决策分系统,D/A转换模块、功率放大器和发射换能器则构成该系统的实施分系统,各分系统之间通过电缆、光缆或水声信道进行通信。

当敌方的声呐或来袭鱼雷发出的水声信息被接收水听器采集时,水听器将水声信息转



图 5.3.3 某水声对抗系统的电路结构

换成电信号,电信号经过滤波放大,又通过 A/D 转换成数字信号,最后经由微处理器处理和 解算得到报警信息。报警信息经过通信缆传输到上位机,上位机根据报警信息,结合数据库 信息,对威胁目标进一步识别和排序,进而生成不同的对抗方案。根据不同的对抗方案,实 施分系统执行不同的工作模式。工作模式有声干扰模式和声诱饵模式。

1. 声干扰模式

在声干扰模式下,上位机调用数据库中的干扰噪声数据,经由通信缆传输到实施分系统,干扰噪声数据经过功率放大器的放大,驱动水下的发射换能器对敌方发射大功率的干扰 噪声信号,从而降低我方潜艇被敌方声呐探测或鱼雷击中的概率。可以看出,此时实施分系统就是一个噪声干扰器。

按对抗探测设备工作频率的不同,噪声干扰器可分为高频噪声干扰器和低频噪声干扰器,高频噪声干扰器主要用于对抗鱼雷,低频噪声干扰器主要用于对抗舰壳声呐。为了使同一器材既能对抗鱼雷又能对抗舰壳声呐,现今的声噪干扰器通常把鱼雷制导声呐工作频段和舰壳声呐工作频段组合在一起,称为宽带噪声干扰器。噪声干扰器的工作原理示意如

图 5.3.4 所示,干扰作用不同的噪声干扰器发射出管后,漂浮在一定的水层中,并发出指定频段的连续随机噪声信号将潜艇的声信息淹没从而得到保护。



对于主动声呐来说,噪声干扰器产生的随机噪声 ^当 将增加主动声呐的干扰噪声,由主动声呐方程可知, 图 5.3.4 噪声干扰器的工作原理示意 主动声呐干扰噪声的增加会降低主动声呐对潜艇的

作用距离,因此,噪声干扰器产生的随机噪声将降低主动声呐的作用距离,使主动声呐不能 发现或丢失已经跟踪的目标,甚至会使主动声呐出现致盲,进而起到抑制作用。

对于被动声呐来说,这种随机噪声很容易被其发现,但随机噪声与潜艇本身的噪声共同

作用,会使被动声呐或者误认为是两个目标(当噪声干扰器和潜艇处在被动声呐不同波束角时),或者跟踪一个错误的方位(当噪声干扰器和潜艇处在被动声呐同一波束角时,形成的合成方位),以此可使敌方声呐对潜艇不能继续跟踪,或不能稳定跟踪,起到干扰的作用。

2. 声诱饵模式

在声诱饵模式下,上位机根据敌方主动声呐的声波数据或者调用数据库中的舰艇辐射 噪声数据,同样经由通信缆传输到实施分系统,经过功率放大后,驱动换能器对敌方发射大 功率的诱骗信号,从而欺骗敌方的鱼雷向水下的假目标进行攻击,达到保护我方舰艇的目 的。可以看出,此时实施分系统就是一个声诱饵。

声诱饵在接收到主动声呐信号后,会按一定的目标强度、多普勒频移和回波展宽将模拟 回波信号发射出去,对主动声呐(包括主动制导鱼雷)来说,接收到这一回波信号会认为声诱 饵即为潜艇,并进行跟踪。

对被动声呐(包括被动制导鱼雷)来说,声诱饵相当于一个噪声源,能逼真地模拟潜艇的 辐射噪声,因此当被动声呐探测到该噪声信号后将误认为是潜艇目标。

5.3.3 水声对抗系统的设计思路

1. 水声对抗系统设计的总体考虑

由图 5.3.3 可以看出:水声对抗系统的探测分系统与水声探测系统接收电路和水声通 信系统接收电路有很多相似的地方,具体电路可参考 5.1 节和 5.2 节设计;水声对抗系统 的实施分系统与水声探测系统发射电路和水声通信系统发射电路有很多相似的地方,具体 电路可参考 5.1 节和 5.2 节设计,本节不再重复介绍。

在水声对抗系统中,决策分系统一般是上位机的应用软件,也是用户的控制终端,内置 于工控机中。它是用户与系统硬件的交互接口,需要完成以下工作:对探测分系统接收的 信号进行实时显示;对威胁目标进行识别和排序;生成不同对抗方案;对实施分系统发射 的信号进行实时操控。

上位机软件的主要功能模块分为通信模块、监测模块、控制模块和显示模块,这四个模块相互协作,共同完成了对系统信号的全面处理与展现。

通信模块是上位机软件的基石,它主要负责上位机和探测分系统以及实施分系统之间 的数据传输。通过高速、稳定的数据传输通道,通信模块确保了系统信息的实时性和准确 性,为其他模块提供了必要的数据支持。

监测模块主要负责敌方信号的处理和目标的识别。通过内置的高效算法和数据处理技术,监测模块能够迅速捕捉到敌方信号,并进行精确的分析和识别,为后续的决策和行动提供重要的依据。

控制模块负责干扰信号、诱骗信号的设置与发射。根据监测模块提供的信息和用户的 指令,控制模块能够迅速制定干扰和诱骗策略,并发出相应的信号,从而有效干扰敌方设备 或误导敌方判断。

显示模块则负责信号波形的实时显示。通过直观的图形化界面,用户可以清晰地看到 目标信号的变化和趋势,从而更好地理解和分析目标状态。

除了这些功能模块外,上位机还需要搭建一个数据库。这个数据库包含两类重要数据: 一是内置敌方鱼雷、舰艇等军事装备的声学数据;二是内置不同类型舰体的辐射噪声信号 数据。这些数据的存在使得监测模块和控制模块能够根据需要进行数据选取和处理,从而 提高了系统的针对性和实效性。

数据库的建设不仅提升了上位机软件的功能性,也为我们提供了更丰富的数据资源。 通过不断积累和优化数据,可以进一步提高系统的准确性和可靠性,为军事装备的研发和应 用提供有力支持。

2. 水声对抗系统上位机软件的工作流程

水声对抗系统上位机软件的工作流程如图 5.3.5 所示,系统软件初始化或重新开始任 务后进入采集模式。采集模式是处于一直开启的状态,它可以对水下环境进行持续监听,即 不断接收来自探测分系统的数据信息,并对感兴趣的水声信息进行保存和显示。通过这种 方式可以获取到大量的水下声音数据,为后续的分析和决策提供有力支持;同时,还具备对 采集信息进行分析的功能,能够识别出可疑目标。



图 5.3.5 水声对抗系统上位机软件的工作流程

当发现可疑目标时,进入干扰模式或诱骗模式。在实际应用中,上位机软件的工作模式 选择需要根据任务的具体需求来确定。例如,在需要保护我方重要装备免受敌方发现的情 况下,可以选择干扰模式,发射大功率的干扰信号;而在需要迷惑敌方、引导其行动的情况 下,可以选择诱骗模式,发射模拟的舰船辐射噪声信号。

在干扰模式下,上位机软件可以发射大功率的干扰噪声信号,以干扰敌方设备的正常工作。干扰信号的形式多样,包括单频脉冲、调频脉冲和连续随机噪声等。可以根据任务需求,设置信号的幅度、脉冲宽度、频率等参数,以达到最佳的干扰效果。这种模式下,系统能够有效地干扰敌方,使其无法准确获取我方信息,从而保护我方装备的安全。

在诱骗模式下,上位机软件可以发射大功率的诱骗信号,模拟舰船的辐射噪声信号。软件内置了不同类型船舶的辐射噪声信号数据,系统可以根据需要进行选取。通过发射诱骗 信号,可以误导敌方的判断和行动,使其产生误判或延误反应时间。这对于我方在战斗中取 得优势具有重要意义。

5.4 声呐接收通道测试仪电路设计

某型声呐接收机的接收通道由放大电路、带通滤波电路和时变增益(TVG)控制电路组成,最后输出的信号为差分信号,对其测试的内容包括增益特性测试、相位特性测试、TVG 特性测试以及它们的一致性。根据系统对其接收通道的要求,测试仪的性能指标如下:

(1) 增益特性测量范围为 0~120dB, 增益测量不确定度小于 0.5dB。

(2) 相位测量范围为-180°~+180°,相位测量不确定度小于 0.5°。

(3) TVG 控制电压输入范围为-3.0~0V, TVG 测量不确定度小于 0.5dB/V。

5.4.1 测试方法与系统组成

1. 扫频法测量幅相特性

由信号与系统的理论可知:一个系统,给予某种激励后它将产生一个既定的输出;对 于线性时不变系统而言,系统输出的频率不受系统的影响,而幅度和相位则受到系统的影响 而产生某种变化,这种变化可以用系统的传递函数 H(jω)来描述,采用这种描述时无须知 道系统内部结构和参数等信息,只需知道系统的输入与输出即可。通过测量网络的输入与 输出即可计算得到系统的传递函数,计算的公式为

$$H(j\omega) = \frac{U_{o}(j\omega)}{U_{i}(j\omega)} = |H(j\omega)| e^{j\varphi(\omega)}$$
(5.4.1)

式中: $U_{o}(j\omega)$ 和 $U_{i}(j\omega)$ 分别为系统的输出信号和输入信号的傅里叶变换; $|H(j\omega)|$ 为系统函数的幅频特性, $\varphi(\omega)$ 为系统函数的相频特性,幅频特性和相频特性合称为系统的频率特性。

系统在正弦信号激励下,输出响应达到稳态时,是与输入激励信号频率相同的正弦波, 响应信号与激励信号的幅值比即为该频率的幅频特性值,而两者的相位差即为相频特性值, 据此可得到频率特性测试的一种方法——扫频法。测试时对被测系统施加一定频率的正弦 波,待到系统输出稳定时,检测系统输入与输出信号之间的幅度比和相位差,逐步改变输入 信号的频率即可得到系统的频率特性。

2. 冲激响应法测量幅相特性

由信号与系统的理论可知,对于一个线性时不变系统,当输入激励为单位冲激函数 $\delta(t)$ 时,其输出称为单位冲激响应h(t)。当输入为 $\delta(t)$ 时, $U_i(j\omega)$ 恒等于1,式(5.4.1)中的 $H(j\omega)$ 为h(t)的傅里叶变换,于是有

$$H(j\omega) = \int_0^\infty h(t) e^{-j\omega t} dt \qquad (5.4.2)$$

式(5.4.2)提供了另一种测试系统频率特性的方法:以单位冲激函数激励系统,然后对 系统的输出进行数据采集并做傅里叶变换。在实际应用中不可能获得理想的单位冲激函数 $\delta(t)$,但只要脉冲信号足够窄,能保证有足够的频带宽度即可。由于窄脉冲的激励能量小, 输出响应的信噪比小,因而影响测量精度。但可采用重复激励的办法,将每个激励输出相 加,来提高网络输出响应信号的信噪比(因为噪声为随机信号,在多次相加中将被互相抵 消)。重复激励通常可多达几十次。对于窄带网络,其建立时间长,多次激励的方法将降低 测试速度。另一个问题是,宽带网络的输出响应信号频带宽,要求采用高速的 A/D。这就 限制了此种方法在高频领域的应用。所以冲激响应测试法只用于低频系统,如电声系统、振动系统等的测量中。

3. TVG 特性的测试方法

TVG 特性的测试实质是接收通道中压控放大器的增益和其控制电压关系的测试,其测试方法和扫频法测试幅频特性有些类似,不同的是输入信号的频率固定不变,而接收通道中压控放大器的控制电压在变。本书测试接收通道的 TVG 特性正是固定接收通道的输入信号的频率不变,而逐步改变接收通道的 TVG 控制电压,测量不同的 TVG 控制电压对应的接收通道的增益即得到接收通道的 TVG 特性。

4. 测试仪的组成

测试仪的组成框图如图 5.4.1 所示,由单片机最小系统、正弦信号产生电路、正弦信号 调理电路、测试通道选择电路、幅相测量电路以及单片机与外界的通信电路组成。

单片机最小系统包括电源、时钟源、单片机以及下载系统,是下位机硬件的核心,它控制 整个测试仪工作。

正弦信号产生电路负责产生测试用的激励信号,包括扫频的正弦信号产生电路和直流的 TVG 控制信号产生电路,分别用来测试接收通道的频率特性和 TVG 特性。



图 5.4.1 测试仪的组成框图

信号调理电路包括低通滤波电路、程控衰减电路和差分接收电路。低通滤波电路负责 对测试信号产生的正弦信号进行滤波。接收通道的增益可能很大(0~120dB),所以要设计 程控衰减电路将滤波后的正弦信号衰减一定的幅度,以满足接收通道对输入信号幅度的要 求。接收通道输出的信号为差分信号,所以要设计差分接收电路将其转换为单端信号。

考虑到测试仪可同时测试若干接收通道,因此设计了测试通道选择电路,负责选择要测试的接收通道。

幅相测量电路负责测量接收通道输入与输出信号之间的幅度比和相位差,由此即可得 到接收通道的频率特性和 TVG 特性。

异步串口通信电路负责和测试仪和上位机(PC)通信。

5. 单片机类型的选择

MCS-51系列单片机曾是应用最为广泛的单片机,它成熟的技术、低廉的价格、众多的 开发工具都给予电子开发者极大的诱惑,但是考虑到它功耗较大、片上外设较少、数字 I/O 较少等,本设计选择了 TI 公司的 MSP430 系列单片机。MSP430 系列单片机是基于一种超 低功耗的混合信号控制器,内部集成了丰富的片上外设和数字 I/O,有看门狗定时器
(WDT)、定时器 A(Timer-A)、定时器 B(Timer-B)、比较器、USART、硬件乘法器、液晶驱动器、12 位 ADC、并行端口等。本设计也可以选择第 2 章和第 3 章介绍的 Arduino 和 STM32 系列单片机作为中心控制器。

5.4.2 电源、时钟与复位电路设计

系统中既有单片机模块的 3.3V 数字电源和 3.3V 模拟电源,又有信号产生、调理、测量等 模块±5V 的模拟电源。考虑到数字电源可能会对模拟电源产生干扰,因此将模拟电源和数字 电源分开,采用单点接地(磁珠相连)。具体的电源电路如图 5.4.2 所示。通过变压器将 220V 交流电降为双 12V 交流电,然后经过电桥整流和电解电容滤波,最后经过稳压芯片 7805 和 7905 转换为±5V 电压,作为信号产生、调理和测量模块的模拟电源。与此同时利用两片 AMS1086-3.3 将 12V 电压转换为 3.3V 电压,作为 MSP430 单片机的系统的模拟和数字电源。



图 5.4.2 电源电路

单片机的时钟信号由 32768Hz 和 8MHz 的晶体振荡器提供,可以根据需要选择其中的 一个作为系统的主时钟。单片机的复位电路完成上电复位或者人工手动控制复位,复位有 效电平是低电平。实际设计的时钟与复位电路如图 5.4.3 所示。



5.4.3 正弦信号产生电路设计

根据测试方法的分析,测试接收通道的幅频特性、相频特性和 TVG 特性都需要频率可 控的正弦信号,利用 DDS 芯片 AD9850 可以方便地设计正弦信号产生电路。

图 5.4.4 是 AD9850 的组成框图,输入的 40 位频率、初相位和工作模式控制字被分解 送到高速的 DDS 部件,在参考时钟的作用下,DDS 部件就会根据频率、相位控制字从波形 存储器中输出离散时间信号,经 10 位 D/A 转换器变换为连续时间信号输出。另外,芯片内 部集成了一个电压比较器,它是一个独立的模块。



图 5.4.4 AD9850 的组成框图

采用 AD9850 设计正弦信号发生器需要考虑以下问题:

(1)参考时钟 REF CLOCK 的选择。参考时钟要采用高稳定度的晶振,在 5.5V 供电系统中参考时钟的频率范围为 1~125MHz,高电平持续时间至少为 3.2ns;在 3.3V 供电系统中参考时钟频率范围为 1~110MHz,高电平持续时间至少为 4.1ns,参考时钟频率至少为输出信号频率的 3 倍。

(2) AD9850 与处理器的接口。根据对 AD9850 编程的不同方法, AD9850 与处理器的 接口有并行和串行两种, 图 5.4.5 是一种并行接口的电路, 8 位数据线 D0~D7 占用单片机 八个端口, 控制字输入时钟引脚(W_CLK)、频率更新引脚(FQ_UD)和系统复位引脚 (RESET)占用单片机三个端口。若是对 AD9850 采用串行编程,则数据从 AD9850 的 D7 引脚输入, D6~D2 接地, D0、D1 接电源, 其余接口与并行模式相同。



图 5.4.5 AD9850 与单片机的并行接口的电路

(3) R_{set} 的取值。AD9850 的 R_{set} 引脚需要外接一个电阻到地,此电阻的大小决定着 *I*_{out} 引脚输出电流的大小,两者的关系为

 $I_{\rm out} = 32 \times (1.248 {\rm V}/R_{\rm set})$

式中: I_{out} 的单位为 A; R_{set} 的单位为 Ω_{o}

5.4.4 时间变化增益控制信号产生电路设计

接收通道的时间变化增益(TVG)特性如图 5.4.6 所示。增益(dB)与控制电压 $V_{\rm C}$ 之间的关系为



$$G_{\rm (dB/V)} = -40V_{\rm C}(-3.0V < V_{\rm C} < 0V)$$
(5.4.3)

由图 5.4.6 可知,测试接收通道的 TVG 特性 需要一个负值的控制电压,本书采用的方案为单 片机控制 D/A 变换器输出正值的电压,然后通过 一个反相放大器得到负值的控制电压。

设计采用 AD5312 作为 D/A 转换器。 AD5302/AD5312/AD5322分别是内含两个8位、 10位、12位带输入缓冲、电压输出型的 D/A 转换器,10脚 MSOP 封装,供电电压为2.5~5.5V,在

3V 电源供电时消耗 250μA 电流。它们片上的输出放大器允许轨到轨输出,摆率为 0.7V/μs。 它们多功能的三线串行接口工作时钟频率最高可达 30MHz,兼容 SPI、QSPI、MICROWIRE 接口标准。

AD5302/AD5312/AD5322 的组成框图如图 5.4.7 所示,内含的两个 D/A 转换器可以 有不同的电压基准,分别对应两个不同的引脚,可以被配置为缓冲或非缓冲形式。两个 D/A 转换器的输出用 LDAC 信号来同步。AD5302/AD5312/AD5322 在没有接收到正确的写指 令时上电复位电路保证输出电压为 0V,而电源关闭电路则可以使芯片工作在节电模式而基 本不消耗功率,因而它们特别适合于应用在电池供电的便携式产品中。



图 5.4.7 AD5302/AD5312/AD5322 的组成框图

实际设计的 TVG 控制信号产生电路如图 5.4.8 所示。参考电压来自 MSP430F149 的 V_{REF} (2.5V), AD5312 与 MSP430F149 四线接口, MSP430F149 利用软件模拟 SPI 来控制 AD5312。模拟地和数字地采用磁珠相连。由于 TVG 控制电压为负压, 所以采用 μ A741 设 计了一个反向放大器。



5.4.5 信号调理电路设计

相位累加舍入、幅度量化和 DAC 非理想特性等原因,DDS 芯片直接输出的信号噪声较大,而声呐接收通道测试需要频谱纯净的正弦信号,所以必须对 DDS 芯片输出的信号进行 滤波。滤波器的设计可参考 5.1 节采用 MAX275 设计低通滤波器。

由于接收通道的增益的动态范围很大,所以必须设计衰减网络将滤波后的正弦信号的 幅度调节到接收机需要的范围内。从 DDS 输出的信号幅度为 1.024V,而待测试的声呐接 收通道增益变化范围为 0~120dB,所以需要将低通滤波器输出的正弦信号衰减 0~120dB, 这样将测试信号加入接收通道后,接收通道输出的信号仍为 1V 左右,而不至于使接收通道 饱和。另外,后续的幅相测量电路主要是完成接收通道的输出信号和低通滤波器的输出信 号两路同频正弦信号的幅度比和相位差的测量,若这两路信号的幅度大致相等,则是非常有 利于减小测量不确定度的,如图 5.4.9 所示。





在测试信号加入接收通道之前插入了一个程控衰减器,它应该具有将输入的正弦信号

VIN

的幅度精确地衰减要求的分贝数,并且在接收通道的工作频段内不要产生相移。经过查阅 文献可知,AD公司的 AD7111 能够完成这样的任务。

利用 AD7111 能够将输入的模拟信号衰减 0~88.5dB,衰减分辨率为 0.375dB。 图 5.4.10 是 AD7111 的组成框图,它将 8 位二进制数经过译码后作为 17 位 DAC 的输入, DAC 的等效电路如图 5.4.11 所示,在 17 位二进制数控制的开关网络作用下, $V_{\rm IN}$ 和 $I_{\rm OUT}$ 之间的等效电阻在变化。AD7111 的一个典型应用电路如图 5.4.12 所示,其中 C_1 是为了 补偿 AD7111 输出电容引起的输出信号的相移,取值为 10~30pF,在考虑 $V_{\rm O}$ 和 $V_{\rm IN}$ 的幅 值关系时可以忽略。在这种情况下,图 5.4.12 的等效电路如图 5.4.13 所示, $V_{\rm IN}$ 和 AD7111 的 $I_{\rm OUT}$ 之间等效为一个可变电阻 $R_{\rm equ}$,而 AD711 工作在深度负反馈状态,根据 "虚短""虚断"的概念有



• Vo



所以

$$V_{\rm O} = -\frac{R_2}{R_{\rm eau}} V_{\rm IN} \tag{5.4.5}$$

随着输入的 8 位二进制数的变化,开关网络控制 R_{equ} 变化, V_O 相对于 V_{IN} 的幅值就发 生了变化。事实上, V_O 和 V_{IN} 的幅值关系为

$$V_{\rm O} = -V_{\rm IN} 10 \exp\left(-\frac{0.375N}{20}\right) \tag{5.4.6}$$

或者

$$\left| \frac{V_{\rm O}}{V_{\rm IN}} \right| dB = -0.375N \tag{5.4.7}$$

式中: V₀、V_{IN} 分别为输出和输入信号的幅值; N 为输入 8 位二进制数代表的数值,取值范 围为 0~239,240~255 为无效值。

单片 AD7111 最大可以将输入信号衰减 88.5dB,但是随着衰减量的增大误差也增大,因此本书使用了两片 AD7111,每片 AD7111 最多将信号衰减 60dB,两片 AD7111 都工作在小误差范围内,从而保证了整个幅度调节电路具有较小的误差,具体的电路如图 5.4.14 所示。图 5.4.14 中的 R_1 和 R_3 用来调节精确的 0dB,即当单片机控制 D7~D0 都为低电平时,调节 R_1 和 R_3 使得幅值调节电路的输入与输出信号幅值相等,两级衰减电路要分开调节以减小误差。由于不需要小于 1.5dB 的衰减分辨率,所以 AD7111 的 D3~D0 都接地了。衰减后的信号可能十分微弱,所以对 AD7111 的控制信号采取了光耦合,以消除数字信号对衰减后的微弱信号的干扰。



图 5.4.14 程控衰减电路

5.4.6 幅相测量电路设计

幅相测量电路完成两路同频正弦信号的幅度比和相位差测量。

1. 幅度测量的一般方法

对于交变电压,可以用峰值、平均值、有效值来分别描述其不同的幅度特征,因而幅度测量也有峰值测量、平均值测量和有效值测量之分。

1) 峰值测量

图 5.4.15 是一种精密峰值电压测量电路,其工作原理如下:

当 $u_1 > u_0$, A₁输出高电平, $u_{01} > u_1$, 二极管 D₁关断、D₂导通, 保持电容 C_H 充电, A₁、A₂构成跟随器, 电容电压 u_{CH} 和输出电压 u_0 同步跟踪 u_1 增大, 稳定后有 $u_{01} = u_1 + u_{D2(on)}$, 保证闭环满足 $u_0 = u_1 = u_{CH}$ 。

当 $u_1 < u_0$ 时, D_1 导通, D_2 关断,无放电回路,则 $u_{01} = u_{CH} = u_{I(peak)}$,实现了峰值测量。 采样完一个周期后应由S控制 C_H 放电,继续进行下一次测量,开关S可由单片机控制一个继电器来实现。



图 5.4.15 峰值测量电路

按照上述工作原理,利用 MultiSim 对电路进行了仿真,仿真电路如图 5.4.16 所示,输入信号的峰值为 250mV,测量值为 249.283mV,在实际的工作情况下,峰值检波器的工作情况可能更糟糕,因为它更容易受到脉冲信号的干扰。



图 5.4.16 峰值检测电路的 MultiSim 仿真电路

2) 平均值测量

对于周期信号|u(t)|,求其傅里叶级数,可知其零频分量为

$$U_0 = \frac{1}{T} \int_0^T | u(t) | dt$$
 (5.4.8)

由此可见,先经过全波整流电路对 u(t)进行绝对值变换,再用滤波器选出其直流分量,即可得到周期信号的平均值。

3) 有效值测量

有效值是从功率角度定义的,信号 u(t)作用在单位电阻上的平均功率用有效值 U 表示,与等值直流电压作用下的结果相同,即

$$U = \sqrt{\frac{1}{T} \int_{0}^{T} u^{2}(t) dt}$$
 (5.4.9)

可以利用平方律器件或运算式有效值电压测量电路进行有效值的测量,常用的单片集成有效值测量芯片有 AD536、AD537、AD636、AD637、AD736、AD737、AD8361、AD8362、LTC1966、LTC1967 和 LTC1968 等。

2. 相位差测量的一般方法

两路同频信号的数字化测量方法一般是将相位差转化为时间间隔或电压进行测量。

1) 相位差转换为时间间隔的方法

图 5.4.17 是一种将相位差转换为时间间隔的电路,图 5.4.18 是图 5.4.17 中各点处的 电压波形。两路正弦信号通过过零点比较以后被整形成方波,由于两路信号过零点的时间 不同,两路方波的上升时间也不同,经过异或门运算后,两路正弦信号过零点的时间间隔被 检出,根据

$$\frac{\Delta\varphi}{2\pi} = \frac{\Delta t}{T} \tag{5.4.10}$$

可得

$$\Delta \varphi = \frac{\Delta t}{T} \times 2\pi \tag{5.4.11}$$

式中: $\Delta \varphi$ 为两路信号的相位差; Δt 为两路信号过零点的时间差;T为两路信号的周期。

为了区分 $\Delta \varphi$ 的极性,图 5.4.17 中设计了一个 D 触发器,当 V_{o4} 为高电平时, V_{i2} 的相 位滞后 V_{i1} ; 否则, V_{i2} 的相位超前 V_{i1} 。



图 5.4.18 为理想的电压比较器工作时的波形,实际的情况是电压比较器输出信号的边 沿对输入信号过零点的时刻有滞后,脉冲上升、下降都需要时间,并且上升、下降滞后时间也 不相等,这就会给测量带来误差,随着信号频率的增加,这种误差会越来越大。图 5.4.19 为 利用 MultiSim 做的一个相位差一时间转换电路的仿真。从图中可以看出,脉冲的上升和下 降时间与理想情况有差别,用实际的电路实验时这种差别更为明显。



图 5.4.19 相位差一时间转换电路的 MultiSim 仿真电路及波形

2) 相位差转换为电压的方法

相位差转换为电压的电路原理图如图 5.4.20 所示, u_a 经 IC₁ 整形为矩形波 u_1 ,该级的 门限电位 $V_a = 10/3$ V。 u_b 经 IC₂ 整形为矩形波 u_{b1} ,该级的门限电位 $V_b = -10/3$ V。 u_b 同 时由 IC₃ 移相器进行超前 90°移相(幅值增益为 1)成为 u_c ,然后再经 IC₄ 整形为矩形波 u_2 , 该级的门限电位为 0,即为过零检测。IC₁、IC₂、IC₄ 三个比较器均加有正反馈(C_4 、 C_5 、 R_4 、 R_5),可加速转换过程,使比较器输出不会因输入信号中寄生有干扰而在门限电平附近产生 颤动。

 u_{a1} 、 u_{b1} 、 u_{b2} 三个矩形波的时序图如图 5.4.21 所示。

第5章 电子系统电路设计 Ⅱ▶ 165



由图 5.4.21 可见, u_{a1}, u_{b1}, u_{b2} 三个矩形波在时序上形成了一种编码, 如表 5.4.1 所示。

表 5.4.1 u_{s1} 、 u_{b1} 、 u_{b2} 、构成	汋编码 及控制功能
--	------------------

<i>u</i> _{b2}	<i>u</i> _{b1}	u _{al}	接通的通道	对应的时间段	积分器的动作
EN	A ₁	\mathbf{A}_{0}			
0	1	1	S4A,S4B	t_4	反向积分
0	0	1	S3A,S3B	t ₅	正向积分
0	0	0	S2A,S2B	t ₆	采样
0	1	0	S1A,S1B	t ₃	复位
1			全断开	t ₃	休止

以这种编码控制积分器的逻辑动作,恰好可以完成积分器的积分、采样和复位动作。积

分器由 IC₆构成,*C*₁ 是积分电容,*R*₁ 是复位放电限流电阻。积分器有反向积分、正向积分、 采样、复位(积分电容放电复位)四个不同的操作。积分器四种操作由双单刀四掷模拟开关 IC₅ 进行切换,再加上使能端(作为最高位),共有 5 种状态。

由图 5.4.21 中 $V_{\rm C}$ 的波形可知,积分器在电容放电复位后进入反向积分时段 t_4 ,向下 积分到 t_3 时段结束并保持积到的负电压。 t_5 时段在该负压基础上进行正向积分,向上积分 到 t_6 时段的起点停止。图 5.4.21 是 u_a 和 u_b 同相的示例,调整电路使得 $t_4 = t_5$,且正反向 积分的基准电源也相等,故经二次积分后积得的电压为零(不为零时,在最后计算相位时扣 除即可)。 t_6 时段进行采样,采样保持电路由 IC₇ 完成, C_2 是采样保持电容,将二次积分后 的差值电压记忆下来。采样过后的 t_7 时段,将积分电容 C_1 通过 R_1 放电复位,为下一周期 的反向积分做好准备。若 u_a 和 u_b 不同相,则 IC₇ 的输出不为零,相位差越大,IC₇ 输出的 电压越大,输出电压的正、负则代表了相位的极性。对输出电压进行测量,即可得到两路信 号的相位差。

这种方法对恒定的电压进行恒流积分,故有很好的线性度。这种将微小的相位差转换成1.0V级的积分电压输出的方法,本身就具有性能良好的"放大作用",因而使该电路具有较高的相位灵敏度。而且,能根据输出电压的正、负来得知两个被测信号的相位关系是超前的还是滞后的。但是,由于使用了双积分方法,该电路适于在较低的频率范围内工作。

3. 利用 AD8302 单片集成电路同时完成幅相特性测量

AD8302 是美国 AD 公司于 2001 年推出的用于 RF/IF 的幅度和相位测量的首款单片 集成电路,它能同时测量从低频到 2.7GHz 频率范围内两输入信号之间的幅度比和相位差。 该器件将精密匹配的两个对数检波器集成在一块芯片上,因而可将误差源及相关温度漂移 减小到最低限度。该器件在进行幅度测量时,其动态范围可扩展到 60dB,而相位测量范围 则可达 180°。

1) AD8302 的结构和应用原理

AD8302的内部结构如图 5.4.22 所示,主要由两个精密匹配的宽带对数检波器、一个 相位检波器、一组输出放大器、一个偏置单元和一个输出参考电压缓冲器等组成。AD8302 的输入信号可以是单端信号,也可以是差分信号。



AD8302 的典型应用电路如图 5.4.23 所示,它能够将从 In1、In2 处输入的两路信号的

增益和相位差转换为电压从 V0、V1 处输出,转换的关系为

$$V_{\text{MAG}} = V_{\text{SLP}} \log\left(\frac{V_{\text{INPA}}}{V_{\text{INPB}}}\right) + V_{\text{CP}}$$
(5.4.12)

 $V_{\rm PHS} = -V_{\varphi} [\varphi(V_{\rm INPA}) - \varphi(V_{\rm INPB}) - 90^{\circ}] + V_{\rm CP}$ (5.4.13)

其中: V_{INPA} 、 V_{INPB} 为输入电压; V_{SLP} 、 V_{φ} 为输出电压和输入量之间线性关系的斜率; V_{CP} 为中心点。



图 5.4.23 AD8302 的典型应用电路

若芯片的输出引脚 VMAG 和 VPHS 直接和芯片反馈设置输入引脚 MSET 和 PSET 相连,则芯片工作在默认的斜率和中心点上,其精确幅度测量比例系数为 30mV/dB,精确相 位测量比例系数为 10mV/(°),中心点为 900mV。此时幅度和相位的响应特性曲线如 图 5.4.24 所示。



图 5.4.24 AD8302 幅度和相位的响应特性曲线

2)利用 AD8302 测相时相位极性的判断

由于 AD8302 检测的相位为 0~180°,不能给出相位是超前还是滞后,所以需要相位极 性判断电路对相位进行判断。判断的方法主要有以下三种:

(1)相位抖动法。相位抖动法的原理如图 5.4.25 所示,有两路输入信号 A 与 B,A 信号正常输入,即 $s_A(t) = A\cos(\omega t + \varphi_1(t))$,对信号 B 进行相位调制,则 $s_B(t) = A\cos(\omega t + \varphi_2(t) + p(t))$,p(t)的波形如图 5.4.26 所示,它是周期为 100 µs、脉宽为 10 µs 的周期脉冲,脉冲的幅度可以根据需要调节。将两路信号送入 AD8302 的两个输入端,AD8302 就会检测到一个相位差 $\Delta \varphi(t) = \varphi_2(t) + p(t) - \varphi_1(t) = \Delta \varphi + p(t) \theta$ 。由于 p(t)的脉宽时间极为 短暂,它的相位也是瞬时的,因此就会产生相位的抖动。可以利用这个抖动前后相位电压的

变化来确定 AD8302 检测到的相位的极性。



设抖动前的电压为

 $V_{\rm PHS1}(t) = -V\varphi[|\varphi(s_{\rm A}(t)) - \varphi(s_{\rm B}(t))| - 90^{\circ}] + V_{\rm CP}$ 抖动后的电压为

 $V_{\text{PHS2}}(t) = -V\varphi[|\varphi(s_{\text{A}}(t)) - \varphi(s_{\text{B}}(t)) - p(t)| - 90^{\circ}] + V_{\text{CP}}$

由于抖动后的相位差大于抖动前的相位差,所以若 V_{PHS2} > V_{PHS1},则 AD8302 工作在 -180°~0°范围内;否则,AD8302 工作在 0°~180°范围内。从而克服了 AD8302 在-180°~ 180°范围内鉴相的二值性问题。



(2)参考信号法。参考信号法的实质与相位抖动法是一样的,原理如图 5.4.27 所示。确定相位差的正、负可采取以下步骤:

第一步,测量被测网络输出信号与激励信号的

鉴相电压。

第二步,测量输出信号与参考信号的鉴相电压(参考信号与激励信号同频,相位差恒定 且相位滞后)。

第三步,判断相位极性。由于参考信号与激励信号相位差恒定,可以根据两次测量电压 值的变化确定其相位的正、负:由第一步测得的鉴相电压值确定相位差的绝对值;若第二 步测得的鉴相电压值大于第二步测得的相位差电压值,则输出信号超前激励信号,否则输出 信号滞后激励信号,从而解决了 AD8302 不能区分相位超前与滞后的问题。参考信号与激 励信号的相位差不宜过大,否则会出现误判相位极性的情况。

(3) D 触发器法。采用 D 触发器来判断两路信号的相位超前还是滞后的原理如 图 5.4.28 所示,两路信号经过放大整形后分别作为 D 触发器的数据输入信号和时钟信号,若 D 触发器输出高电平,则 S₁ 的相位超前 S₂,否则 S₁ 的相位滞后 S₂。各点波形如 图 5.4.29 所示。



图 5.4.28 D 触发器法判断相位极性的原理



图 5.4.29 图 5.4.28 中各点的电压波形

4. 鉴相电压的数字化测量

本书选用 AD7787 作为电压的数字化测量的模/数转换器,它是 AD 公司适用于低频、 低功耗、低噪声环境下的双通道、24 位 Σ-Δ 模/数转换器。它利用片内时钟电路工作,因而 无需用户提供时钟源。AD7787 的数据输出速率可由软件设置,这一特性使其转换速率可 在 9.5~120Hz 之间变化。该芯片采用 10 脚 MSOP 封装,非常适合用于需要高分辨率、低 功耗的便携式仪器、温度测量、传感器测量、称重仪等。

AD7787的内部结构如图 5.4.30 所示,内部包含输入信号选择器、缓冲器、Σ-Δ 模/数转换器、时钟电路、逻辑控制电路以及串行接口,另外它内部还集成了一个片内数字滤波器和 5 个片内寄存器(在图中没有表示出来)。数字滤波器的主要功能是提供工频陷波,在16.6Hz 默认转换速率条件下,它能提供 50Hz 和 60Hz 的同步抑制。5 个片内寄存器分别为通信寄存器、状态寄存器、模式寄存器、滤波器寄存器和数据寄存器,所有对 AD7787 的设置和控制都是通过这些寄存器来实现的。



图 5.4.30 AD7787 的内部结构

5. 实际设计的幅相测量电路

实际设计的幅相测量电路如图 5.4.31 所示。差分接收电路的输出信号和低通滤波器 的输出信号被送到 AD8302 进行幅度和相位测量,为了使 AD8302 工作在动态范围中心,具 有最大的幅度测量范围,两路待测信号首先被衰减为原来的 1/10,然后送入 AD8302。 AD8302 输出的电压经电压跟随器缓冲后送入 AD7787 进行 A/D 转换,电压基准为 MC1403,AD7787 与单片机的接口采用三线 SPI 模式,MSP430 单片机内部的通用串行接 口可以配置为异步模式或同步的 SPI 模式。与此同时两路待测信号还被送入相位极性判断 电路确定相位差的极性,相位极性判断的方法为 D 触发器法。

5.4.7 接收通道选择电路设计

为了节省硬件,只设计了一套测量电路,测试信号源可以同时加给四个接收通道,但是 任何时刻只能有一个接收通道接入测量电路,因此需要设计接收通道选择电路。

选择电路选通一个接收通道和测量电路接通,采用的方案为电磁继电器选通,具体电路 如图 5.4.32 所示,Y₁~Y₄和单片机的四个普通 I/O 口相连,分别控制四个接收通道是否 和测量电路接通,MC1413 为电磁继电器驱动器,其等效电路为七个达林顿管。U₃₆~U₄₃ 为 JRC-23F 超小型高灵敏度单通道电磁继电器,当 CZ_x和 DV33 之间的电压大于 1.2V



图 5.4.31 实际设计的幅相测量电路

时,CK 端和 COM 端接通,也就是待测试的接收通道接入测量电路,从而进行了通道选择。

5.4.8 接收通道测试仪软件设计

接收通道测试仪的软件分为上位机软件和下位机软件,上位机软件运行在 PC 上,下位 机软件运行在单片机上,二者可通过串口进行通信。

第5章 电子系统电路设计



图 5.4.32 接收通道选择电路设计

1. 上位机软件的工作流程

上位机软件的工作流程(图 5.4.33)如下:

(1) 对串口初始化,等待用户设置测试参数和启动测试命令(用户用键盘在软件界面上 输入测试参数并单击"开始测试"按钮)。

(2)将用户输入的十进制的测试参数转换为特殊的二进制数并组合成一组"测试命 令码"。

(3) 通过串口将"测试命令码"发送给下位机。

(4) 等待下位机返回"测试结果"。

(5) 将下位机返回的"测试结果"分解,从中取出正弦信号频率、TVG 控制信号大小、接

172 📲 电子系统设计与实习

收通道增益和相移等信息进行存储,并对接收通道的幅频特性、相频特性和 TVG 特性进行 绘图。



2. 下位机软件的工作流程

下位机采用的机型为 TI 公司的 16 位单片机 MSP430F149,采用的开发环境为 IAR Embedded Workbench。

下位机软件的工作流程(图 5.4.34)如下:

(1)系统上电后对片内各个模块初始化。

(2)进入低功耗模式,等待串口中断。串口接收到上位机发送的"测试命令码"后即产生中断,CPU对"测试命令码"进行分析。

(3) 控制 DDS 芯片产生测试用正弦信号,并控制信号调理电路对正弦信号的幅度进行 调节。

(4) 控制 D/A 转换器产生 TVG 控制信号。

(5) 选择测试通道。

(6) 控制 A/D 转换器十次采集幅相测量电路输出的电压并求平均。

(7) 根据幅相测量电路的特性计算接收通道输入与输出信号之间的幅度比和相位差。

(8) 将当前正弦信号的频率、TVG 控制信号的大小、接收通道输入输出信号的幅度比和相位差组合成"测试结果"从串口发送给上位机。

(9)改变正弦信号的频率或 TVG 控制电压的大小,再次测量接收通道的特性,直到正 弦信号的频率和 TVG 控制电压都达到上限。

(10)向上位机发送测试结束信息,并进入低功耗模式。



小结

本章介绍了水声探测系统、水声通信系统、水声对抗系统和声呐接收通道测试仪四个电 子系统设计实例。通过本章的学习读者可以对电子系统设计有深入的理解。

思考题

1. 声呐接收机和声呐接收通道测试仪之间是什么关系?

- 2. 放大器、D/A 转换器和 A/D 转换器如何选型?
- 3. 参照本章设计一个具体电子系统的框图和电路图。

扩展阅读: 第二次世界大战中声呐的故事

