第3章 逻辑门电路

内容提要：

在第2章里，我们学习了与、或、非三种基本逻辑运算和与非、或非、异或等常用的复合逻辑运算，初步认识了实现上述逻辑运算功能的门电路符号。而在工程中每一个逻辑符号都对应着不同的电路，并通过集成工艺制成一种集成器件，称为集成逻辑门电路。逻辑符号仅是这些集成逻辑门电路的“黑匣子”，本章将逐步揭开这些“黑匣子”的奥秘，首先由普通开关电路引出数字电路中的半导体二极管及二极管门电路、三极管的开关特性及其门电路，然后重点分析和介绍TTL门电路和MOS门电路的工作原理、逻辑功能、电气特性及主要参数等，最后介绍集成门电路的应用和两种有效电平及两种逻辑符号。

学习目标：

1. 理解二极管、三极管和场效应管的工作原理，掌握其开关特性。
2. 熟练掌握TTL门电路的结构、工作原理、特性。
3. 熟练掌握MOS门电路尤其是CMOS门电路的结构、工作原理、特性。
4. 掌握常用集成逻辑门电路的使用方法。
5. 理解两种有效电平及两种逻辑符号。

重点内容：

1. TTL门电路、CMOS门电路的结构、工作原理、特性。
2. 常用集成逻辑门电路的使用方法。

3.1 概述

在二值逻辑中，逻辑变量的取值不是1就是0，在数字电路中，与之对应的是高、低电平，分别用电子开关的两种状态去实现。而半导体二极管、三极管和MOS管，则是构成这种电子开关的基本开关元件。

如图3.1.1所示的开关电路中，当开关K断开时，输出电压 u_O 为高电平(V_{CC})；而当K接通后，则输出为低电平(0V)。假设K是一个理想开关，则其特性如下。

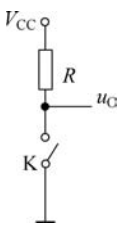


图3.1.1 开关电路示意图

1. 静态特性

(1) 当K断开时，无论其两端电压在多大范围内变化，其等效电阻无穷大，通过其中的电流等于0。

(2) 当K闭合时，无论流过其中的电流在多大范围内变化，其等效电阻为0，两端电压等于0。

2. 动态特性

(1) 开通时间 t_{on}

当开关K由断开状态切换到闭合状态时，开关切换不需要时间，可以瞬间完成，即开通时间 $t_{on}=0$。

(2) 关断时间 t_{off}

当开关K由闭合状态切换到断开状态时，开关切换也不需要时间，可以瞬间完成，即

关断时间 $t_{on}=0$。

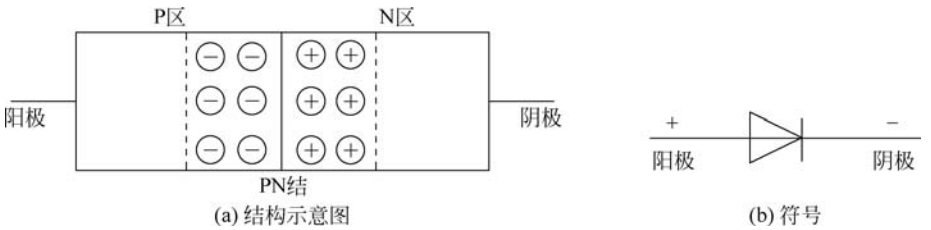
在现实中，当然没有上述特性的理想开关。日常生活中使用的机械开关、继电器、接触器等，在一定电压和电流范围内，其静态特性十分接近理想开关，但动态特性很差，根本不满足数字电路每秒开关几百万乃至数千万次的需要。虽然，二极管、三极管、MOS 管在开关电路使用时，其静态特性不如机械开关，但其动态特性却是机械开关无法比拟的。

3.2 二极管的开关特性及二极管门电路

3.2.1 二极管的开关特性

1. 二极管的伏安特性

半导体二极管是由一个 PN 结加上电极引线和外壳构成的，图 3.2.1 为半导体二极管的结构示意图和符号。标“+”号的一端与 PN 结的 P 区相连，称为阳极；标“−”号的一端与 PN 结的 N 区相连，称为阴极。



视频

图 3.2.1 半导体二极管

动画1

采用不同的掺杂工艺，将 P 型半导体与 N 型半导体制作在同一块硅片上，在它们的交界面附近，P 区出现负离子区，N 区出现正离子区，称为空间电荷区，从而形成内电场，当参与扩散运动的多子数量等于参与漂移运动的少子数目时，空间电荷区的宽度不再变化，形成 PN 结。PN 结中存在着两种载流子的运动，一种是多子克服内电场阻力的扩散运动；另一种是少子在内电场的作用下的漂移运动。PN 结加正向电压时（P 区接电源正极，N 区接电源负极），可以有较大的正向扩散电流，即呈现低电阻，称为 PN 结导通，PN 结处于正向偏置状态，简称正偏；PN 结加反向电压时（P 区接电源负极，N 区接电源正极），只有很小的反向漂移电流，即呈现高电阻，称为 PN 结截止，PN 结处于反向偏置状态，简称反偏，这就是 PN 结的单向导电性。

动画2

二极管实际上是一个封装的 PN 结，若忽略封装中很小的引线电阻和寄生电容，则二极管的伏安特性与 PN 结完全相同。

PN 结的伏安特性的表达式为

$$i=I_S(e^{\frac{qu}{kT}}-1)=I_S(e^{\frac{u}{U_T}}-1) \tag{3.2.1}$$

其中，i 为流过 PN 结的电流，I_S 为 PN 结的反向饱和电流，k 为玻尔兹曼常数（$k=1.381\times10^{23}$J/K），T 为热力学温度，q 为一个电子的荷量（$q=1.6\times10^{-19}$C），u 为 PN 结的两端

电压，$U_T=\dfrac{kT}{q}$，称为温度电压当量，常温下，即 $T=300\text{K}$ 时，$U_T\approx 26\text{mV}$。

当 PN 结加正向电压（$u>0$），且 $u\gg U_T$ 时，i 近似表示为

$$i=I_S e^{\frac{u}{U_T}} \tag{3.2.2}$$

即 PN 结正向电流随正向电压按指数规律变化。

当 PN 结加反向电压（$u<0$），且 $|u|\gg U_T$ 时，i 近似表示为

$$i=-I_S \tag{3.2.3}$$

即反向电流不随反向电压变化，而且反向电流很小，硅管为 nA 数量级，锗管为 μA 数量级。

当反向电压的数值超过一定数值 U_{BR} 后，反向电流急剧增加，PN 结被击穿。

PN 结的伏安特性曲线如图 3.2.2 所示，其中 $u>0$ 的部分称为正向特性，$u<0$ 的部分称为反向特性。

二极管实际的伏安特性曲线与 PN 结的伏安特性曲线是有差别的，图 3.2.3 给出了实测的硅二极管的特性曲线，对比图 3.2.2，二者差别表现在以下两点。

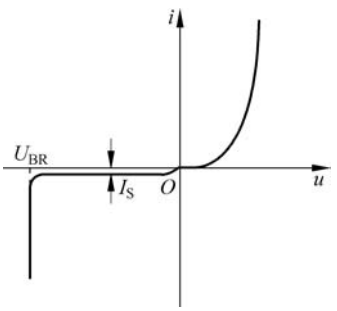


图 3.2.2　PN 结的伏安特性

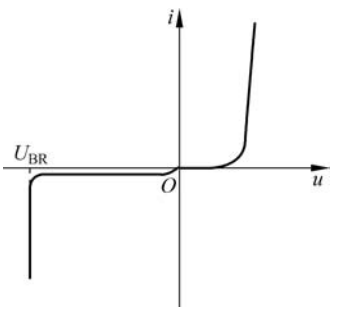


图 3.2.3　二极管的伏安特性

视频

其一，当二极管两端加正向电压时（$u>0$），即二极管的正向特性，若电压较小，电流几乎为零，则可以认为二极管是不导通的，只有电压大到一定值时，才有电流出现，这个电压称为二极管的**门限电压** U_{th}，也称为**死区电压**或**阈值电压**。一般硅二极管的死区电压为 0.5V，锗二极管的死区电压为 0.1V。二极管存在死区电压的原因在于，当外加正向电压很小时，外电场不足以克服内电场的影响，其正向电流几乎为零；当外加正向电压大于死区电压 U_{th} 后，正向电流迅速增加。当外加正向电压相同时，二极管的实际电流要小于 PN 结的电流，因为实际的二极管 P 区和 N 区都存在体电阻，引线和半导体区域之间存在接触电阻，这些电阻都会使相应的电流减小，而在 PN 结的伏安特性中，则没有考虑这些因素。二极管正向导通后，外加电压稍有上升，电流即有很大增加。因此，二极管的正向电压变化范围很小，硅二极管的正向导通电压为 0.6～0.8V，典型值为 0.7V，锗二极管的正向导通电压为 0.2～0.4V，典型值为 0.3V。

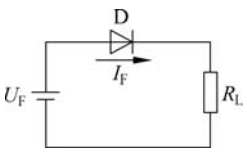
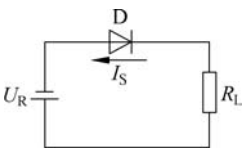
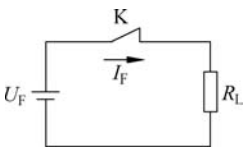
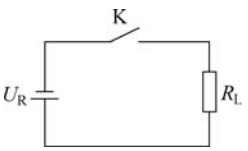
其二，当二极管外加的反向电压小于击穿电压时，反向电流很小，而且其大小基本不随反向电压变化而变化。实际二极管的反向电流比 PN 结的反向饱和电流略大一点，这是由二极管的表面漏电流引起的。

当二极管外加的反向电压大于击穿电压时，反向电流急剧增加，二极管被反向击穿。

2. 二极管的静态开关特性

二极管的开关特性实际上源于其单向导电性，是对其伏安特性的近似，通过控制二极管两端的电压可以控制二极管导通与截止，实现开关功能。加正向电压时，二极管导通，导通电阻很小，相当于开关闭合；加反向电压时，二极管截止，截止电阻很大，相当于开关断开。所以，可把二极管看作一个受外加电压控制的开关，表 3.2.1 中列出了二极管开关的工作条件、特点及等效电路。

表 3.2.1　二极管的开关特性

工作状态	导　　通	截　　止
条件	外加正向电压，且电压值大于死区电压	外加反向电压，或加正向电压，但电压值小于死区电压
电路形式		
等效电路		
特点	等效电阻很小，如忽略正向压降，相当于开关闭合	等效电阻很大，如忽略反向电流 I_S，相当于开关断开

3. 二极管的动态开关特性

当给二极管两端加一脉冲信号时，二极管将随着脉冲电压的变化在“开”与“关”两种状态之间转换，这个转换过程就是二极管开关的动态特性。由于二极管的 PN 结具有等效电容，二极管的通断转换伴随着电容的充放电，需要一定的时间。二极管从截止转换为导通所需的时间称为**开通时间** t_{on}；从导通转换为截止所需的时间称为**关断时间** t_{off}，通常也称为**反向恢复时间** t_{re}。

1）开通时间 t_{on}

二极管的开关时间是由穿越 PN 结的电荷移动引起的，即 PN 结的等效电容效应。在图 3.2.4(a)所示的最简单的二极管电路中，在 t_1 时刻加入一个如图 3.2.4(b)所示的正脉冲输入信号，输入电压由 $-U_R$ 跳变到 $+U_F$，按照理想情况，二极管应立刻由截止转为导通，波形如图 3.2.4(c)所示，但实际的电流波形却如图 3.2.4(d)所示，即二极管并不立刻导通，要经过导通延迟时间 t_d 和上升时间 t_r 之后，才能由截止转换为导通。其原因在于，当输入电压 u_I 正跳变时，只有当 PN 结中电荷量减少，PN 结由反偏转换为正偏，二极管才会导通，从而产生延迟时间 t_d，此后，u_I 为正向电压 U_F，正向电压削弱 PN 结内

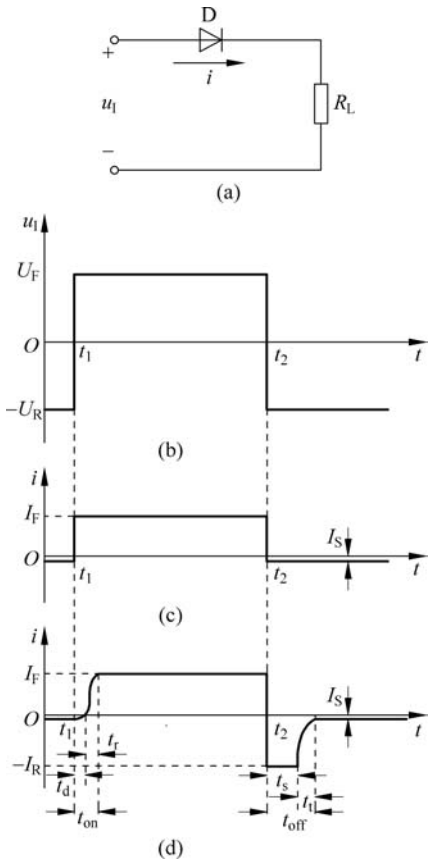


图 3.2.4　二极管开关的动态特性

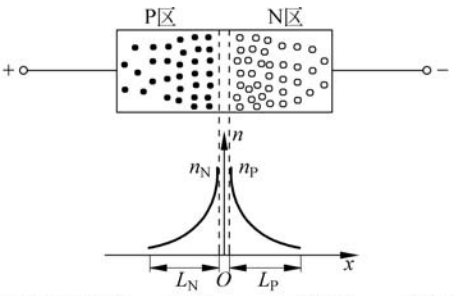
电场，多数载流子不断地向对方区域扩散，并在对方区域中作为非平衡少数载流子被存储，建立起一定的浓度分布，如图 3.2.5 所示，即 P 区中的空穴扩散到 N 区以后，并非立即全部与 N 区电子复合而消失，而是在一定的路程 L_P（L_P 通常称为空穴扩散长度）内一方面与电子复合，另一方面又不断继续扩散，一部分与外电场送来的相反电荷复合，这样会在 N 区的 L_P 范围内存储一定数量的空穴，形成空穴浓度分布 n_P，距离 PN 结越远，电荷浓度越低。正向电流越大，存储的载流子的数目越多，浓度分布的梯度也越大。同理，电子从 N 区扩散到 P 区以后的情况，与空穴从 P 区扩散到 N 区的情况相似，会在 P 区的 L_N（L_N 通常称为电子扩散长度）范围内存储一定数量的电子，形成电子浓度分布 n_N。这种正向导通时少数载流子积累的现象称为电荷存储效应。

所以二极管的开通时间为

$$t_{on} = t_d + t_r \tag{3.2.4}$$

经过开通时间 t_{on} 之后，二极管达到动态平衡并形成稳定的电荷分布和稳定的正向电流，$u_I = U_F$，二极管的导通电压为 U_D，电路中的电流为正向电流 I_F，则有

$$I_F = \frac{U_F - U_D}{R_L} \approx \frac{U_F}{R_L} \tag{3.2.5}$$



n—存储电荷浓度；x—距离；n_N—电子浓度；n_P—空穴浓度

图 3.2.5　加正向电压时二极管存储电荷的分布

2）关断时间 t_{off}

在图 3.2.4(a)所示的电路中，在 t_2 时刻加入一个负脉冲信号，如图 3.2.4(b)所示。由上述分析可知，二极管导通时的正向电流 I_F 如式(3.2.5)所示，在 t_2 时刻，输入电压突然从 $+U_F$ 变为 $-U_R$ 时，按照理想情况，二极管应立刻转为截止，电路中只有很小的反向电流 I_S，波形如图 3.2.4(c)所示，但实际的电流波形却如图 3.2.4(d)所示，即二极管并不立刻截止，而是先由正向的 I_F 变到一个很大的反向电流 $-I_R$，这个电流维持一段时间 t_s 后才开始下降，再经过 t_t 时间后，下降到 I_S，这时二极管才进入截止状态。通常把二极管从正向导通转为反向截止所经过的转换过程称为反向恢复过程，其中 t_s 称为存储时间，t_t 称为渡越时间，用 t_{re} 表示反向恢复时间，则有

$$t_{re} = t_{off} = t_s + t_t \tag{3.2.6}$$

那产生反向恢复时间的原因是什么呢？当二极管正向导通后，多数载流子不断地向对方区域扩散，并在对方区域中作为非平衡少数载流子被存储，建立起一定的浓度分布，如图 3.2.5 所示。当外加电压突然从 $+U_F$ 变为 $-U_R$ 时，这些存储的电荷像电容器中的电荷一样，不会突然消失。它们将通过两个途径逐渐减少：一是载流子的复合；二是在反向电场作用下形成漂移电流 $I_R \approx \dfrac{U_R}{R_L}$，这就是对应于 t_s 时间内的情况。以后随着存储电荷的逐渐消散，浓度梯度逐渐减小，反向电流下降，这一过程就是渡越时间 t_t。经过 t_s 和 t_t 这两段时间后，存储电荷消散掉，PN 结的空间电荷区开始由窄变宽，二极管内阻加大，转入截止状态。所以二极管的反向恢复时间 t_{re} 就是存储电荷消散所需要的时间。

由于二极管的开通时间 t_{on} 比关断时间 t_{off} 要小得多，所以一般情况下可以忽略不计，而只考虑关断时间，即反向恢复时间。二极管的反向恢复时间一般只有几纳秒。当二极管的通断频率达到每秒百万次以上时，必须考虑其开关时间，反之，可以忽略。

3.2.2　二极管门电路

1. 二极管与门电路

图 3.2.6(a)所示是由二极管组成的二输入端与门电路，其中 A、B 为输入端，L 为输

出端。输入电压为+5V或0V，忽略二极管的正向压降，此电路按输入信号的不同有以下四种工作情况：

(1) $u_A=u_B=0V$。此时二极管 D_1 和 D_2 都导通，由于二极管正向导通时的钳位作用，$u_L\approx0V$。

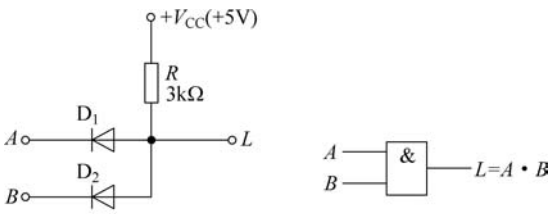
(2) $u_A=0V$，$u_B=5V$。此时二极管 D_1 导通，由于钳位作用，$u_L\approx0V$，D_2 因反向电压而截止。

(3) $u_A=5V$，$u_B=0V$。此时 D_2 导通，$u_L\approx0V$，D_1 因反向电压而截止。

(4) $u_A=u_B=5V$。此时二极管 D_1 和 D_2 都截止，$u_L=V_{CC}=5V$。

把上述分析结果列入表3.2.2中，可见这个电路的输入和输出电压只有两个值5V和0V。如果采用正逻辑体制，规定高电平5V为逻辑1；低电平0V为逻辑0，则表3.2.2可转换为表3.2.3的形式。很容易看出表3.2.3正是二变量与逻辑的真值表，所以称图3.2.6(a)中电路为与门电路，它实现逻辑运算 $L=A\cdot B$，图3.2.6(b)是它的逻辑符号。

如果在图3.2.6(a)中增加一个输入端和一个二极管，就可变成三输入端与门，按此方法可构成更多输入端的与门。



(a) 电路　　(b) 逻辑符号

图 3.2.6　二极管与门

表 3.2.2　与门输入输出电压的关系

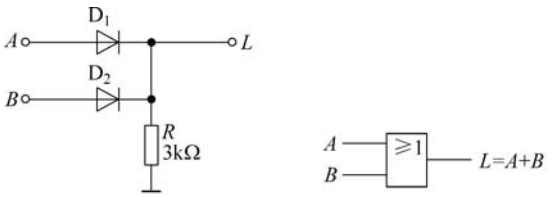
输入		输出 u_L/V
u_A/V	u_B/V	
0	0	0
0	5	0
5	0	0
5	5	5

表 3.2.3　与逻辑真值表

输入		输出 L
A	B	
0	0	0
0	1	0
1	0	0
1	1	1

2. 二极管或门电路

电路如图3.2.7(a)所示，分析方法同上，其输出电压与输入电压之间的关系列入表3.2.4中。采用正逻辑体制，则表3.2.4转换为表3.2.5的形式。该表为二变量或逻辑的真值表，所以称图3.2.7(a)的电路为或门电路，它实现或逻辑运算 $L=A+B$，图3.2.7(b)是它的逻辑符号。同样，可以通过增加输入端和二极管的方法，构成更多输入端的或门。



(a) 电路　　(b) 逻辑符号

图 3.2.7　二极管或门

表 3.2.4　或门输入输出电压的关系

输　入		输出 u_L/V
u_A/V	u_B/V	
0	0	0
0	5	5
5	0	5
5	5	5

表 3.2.5　或逻辑真值表

输　入		输出 L
A	B	
0	0	0
0	1	1
1	0	1
1	1	1

3.3　三极管的开关特性及三极管门电路

3.3.1　三极管的开关特性

动画

半导体三极管，也称为晶体三极管，简称晶体管或三极管。由于工作时，多数载流子和少数载流子都参与运行，因此，三极管还称为双极性晶体管（Bipolar Junction Transistor，BJT）。

1. 三极管的输入特性与输出特性

视频

三极管是由三块两两不同的半导体材料构成的，两端是两块相同的半导体材料，中间一块的极性相反。根据材料排列方式的不同，三极管有 NPN 和 PNP 型两种类型，如图 3.3.1 所示，图 3.3.1(a)是 NPN 型三极管的内部结构示意图和符号，图 3.3.1(b)是 PNP 型三极管的内部结构示意图和符号。从图中可以看出，不论是哪一种三极管，都有三个区域：发射区、基区、集电区；每个区域对外引出一个电极，分别是发射极 e(emitter)、基极 b(base)和集电极 c(collector)；有两个 PN 结，发射区与基区之间的 PN 结是发射结，基区与集电区之间的 PN 结是集电结。

本节将以 NPN 型硅管为例，讲述三极管的输入特性、输出特性和开关特性。

1）输入特性

如图 3.3.2 所示，将一个 NPN 型硅三极管接成共射极电路，输入特性反映的是以 u_{CE} 为参变量，基极电流 i_B 与发射结压降 u_{BE} 之间的关系，其表达式为

$$i_B = f(u_{BE}) \mid u_{CE} = 常数 \tag{3.3.1}$$

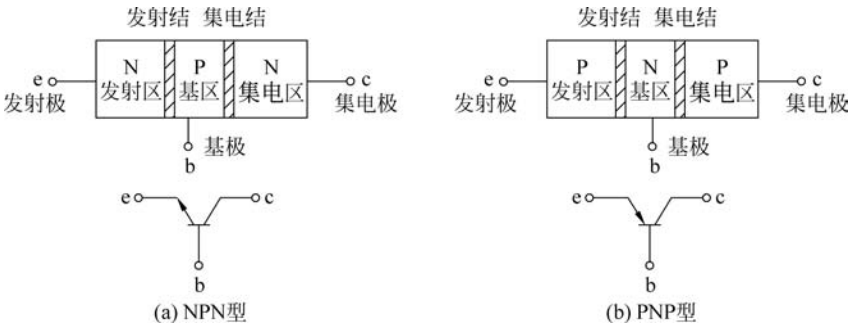


图 3.3.1 三极管的结构示意图和符号

当 $u_{CE}=0V$ 时，相当于集电极与发射极短路，这时三极管等效为两个并联的 PN 结。因此，输入特性曲线与 PN 结的伏安特性曲线相类似，呈指数关系，如图 3.3.3 所示的 $u_{CE}=0V$ 的曲线。

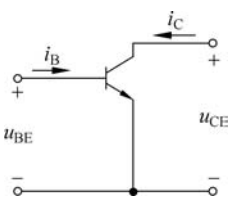


图 3.3.2 共射极电路

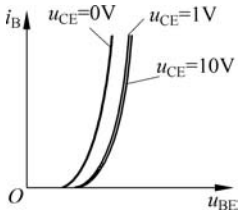


图 3.3.3 输入特性

当 u_{CE} 从 0V 增大到 1V 时，特性曲线向右移动了一段距离。当 $u_{CE}=1V$ 时，集电结电压由正偏变为反偏，集电结吸引电子的能力增强了，这样，在发射结正偏下，从发射区流入基区的电子大部分流向集电区，形成集电极电流，与 $u_{CE}=0V$ 时相比，相同 u_{BE} 所对应的基极电流 i_B 减小了。

如果 u_{CE} 继续增大，这时测得的特性曲线虽然也右移了一点，但与 $u_{CE}=1V$ 时差别很小。这是因为在 $u_{CE}>1V$ 后，集电结已经将大部分电子吸引过去形成了集电极电流，即使 u_{CE} 继续增大，集电结收集电子的能力继续增强，但所能增加的电子的数量已经很小了，因此，基极电流 i_B 的变化很小。

2）输出特性

输出特性曲线反映的是以基极电流 i_B 为参变量，集电极电流 i_C 和管压降 u_{CE} 之间的关系，其表达式为

$$i_C=f(u_{CE})\big|_{i_B=常数} \tag{3.3.2}$$

如图 3.3.4 所示，对于每一个确定的 i_B，都有一条曲线。对于不同的 i_B，输出特性是一组形状大体相同的曲线。对于某一条曲线，当 u_{CE} 从零逐渐增大时，集电极收集电子的能力随之增强，因而 i_C 显著增大；而当 u_{CE} 增大到一定数值时，集电极收集电子的能力足够强，发射区扩散到基区的绝大部分

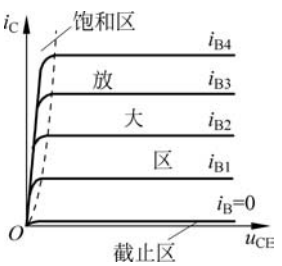


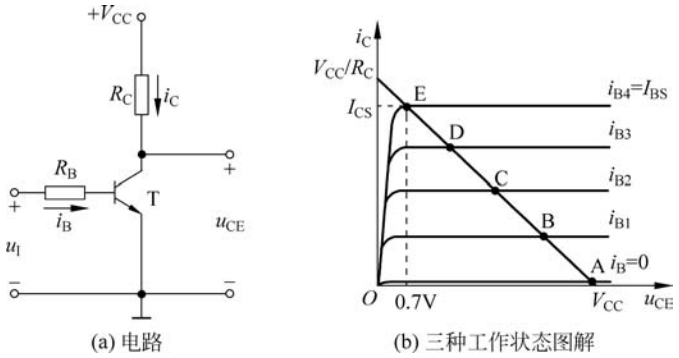
图 3.3.4 输出特性

电子都被收集起来；u_{CE} 再增大，收集能力已不能明显提高，表现为曲线大体上是一条相当平坦的直线，此时，i_C 的大小取决于 i_B。

2. 三极管的静态开关特性

从输出特性曲线来看，三极管有三个工作区域：饱和区、放大区、截止区，这三个区域的分布如图 3.3.4 所示。三极管工作在三个不同区域，分别对应于三种不同工作状态，即饱和状态、放大状态和截止状态。但在数字电路中，三极管只工作在饱和状态和截止状态，这两种对立的状态相当于开关的闭合和断开，而放大状态仅是一种瞬间即逝的过渡状态。

三极管电路如图 3.3.5(a)所示，输出特性曲线及直流负载线如图 3.3.5(b)所示。当输入电压 u_I 小于三极管发射结死区电压(硅管为 0.5V)时，$i_B=I_{CBO}\approx 0$(I_{CBO} 是集电极-基极反向饱和电流)，$i_C=I_{CEO}\approx 0$(I_{CEO} 是集电极-发射极反向饱和电流)，$u_{CE}\approx V_{CC}$，三极管工作在截止区，对应图 3.3.5(b)中的 A 点。三极管工作在截止区的特点是电流很小，集电极回路中的 c、e 之间近似开路，相当于开关断开。



(a) 电路　　(b) 三种工作状态图解

图 3.3.5　三极管的三种工作状态

当输入电压 u_I 为正值且大于死区电压时，三极管导通，有

$$i_B=\frac{u_I-U_{BE}}{R_B}\approx\frac{u_I}{R_B} \tag{3.3.3}$$

此时，若继续增加 u_I，则 i_B 增大，i_C 增大，u_{CE} 减小，工作点沿着负载线由 A 点→B 点→C 点→D 点向上移动。在此期间，三极管工作在放大区，其特点为 $i_C=\beta i_B$，β 为电流放大系数，即 i_C 随 i_B 的增加而成比例地增加。三极管在模拟电路中做放大功能使用时就工作在这种状态。

继续增加 u_I，当 u_{CE} 减小至 0.7V 时，集电结由反偏变为零偏，称为临界饱和状态，对应图 3.3.5(b)中的 E 点。此时的集电极电流称为集电极临界饱和电流，用 I_{CS} 表示，基极电流称为基极临界饱和电流，用 I_{BS} 表示，有

$$I_{CS}=\frac{V_{CC}-0.7V}{R_C}\approx\frac{V_{CC}}{R_C} \tag{3.3.4}$$

$$I_{BS}=\frac{I_{CS}}{\beta}=\frac{V_{CC}}{\beta R_C} \tag{3.3.5}$$

若再增加 u_I，i_B 会继续增加，但 i_C 已接近于最大值 V_{CC}/R_C，受 V_{CC} 和 R_C 的限制，不再随 i_B 的增加按 β 倍的比例增加，三极管进入饱和状态，所以三极管工作在饱和状态的条件为

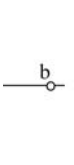
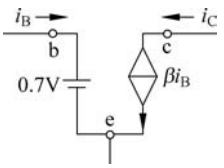
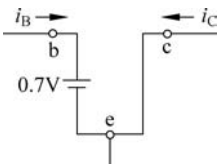
$$i_B > I_{BS} \tag{3.3.6}$$

进入饱和状态后，i_B 增加时，i_C 会略有增加，$u_{CE}<0.7V$，集电结变为正向偏置。所以也常把集电结和发射结均正偏作为三极管工作在饱和状态的条件。饱和时的 u_{CE} 电压为饱和压降 U_{CES}，其典型值为 0.3V。

三极管工作在饱和区的特点是 u_{CE} 很小，集电极回路中的 c、e 之间近似短路，相当于开关闭合。

为了便于比较，将 NPN 型三极管截止、放大、饱和三种工作状态的特点列于表 3.3.1 中。

表 3.3.1　NPN 型三极管三种工作状态的特点

工作状态		截　止	放　大	饱　和
条件		$i_B \approx 0$	$0<i_B<I_{BS}$	$i_B>I_{BS}$
工作特点	偏置情况	发射结电压 $u_{BE}<0.5V$，集电结反偏	发射结正偏且 $u_{BE}>0.5V$，集电结反偏	发射结正偏且 $u_{BE}>0.5V$，集电结正偏
	集电极电流	$i_C \approx 0$	$i_C=\beta i_B$	$i_C=I_{CS}\approx V_{CC}/R_C$
	管压降	$u_{CE}=V_{CC}$	$u_{CE}=V_{CC}-i_C R_C$	$u_{CE}=U_{CES}\approx 0.3V$
	近似等效电路			
	c、e 间等效电阻	很大，约为数百 kΩ，相当于开关断开	可变	很小，约为数百 Ω，相当于开关闭合

例 3.3.1　电路及参数如图 3.3.6 所示，设输入电压 $u_I=3V$，三极管的 $U_{BE}=0.7V$。

（1）若 $\beta=60$，试判断三极管是否饱和，并求出 i_C 和 u_O 的值。

（2）若 $R_C=6.8k\Omega$，重复以上计算。

（3）若 $R_C=6.8k\Omega$，$R_B=60k\Omega$，重复以上计算。

（4）若 $R_C=6.8k\Omega$，$\beta=100$，重复以上计算。

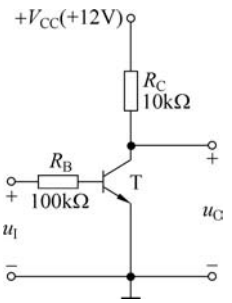


图 3.3.6　例 3.3.1 电路

解：根据饱和条件 $i_B>I_{BS}$ 解题。

（1）

$$i_B=\frac{u_I-U_{BE}}{R_B}\approx\frac{3-0.7}{100}=0.023(mA)$$

$$I_{BS}=\frac{V_{CC}}{\beta R_C}=\frac{12}{60\times 10}=0.020(mA)$$

视频

因为 $i_B > I_{BS}$，所以三极管饱和。

$$i_C = I_{CS} = \frac{V_{CC}}{R_C} = \frac{12}{10} = 1.2(\text{mA})$$

$$u_O = U_{CES} \approx 0.3(\text{V})$$

(2) i_B 不变，仍为 0.023mA。

$$I_{BS} = \frac{V_{CC}}{\beta R_C} = \frac{12}{60 \times 6.8} \approx 0.029(\text{mA})$$

因为 $i_B < I_{BS}$，所以三极管处在放大状态。

$$i_C = \beta \times i_B \approx 60 \times 0.023 \approx 1.4(\text{mA})$$

$$u_O = u_{CE} = V_{CC} - i_C \times R_C \approx 12 - 1.4 \times 6.8 = 2.48(\text{V})$$

(3) $i_B = \frac{3-0.7}{60} \approx 0.038(\text{mA})$，$I_{BS} \approx 0.029(\text{mA})$。

因为 $i_B > I_{BS}$，所以三极管饱和。

$$i_C = I_{CS} = \frac{V_{CC}}{R_C} = \frac{12}{6.8} \approx 1.76(\text{mA})$$

$$u_O = U_{CES} \approx 0.3(\text{V})$$

(4) $I_{BS} = \frac{V_{CC}}{\beta R_C} = \frac{12}{100 \times 6.8} \approx 0.0176(\text{mA})$，$i_B \approx 0.023(\text{mA})$。

因为 $i_B > I_{BS}$，所以三极管饱和。

$$i_C = I_{CS} = \frac{V_{CC}}{R_C} = \frac{12}{6.8} \approx 1.76(\text{mA})$$

$$u_O = U_{CES} \approx 0.3(\text{V})$$

由上例可见，R_B、R_C、β 等参数都能决定三极管是否饱和。将式(3.3.3)及式(3.3.5)代入式(3.3.6)，则饱和条件变为

$$\frac{u_I}{R_B} > \frac{V_{CC}}{\beta R_C}$$

即在 u_I 一定(要保证发射结正偏)和 V_{CC} 一定的条件下，R_B 越小，β 越大，R_C 越大，三极管越容易饱和。在数字电路中总是合理地选择这几个参数，使三极管在导通时为饱和导通。

3. 三极管的动态开关特性

与二极管一样，给三极管加上脉冲信号，三极管可能截止，也可能饱和导通，在两种状态之间相互转换时，其内部电荷有消散和建立的过程，即动态特性。

在图 3.3.5(a)所示电路的输入端加入一个如图 3.3.7(a)所示的输入电压，按照前面的分析，应得理想的集电极电流波形如图 3.3.7(b)所示，实际的波形却如图 3.3.7(c)所示，上升沿和下降沿均有延迟且变得缓慢。为描述其动态过程，引入如下 4 个开关参数：

延迟时间 t_d——从输入信号 u_I 正跳变的瞬间开始，到集电极电流 i_C 上升至 $0.1I_{CS}$ 所需的时间；

上升时间 t_r——集电极电流 i_C 从 $0.1I_{CS}$ 上升至 $0.9I_{CS}$ 所需的时间；

存储时间 t_s——从输入信号 u_I 下跳变的瞬间开始，到集电极电流 i_C 下降至 $0.9I_{CS}$ 所需的时间；

下降时间 t_f——集电极电流从 $0.9I_{CS}$ 下降至 $0.1I_{CS}$ 所需的时间。

t_d 和 t_r 之和称为**开通时间** t_{on}，即 $t_{on}=t_d+t_r$；t_s 和 t_f 之和称为**关闭时间** t_{off}，即 $t_{off}=t_s+t_f$。

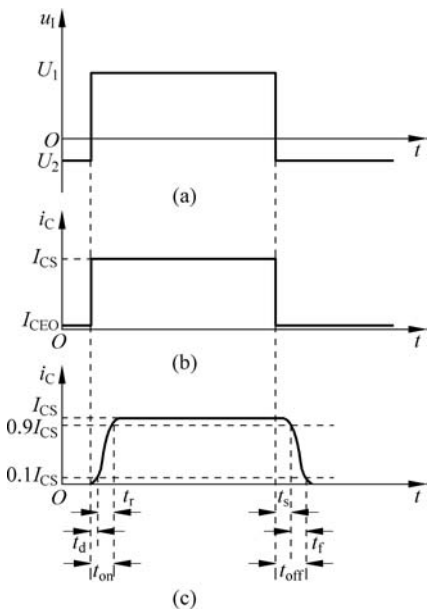


图 3.3.7　三极管开关的动态特性

三极管的开通时间和关闭时间总称为三极管的开关时间，一般为几纳秒到几十纳秒。三极管的开关时间对电路的开关速度影响很大，开关时间越小，电路的开关速度越快。如果三极管的开关时间可与输入脉冲周期相比拟，则电路的输出波形明显变坏，甚至使输出的高低电平达不到规定值，而使开关电路不能正常工作。

3.3.2　三极管非门电路

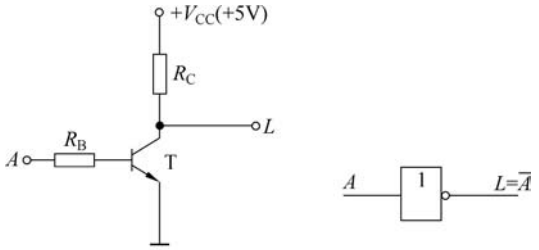
图 3.3.8(a)是由三极管组成的非门电路。仍设输入信号为+5V 或 0V，则此电路只有以下两种工作情况：

(1) $u_A=0$V。此时三极管的发射结电压小于死区电压，满足截止条件，所以三极管处于截止状态，$u_L=V_{CC}=5$V。

(2) $u_A=5$V。此时三极管的发射结正偏，只要合理选择电路参数，使其满足饱和条件 $i_B>I_{BS}$，则三极管工作于饱和导通状态，$u_L=U_{CES}\approx 0$V(0.3V)。

把上述分析结果列入表 3.3.2 中，此电路满足非运算的逻辑关系，其逻辑真值表如

表 3.3.3 所示，图 3.3.8(b)为它的逻辑符号。



(a) 电路　　(b) 逻辑符号

图 3.3.8　三极管非门

表 3.3.2　非门输入输出电压的关系

u_A/V	u_L/V
0	5
5	0

表 3.3.3　非逻辑真值表

A	L
0	1
1	0

3.3.3　二极管和三极管组成的与非门电路

二极管与门和或门电路虽然结构简单，但是不实用。因为当信号通过门电路时，二极管的正向压降将引起信号电平的偏离，特别是在多级门电路串接使用时，容易导致错误的逻辑值。例如在图 3.3.9 所给出的两级二极管与门电路中，当第一级输入信号为 0V 时，由于二极管的正向压降(硅管为 0.7V)，经过一个与门后输出变成 0.7V，经过两个与门变成了 1.4V。这样，串接的级数越多，低电平偏离标准数值就越远，将导致逻辑上的错误。同时，二极管门的带负载能力也很差。为此，常将二极管与门和或门与三极管非门组合起来组成与非门和或非门电路，以消除在串接时产生的电平偏离，并提高带负载能力。

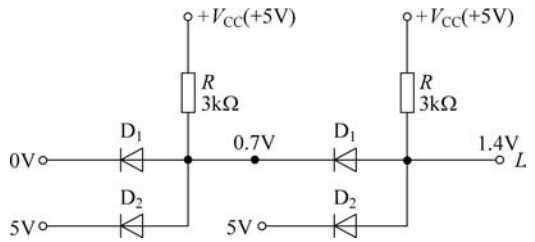


图 3.3.9　两级二极管与门串接使用的情况

图 3.3.10 所示是由三输入端的二极管与门和三极管非门组合而成的与非门电路，其中做两处必要的改进：一是将原来三极管非门电路中的电阻 R_B 换成两个二极管 D_4 和 D_5，作用是提高输入低电平的抗干扰能力，即当输入低电平有波动时，保证三极管可靠截止，以输出高电平；二是增加了 R_1，目的是当三极管从饱和向截止转换时，给基区存储电荷提供一个泄放回路。

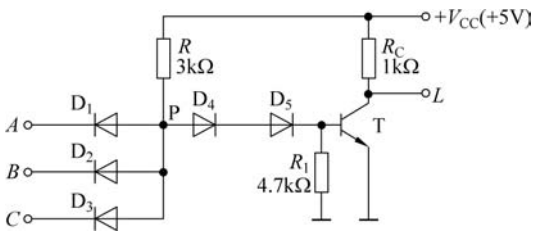


图 3.3.10　DTL 与非门电路

该电路的逻辑关系为：

(1) 当三输入端 A、B、C 接高电平时(即 $u_A=u_B=u_C=5V$)，二极管 $D_1\sim D_3$ 都截止，而 D_4、D_5 和 T 导通，则 $u_P\approx 0.7\times 3\approx 2.1V$。合理选择 R_1 及 R_C，使三极管饱和，则 $u_L=U_{CES}\approx 0.3V$，即输出低电平。

(2) 在 A、B、C 中只要有一个接低电平 0.3V 时，则阴极接低电平的二极管导通，由于二极管正向导通时的钳位作用，$u_P\approx 1V$，从而使 D_4、D_5 和 T 都截止，$u_L=V_{CC}=5V$，即输出高电平。可见该电路满足与非逻辑关系，即

$$L=\overline{A\cdot B\cdot C}$$

把一个电路中的所有元件，包括二极管、三极管、电阻及导线等都制作在一片半导体芯片上，封装在一个管壳内，就是集成电路。图 3.3.10 是早期的简单集成与非门电路，称为二极管-三极管逻辑门电路，简称 DTL 电路。

3.4　TTL 逻辑门电路

TTL 电路是由 DTL 电路改进而来的，其输入级和输出级都采用三极管，所以称为三极管-三极管逻辑电路，简称 TTL 电路。

3.4.1　TTL 与非门的基本结构及工作原理

1. TTL 与非门的基本结构

TTL 与非门的电路结构如图 3.4.1 所示，与图 3.3.10 所示的 DTL 与非门电路相比较，做了以下几方面的改进。

第一，注意到 DTL 电路中的 D_1、D_2、D_3、D_4 的阳极是相连的，如图 3.4.2(a)所示。我们可用集成工艺将它们制成一个多发射极三极管，如图 3.4.2(b)所示。这样它既是 4 个 PN 结，不改变原来的逻辑关系，又具有三极管的特性。一旦满足放大的外部条件，就具有放大作用，为 T_2 从饱和到截止提供足够大的反向基极电流，从而大大提高了 T_2 的关闭速度。这一级称为输入级。

第二，将二极管 D_5 改换成三极管 T_2。这样 T_2 的发射结代替了 D_5，逻辑关系不变，同时在电路的开通过程中利用 T_2 的放大作用，为输出管 T_3 提供较大的基极电流，加速

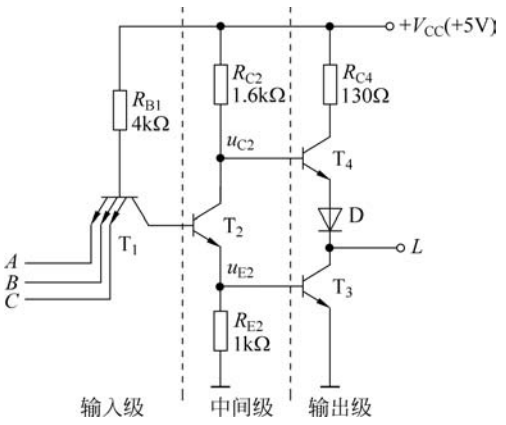


图 3.4.1　TTL 与非门电路图

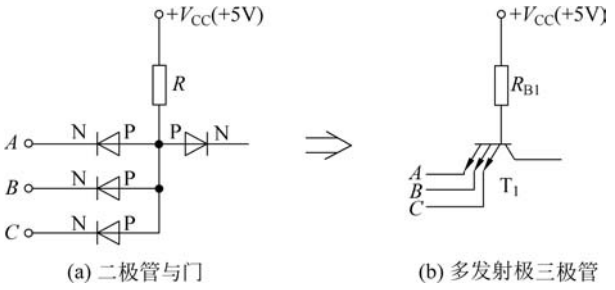


图 3.4.2　TTL 与非门输入级的由来

了 T_3 的导通。另外 T_2 和电阻 R_{C2}、R_{E2} 组成的电路可将 T_2 的单端输入信号转换为互补的双端输出信号 u_{C2} 和 u_{E2}，分别驱动 T_4 管和 T_3 管。这一级称为中间级。

第三，为了提高输出级的带负载能力，将图 3.3.10 中三极管的集电极负载电阻 R_C 换成由三极管 T_4、二极管 D 和 R_{C4} 组成的有源负载。在正常工作时，T_3 和 T_4 总是轮流导通。当输出低电平时，T_3 饱和导通，T_4 截止。这时，电路的输出电阻为 T_3 的饱和电阻，因为该电阻较小，所以带负载能力较强。而且由于 T_4 截止，T_3 的集电极电流可以全部用来驱动负载；当输出高电平时，T_3 截止，T_4 导通。由于 T_4 组成射极输出器，输出阻抗很小，所以带负载能力也较强。T_3、T_4 的这种结构，称为**推拉式输出级**或**推挽式输出级**，这种结构有利于提高开关速度（见本节 **3. TTL 与非门提高工作速度的原理**）和带负载能力。

2. TTL 与非门的工作原理

图 3.4.1 所示电路的输出高、低电平分别为 3.6V 和 0.3V，所以在下面的分析中假设输入高、低电平也分别为 3.6V 和 0.3V。

1）输入全为高电平

当三输入端 A、B、C 全接高电平 3.6V 时，T_1 的三个发射结都不可能导通，如若导通，则有 $u_{B1}=3.6+0.7=4.3$V，4.3V 的电压足以使 T_1 的集电结和 T_2、T_3 的发射结这

三个串联的 PN 结导通。而这三个 PN 结一旦导通，由于钳位作用，$u_{B1}=0.7\times3=2.1V$，从而使 T_1 的发射结因反偏而截止。所以，此时 T_2、T_3 导通，且饱和导通。

由于 T_3 饱和导通，输出电压 $u_L=U_{CES3}\approx0.3V$。这时 $u_{E2}=u_{B3}=0.7V$，而 $U_{CES2}=0.3V$，故有 $u_{C2}=u_{E2}+U_{CES2}=1V$。1V 的电压作用于 T_4 的基极，使 T_4 和二极管 D 都截止。

将上述分析的电路中各个三极管的工作情况及各点电位标示于图 3.4.3 中，可见它实现了与非门的逻辑功能之一：**输入全为高电平时，输出为低电平**。T_2、T_3 导通，T_4 和 D 截止，输出为低电平，通常称与非门的这种状态为**开门**状态。

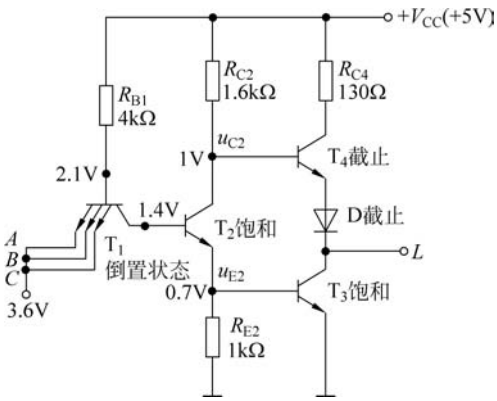


图 3.4.3　输入全为高电平时的工作情况

2）输入中有低电平

当某个输入端接低电平 0.3V 时，该发射结导通，T_1 的基极电位被钳位到 $u_{B1}=1V$。而此时，要使 T_1 的集电结和 T_2 的发射结这两个串联的 PN 结导通，需要 $u_{B1}=0.7\times2=1.4V$，要使 T_3 的发射结也同时导通，需要 $u_{B1}=0.7\times3=2.1V$。显然，这两个条件都不具备，所以 T_2、T_3 都截止。由于 T_2 截止，流过 R_{C2} 的电流仅为 T_4 的基极电流，这个电流较小，在 R_{C2} 上产生的压降也较小，可以忽略，所以 $u_{B4}\approx V_{CC}=5V$，使 T_4 和 D 导通，则 $u_L\approx V_{CC}-U_{BE4}-U_D=5-0.7-0.7=3.6V$。

将上述分析的电路中各个管子的工作情况及各点电位标示于图 3.4.4 中，可见它实现了与非门的逻辑功能的另一种情况：**输入有低电平时，输出为高电平**。T_2、T_3 截止，T_4 和 D 导通，输出为高电平，通常称与非门的这种状态为**关门**状态。

综合上述两种情况，该电路满足与非的逻辑功能，是一个与非门。

3. TTL 与非门提高工作速度的原理

影响 TTL 门电路工作速度的因素主要有两方面：一是三极管本身存储电荷的注入和消散；二是 PN 结寄生电容和负载电容的充放电。TTL 与非门具有较高的工作速度，原因如下：

（1）采用多发射极三极管加快了存储电荷的消散过程。设电路原来输出低电平，电路中各个管子的工作情况及各点电位如图 3.4.5 所示。在这种情况下，电路的某一输入

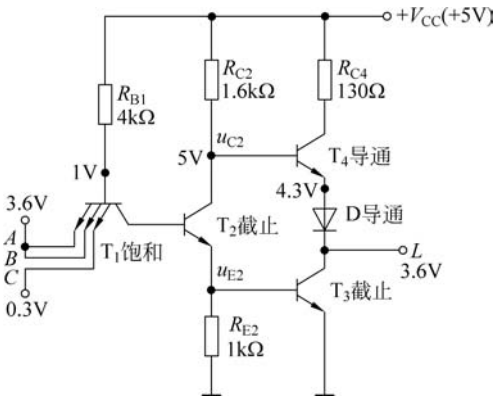


图 3.4.4　输入有低电平时的工作情况

端突然由高电平(3.6V)变为低电平(0.3V),T_1 的一个发射结导通,u_{B1} 变为 1V。由于 T_2、T_3 原来是饱和的,基区中的超量存储电荷还来不及消散,u_{B2} 仍维持 1.4V。在这个瞬间,T_1 为发射结正偏,集电结反偏,如图 3.4.5 所示,正好满足了放大条件,工作于放大状态,其基极电流 $i_{B1}=(V_{CC}-u_{B1})/R_{B1}$,集电极电流 $i_{C1}=\beta_1 i_{B1}$。这个较大的集电极电流 i_{C1} 正好是 T_2 的反向基极电流 i_{B2},可将 T_2 的存储电荷快速抽走,促使 T_2 迅速截止。T_2 迅速截止又使 T_4 迅速导通,而 T_4 的导通加大了 T_3 的集电极电流,使 T_3 的超量存储电荷从集电极快速消散而达到截止。

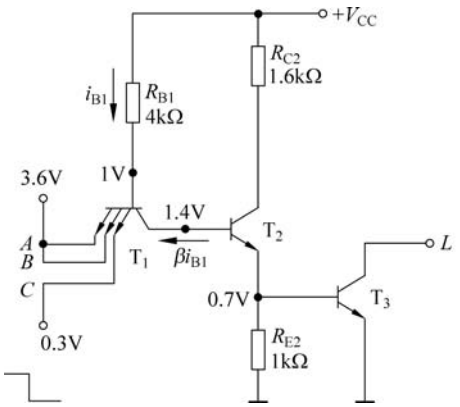


图 3.4.5　多发射极三极管消散 T_2 存储电荷的过程

(2) 采用了推拉式输出级,输出阻抗比较小,若输出端接电容负载时,可迅速给负载电容充放电。输出接有负载电容 C_L 的情况如图 3.4.6 所示。当输出由低变高时,T_3 截止,T_4 导通,T_4 为射极输出器,输出电阻小,可使 C_L 迅速充电,故上升沿好。当输出由高变低时,T_3 饱和,等效小电阻,C_L 通过 T_3 的饱和电阻放电也很快,故下降沿也好。

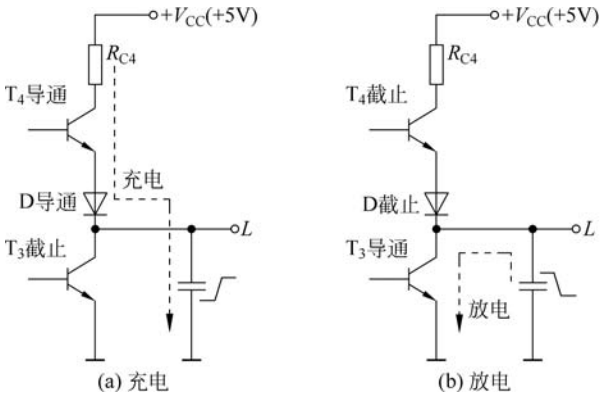


图 3.4.6　推拉式输出级给负载电容充放电

3.4.2　TTL 与非门的电压传输特性

1. 电压传输特性曲线

电压传输特性曲线是指与非门的输出电压与输入电压之间的对应关系曲线，即$u_O=f(u_I)$，它反映电路的静态特性，其测试方法如图 3.4.7 所示。当输入电压从 0V 逐步增加到＋5V 时，测得的与非门的电压传输特性曲线如图 3.4.8 所示，其曲线可以分成 4 个区域来描述。

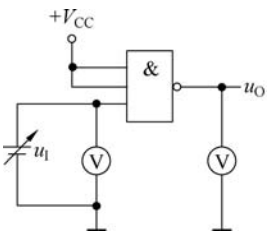


图 3.4.7　电压传输特性的测试方法

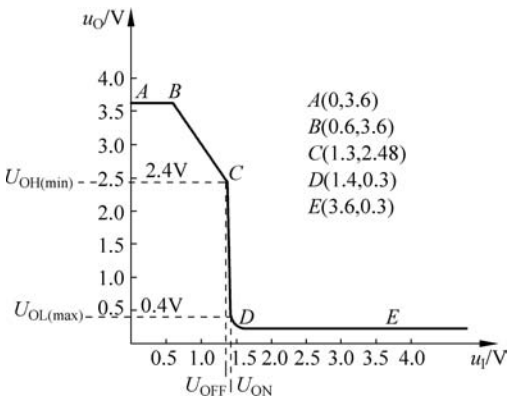


图 3.4.8　TTL 与非门的电压传输特性

动画

1）AB 段（截止区）

在这段中输入电压 u_I 很低，T_1 处于深饱和状态（设深饱和压降 $U_{CES1}=0.1V$），T_2、T_3 截止，T_4、D 导通，输出电压 $u_O=3.6V$ 基本保持恒定。这时 T_2 的基极电位 $u_{B2}=u_I+U_{CES1}$，随着 u_I 的增加，u_{B2} 也在增加；当 $u_{B2}=0.7V$ 时（这时 $u_I=u_{B2}-U_{CES1}=0.7V-0.1V=0.6V$），$T_2$ 开始导通，导通以后由于有了 i_{C2}，使得 R_{C2} 上的压降增大，u_O

开始下降。所以 B 点横坐标 $u_I(B)=0.6V$。B 点就是 T_2 开始导通的点。

2）BC 段(线性区)

$u_I>0.6V$，即过了 B 点以后，T_2 导通。在这段区间，T_1 仍处于饱和状态，T_2 处于放大状态。因为 $u_{B2}<1.4V$，$u_{B3}<0.7V$，故 T_3 仍截止；T_4、D 仍导通。随着 u_I 的增加，u_{B2} 增加，i_{C2} 增加，u_{C2} 下降，u_O 下降。因这段曲线近似线性变化，故称为线性区。

当输入电压 u_I 增加到 1.3V 时，$u_{B2}=1.4V$，$u_{E2}=0.7V$，T_3 开始导通。C 点就是 T_3 开始导通的点。

3）CD 段(过渡区)

当 u_{E2} 上升到 0.7V 时，T_3 开始导通，并且随着 u_I 的增加由导通转变到饱和，输出电压急剧下降。CD 段就是电路由输出高电平转换为低电平的阶段，因此称为过渡区或转折区。D 点坐标为(1.4，0.3)，即 $u_I(D)\approx1.4V$，$u_O(D)\approx0.3V$。

本段由于 T_2、T_3、T_4 都处于放大状态，u_I 的微小增加都会使 T_2 的电流迅速增加，从而使 T_3 的电流迅速增加，使 T_3 迅速进入饱和区，所以曲线很陡。

4）DE 段(饱和区)

T_3 进入饱和以后，u_I 再增加，u_O 无明显变化，但电路内部过程尚未完全结束。随着 u_I 继续升高，T_1 管转为倒置工作，T_1 的基流完全注入 T_2，使 T_2 进入饱和，u_{C2} 下降为 1V，T_4、D 截止，电路进入输出低电平的稳定状态。

2. 几个重要参数

根据电压传输特性曲线，TTL 门电路具有以下几个重要参数。

(1) **输出高电平电压** U_{OH}。U_{OH} 的理论值为 3.6V，产品规定输出高电压的最小值 $U_{OH(min)}=2.4V$，即大于 2.4V 的输出电压就可称为输出高电压 U_{OH}。

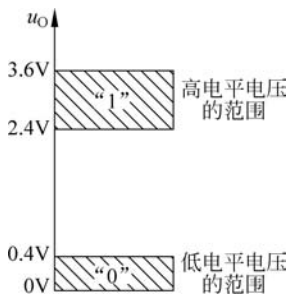


图 3.4.9　输出高低电平的电压范围

(2) **输出低电平电压** U_{OL}。U_{OL} 的理论值为 0.3V，产品规定输出低电压的最大值 $U_{OL(max)}=0.4V$，即小于 0.4V 的输出电压就可称为输出低电压 U_{OL}。

由上述规定可以看出，TTL 门电路的输出高、低电压都不是一个值，而是一个范围，如图 3.4.9 所示。

(3) **关门电平电压** U_{OFF}。U_{OFF} 是指输出电压下降到 $U_{OH(min)}$ 时对应的输入电压。显然只要 $u_I<U_{OFF}$，u_O 就是高电压，与非门一直处于关门状态，所以 U_{OFF} 就是输入低电压的最大值，在产品手册中常称为**输入低电平电压**，用 $U_{IL(max)}$ 表示。从图 3.4.8 所示的电压传输特性曲线看，$U_{IL(max)}$ (U_{OFF}) $\approx1.3V$，产品规定 $U_{IL(max)}=0.8V$。

(4) **开门电平电压** U_{ON}。U_{ON} 是指输出电压下降到 $U_{OL(max)}$ 时对应的输入电压。显然只要 $u_I>U_{ON}$，u_O 就是低电压，与非门一直处于开门状态，所以 U_{ON} 就是输入高电压的最小值，在产品手册中常称为**输入高电平电压**，用 $U_{IH(min)}$ 表示。从图 3.4.8 所示的电压传输特性曲线看，$U_{IH(min)}$ (U_{ON}) 略大于 1.3V，产品规定 $U_{IH(min)}=2V$。

(5) **阈值电压** U_{TH}。U_{TH} 是指电压传输特性的过渡区所对应的输入电压，即决定输出高、低电平的分界线。从图 3.4.8 所示的电压传输特性曲线看，U_{TH} 的值界于 U_{OFF} 与 U_{ON} 之间，而 U_{OFF} 与 U_{ON} 的实际值又差别不大，所以，在实际使用时常近似为 $U_{TH}\approx U_{OFF}\approx U_{ON}$。在近似分析和估算时，可以认为：当 $u_I<U_{TH}$ 时，与非门关门，输出高电平；当 $u_I>U_{TH}$ 时，与非门开门，若输入端都接高电平则输出低电平。U_{TH} 又常被形象化地称为**门槛电压**。U_{TH} 的值为 1.3～1.4V。

3. 输入噪声容限

前面提到 TTL 门电路的输出高、低电平电压不是一个值，而是一个范围。通过电压传输特性可知，与之相对应的，它的输入高、低电平电压也有一个范围，即它的输入信号允许一定的容差，称为**输入噪声容限**，简称**噪声容限**。在数字电路中，即使有噪声干扰电压出现在输入端，叠加在输入信号的高、低电平上，只要噪声电压的幅度不超过噪声容限，输出端的逻辑状态就不会受到影响。

在实际应用中总是由若干个门电路组成一个数字系统，前一个门电路的输出电压就是后一个门电路的输入电压。在图 3.4.10 中，若 G_1 输出低电压，则 G_2 输入也为低电压，输出为高电压。如果由于某种干扰，在叠加干扰电压后使 G_2 的输入低电压高于 G_1 输出低电压的最大值 $U_{OL(max)}$，从图 3.4.8 所示的电压传输特性曲线看，只要这个值不大于 U_{OFF}，G_2 的输出电压仍大于 $U_{OH(min)}$，即逻辑关系仍是正确的。因此在输入低电压时，把关门电压 U_{OFF} 与 $U_{OL(max)}$ 之差称为**低电平噪声容限**，用 U_{NL} 表示，即

$$U_{NL}=U_{OFF}-U_{OL(max)}=0.8-0.4=0.4V$$

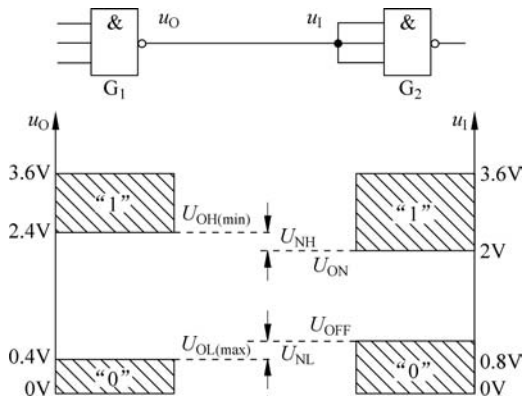


图 3.4.10　噪声容限示意图

若 G_1 输出为高电压，则 G_2 输入也为高电压，输出低电压。如果由于某种干扰，在叠加干扰电压后使 G_2 的输入高电压低于 G_1 输出高电压的最小值 $U_{OH(min)}$，从图 3.4.8 所示的电压传输特性曲线看，只要这个值不小于 U_{ON}，G_2 的输出电压仍小于 $U_{OL(max)}$，逻辑关系仍是正确的。因此在输入高电压时，把 $U_{OH(min)}$ 与开门电压 U_{ON} 之差称为**高电平噪声容限**，用 U_{NH} 表示，即

$$U_{NH}=U_{OH(min)}-U_{ON}=2.4-2.0=0.4V$$

噪声容限表示门电路的抗干扰能力。U_{NL} 是输入低电平时最大允许的干扰电压，U_{NH} 是输入高电平时最大允许的干扰电压。显然，噪声容限越大，电路的抗干扰能力越强。

3.4.3 TTL 与非门的静态输入和输出特性

1. 输入伏安特性

反映输入电压 u_I 与电流 i_I 之间关系的曲线称为输入伏安特性曲线，简称**输入伏安特性**。当输入电压变化时，测得的与非门的输入伏安特性曲线如图 3.4.11 所示，下面进行详细分析。

1）输入端接低电平

当门电路的输入端 u_I 接低电平 0.3V 时，从门电路输入端流出的电流称为**输入低电平电流** I_{IL}，如图 3.4.12 所示。可以算出

$$I_{IL}=-\frac{V_{CC}-U_{BE1}-u_I}{R_{B1}}=-1(\text{mA}) \tag{3.4.1}$$

当 $u_I=0$ 时的输入电流称为输入短路电流 I_{IS}。显然，从数值上比较，I_{IS} 比 I_{IL} 略大一点，在做近似分析计算时，常用 I_{IS} 近似代替 I_{IL} 使用，产品规定 $I_{IL}<1.6\text{mA}$。

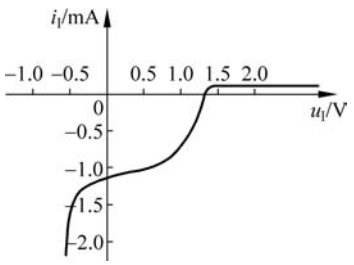


图 3.4.11　输入伏安特性

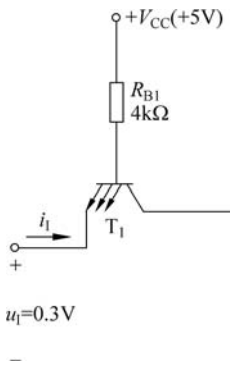


图 3.4.12　输入低电平电流 I_{IL}

2）输入端接高电平

当门电路的输入端接高电平时，流入输入端的电流称为**输入高电平电流** I_{IH}。对于多输入端的与非门来说，有以下两种情况。

（1）与非门一个输入端（如 A 端）接高电平，其他输入端接低电平，如图 3.4.13(a)所示。这时，T_1 的 B 端或 C 端发射结正偏，A 端发射结反偏，B 端和 C 端发射结与 A 端发射结组成 NPN 寄生三极管，A 端为寄生三极管的集电极。这时 $I_{IH}=\beta_p I_{B1}$，β_p 为寄生三极管的电流放大系数。

（2）与非门的输入端全接高电平，如图 3.4.13(b)所示。这时，T_1 的发射结反偏，集电结正偏，工作于倒置的放大状态。这时 $I_{IH}=\beta_i I_{B1}$，β_i 为倒置放大的电流放大系数。

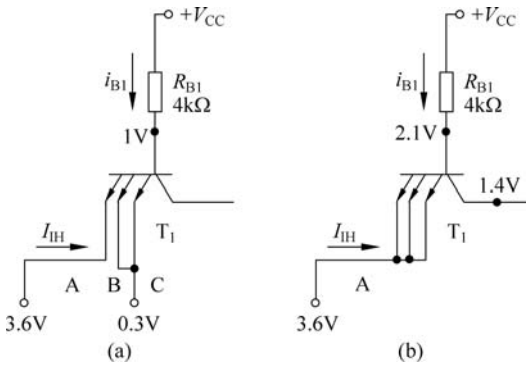


图 3.4.13 输入高电平电流 I_{IH}

由于 β_p 和 β_i 的值都远小于 1，所以 I_{IH} 的数值比较小，产品规定 $I_{IH}<40\mu A$。

3）输入电压在高电平和低电平之间

输入电压介于高、低电平之间时，电路的工作情况比较复杂，但这种情况只发生在输入信号的电平转换过程中，是转瞬即逝的，因此不做详细分析。

2. 输入端负载特性

在实际应用中，加在门电路输入端的信号源、仪器仪表常常是有内阻或等效电阻的，有时也需要在输入端与地之间接入电阻。反映接在门电路输入端电阻 R_i 两端的电压 u_I 和 R_i 阻值之间关系的曲线，称为输入端负载特性曲线，简称**输入端负载特性**。将与非门的一个输入端接 u_I，其他输入端接高电平，其测试电路如图 3.4.14(a)所示。

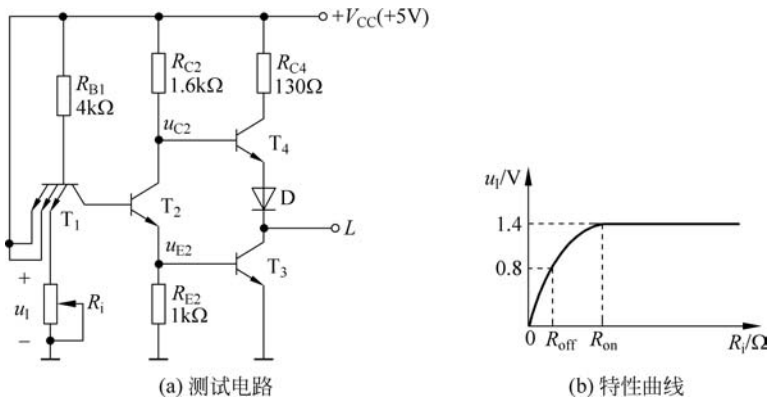


图 3.4.14 TTL 与非门的输入端负载特性

1）关门电阻 R_{off}

当 $R_i=0$ 时，输入端接地，即 $u_I=0$，门电路输出高电平。R_i 逐渐增大，因为输入端电流流出 T_1 管后流过 R_i，这就必然会在 R_i 上产生压降而形成输入端电压 u_I，而且，R_i 越大，u_I 也越大。若 $u_I \leqslant U_{IL(max)}$(0.8V)，则与非门一直处于关门状态。当 $u_I=U_{IL(max)}=0.8V$ 时，有

$$u_I = \frac{V_{CC} - U_{BE1}}{R_i + R_{B1}} \times R_i = 0.8\text{V} \tag{3.4.2}$$

因此可以求得此时对应的电阻 R_i，称为关门电阻 R_{off}，即 $R_{off} \approx 0.91\text{k}\Omega$。

实际应用中，只要 $R_i \leqslant R_{off}$，该输入端相当于接低电平，与非门处于关门状态，输出为高电平。R_{off} 的大小与逻辑门内部元件参数有关，不同系列的逻辑门有所差别，通常选取 $R_{off} = 0.7\text{k}\Omega$。

2）开门电阻 R_{on}

当 R_i 继续增大使得 u_I 上升到 1.4V 时，T_1 的集电结和 T_2、T_3 的发射结导通，并将 u_{B1} 钳位在 2.1V，因此，R_i 再增大，u_I 也不会再升高了，特性曲线趋近于 $u_I = 1.4\text{V}$ 的一条水平线，如图 3.4.14(b)所示。

当 $u_I = 1.4\text{V}$ 时，有

$$u_I = \frac{V_{CC} - U_{BE1}}{R_i + R_{B1}} \times R_i = 1.4\text{V} \tag{3.4.3}$$

因此可求得此时对应的电阻 R_i，称为开门电阻 R_{on}，即 $R_{on} \approx 1.93\text{k}\Omega$。

实际应用中，只要 $R_i \geqslant R_{on}$，该输入端相当于接高电平，与非门处于开门状态，输出为低电平。R_{on} 的大小同样与逻辑门内部元件参数有关，不同系列的逻辑门会有差别，通常选取 $R_{on} = 2.5\text{k}\Omega$。

需要注意的是，若输入端悬空，即 R_i 为无穷大，则该输入端相当于接高电平。

3. 输出特性

在数字系统中，门电路的输出端一般都要与其他门电路的输入端相连，如图 3.4.15 所示，称为带负载。在图 3.4.15 中，G_1，G_2，…，G_N 都是 G_0 的负载，G_1，G_2，…，G_N 称为负载门，G_0 称为驱动门。带上负载以后，会对驱动门的电路特性有什么影响？一个门电路最多允许带几个同类的负载门？这就需要对门电路的输出特性有清晰的了解。

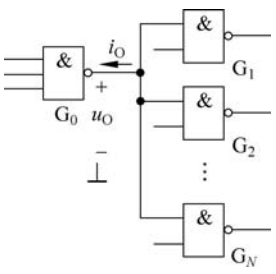


图 3.4.15　门电路带负载的情况

反映驱动门输出电压 u_O 与输出电流 i_O 之间关系的曲线，称为输出特性曲线，简称输出特性，也称为输出负载特性。

1）输出低电平

当驱动门输出低电平时，驱动门的 T_4、D 截止，T_3 导通。这时有电流从负载门的输入端灌入驱动门的 T_3 管，“灌电流”由此得名。此时的灌电流，即驱动门的输出电流 i_O，其来源是负载门的输入低电平电流 I_{IL}，如图 3.4.16 所示，很显然，负载门的个数增加，i_O 增大。i_O 增大，即 T_3 管集电极电流 i_{C3} 增加，当 $i_{C3} > \beta i_{B3}$ 时，T_3 脱离饱和，输出电压 u_O 增大，输出特性如图 3.4.17 所示，前面提到过输出低电平不得高于 $U_{OL(max)} = 0.4\text{V}$。因此，把输出低电平时允许灌入输出端的电流定义为**输出低电平电流** I_{OL}，这是门电路的一个参数，产品规定 $I_{OL} = 16\text{mA}$。由此可得，输出低电平时所能驱动同类门的个数为

$$N_{OL}=\frac{I_{OL}}{I_{IL}} \tag{3.4.4}$$

N_{OL} 称为**输出低电平时的扇出系数**。

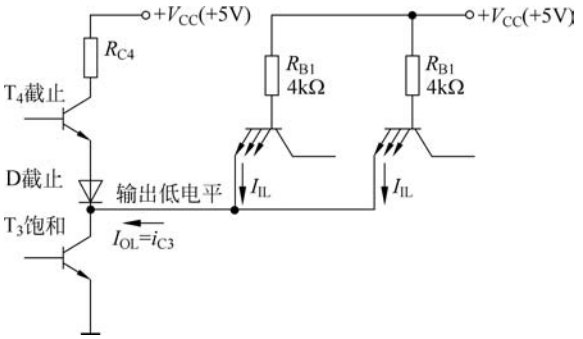


图 3.4.16 带灌电流负载

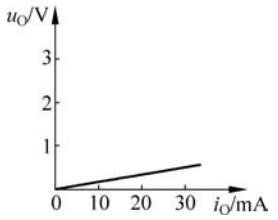


图 3.4.17 TTL 与非门低电平输出特性

2）输出高电平

当驱动门输出高电平时，驱动门的 T_4、D 导通，T_3 截止。这时有电流从驱动门的 T_4、D 拉出而流至负载门的输入端，“拉电流”由此得名。此时的拉电流，即驱动门的输出电流 i_O，是驱动门 T_4 的发射极电流 i_{E4}，同时又是负载门的输入高电平电流 I_{IH}，如图 3.4.18 所示，所以负载门的个数增加，拉电流增大，即驱动门的 T_4 管发射极电流 i_{E4} 增加，R_{C4} 上的压降增加，当 i_{E4} 增加到一定的数值时，T_4 进入饱和，输出高电平降低，输出特性如图 3.4.19 所示，前面提到过输出高电平不得低于 $U_{OH(min)}=2.4V$。因此，把输出高电平时允许拉出驱动门的电流定义为**输出高电平电流** I_{OH}，这也是门电路的一个参数，产品规定 $I_{OH}=0.4mA$。由此可得出，输出高电平时所能驱动同类门的个数为

$$N_{OH}=\frac{I_{OH}}{I_{IH}} \tag{3.4.5}$$

N_{OH} 称为**输出高电平时的扇出系数**。

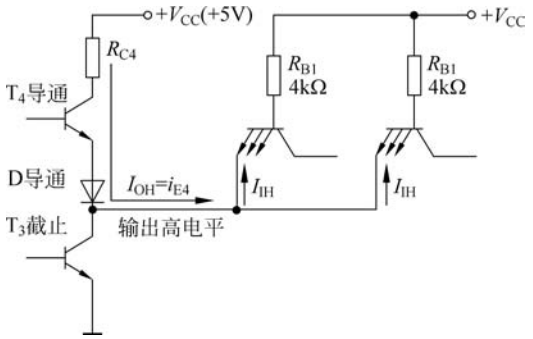


图 3.4.18 带拉电流负载

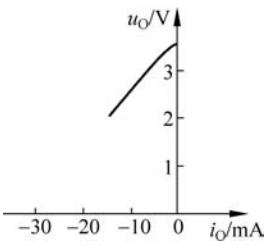


图 3.4.19 带拉电流负载

一般 $N_{OL} \neq N_{OH}$，常取两者中的较小值作为门电路的扇出系数，用 N_O 表示。在实际应用中，逻辑门生产商提供的数据表无扇出系数，必须通过计算或实验得出。

例 3.4.1 已知 74LS 系列 TTL 门，$I_{OH}=I_{OL}=4\text{mA}$，$I_{IH}=0.02\text{mA}$，$I_{IL}=0.4\text{mA}$，求其扇出系数。

解：由已知数据可求得：$N_{OH}=\dfrac{4}{0.02}=200$，$N_{OL}=\dfrac{4}{0.4}=10$。

因此，TTL 门扇出系数 $N_O=10$。

3.4.4 TTL 与非门的动态特性

1. TTL 与非门传输延迟时间 t_{pd}

当与非门输入一个脉冲波形时，其输出波形有一定的延迟，如图 3.4.20 所示。定义以下两个延迟时间：

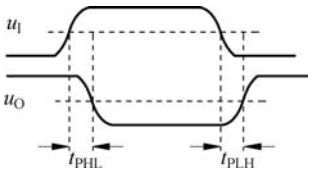


图 3.4.20 TTL 与非门的传输时间

（1）导通延迟时间 t_{PHL}——从输入波形上升沿的中点到输出波形下降沿的中点所经历的时间；

（2）截止延迟时间 t_{PLH}——从输入波形下降沿的中点到输出波形上升沿的中点所经历的时间。

与非门的传输延迟时间 t_{pd} 是 t_{PHL} 和 t_{PLH} 的平均值，即

$$t_{pd}=\frac{t_{PLH}+t_{PHL}}{2} \tag{3.4.6}$$

t_{pd} 是反映门电路开关速度的参数，一般为几纳秒～十几纳秒。

2. 电源的动态尖峰电流

1）电源静态电流

TTL 逻辑门输出低电平或高电平时的电源提供电流是稳定不变的，称为电源提供的静态电流，简称电源静态电流。TTL 与非门输出低电平时，如图 3.4.21 所示，电源静态电流 I_{CCL} 由 T_1 基极电流 I_{R1} 和 T_2 集电极电流 I_{R2} 两部分组成。由电路中的参数可求得

$$I_{R1}=\frac{V_{CC}-U_{B1}}{R_{B1}}=\frac{5-2.1}{4}=0.725\text{mA} \tag{3.4.7}$$

$$I_{R2}=\frac{V_{CC}-U_{C2}}{R_{B1}}=\frac{5-1}{1.6}=2.5\text{mA} \tag{3.4.8}$$

$$I_{CCL}=I_{R1}+I_{R2}=3.225\text{mA} \tag{3.4.9}$$

TTL 与非门输出高电平时，如图 3.4.22 所示，空载时，由于流过 T_4 没有电流，因此，电源静态电流 I_{CCH} 等于 I_{R1}。由电路中的参数可求得

$$I_{CCH}=I_{R1}=\frac{V_{CC}-U_{B1}}{R_{B1}}=\frac{5-1}{4}=1\text{mA} \tag{3.4.10}$$

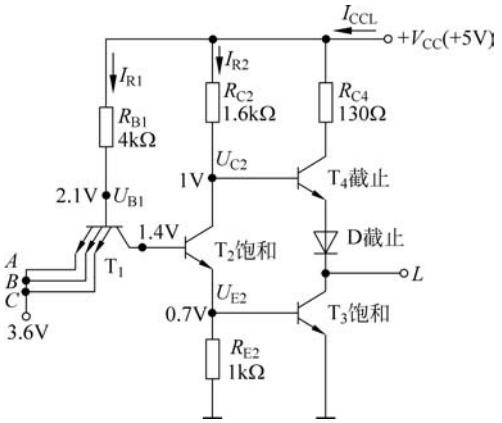


图 3.4.21　输出低电平时的静态电流

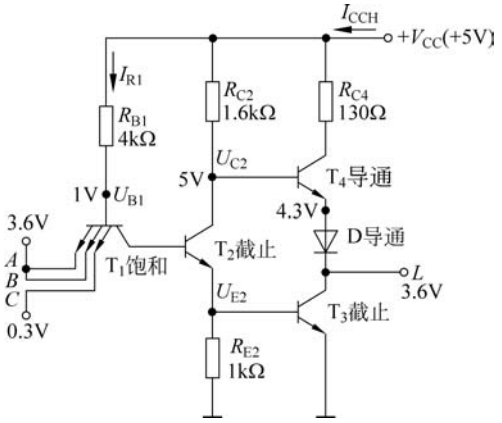


图 3.4.22　输出高电平时的静态电流

通过上述分析可知，TTL 与非门的电源静态电流在输出低电平时比输出高电平时要大些。电源平均电流是基于输出波形的占空比为 50%（输出高、低电平各占一半时间）而计算的，因此，电源平均电流 I_{CCAV} 为

$$I_{CCAV}=\frac{1}{2}(I_{CCL}+I_{CCH})\approx 2.11\text{mA} \tag{3.4.11}$$

通常情况下，生产商的数据表会给出输出低电平状态下的供电电流 I_{CCL} 和输出高电平状态下的供电电流 I_{CCH}，读者可以根据芯片型号查阅数据表，从而对逻辑门的静态功耗和电源容量等参数进行近似估算。

2）电源动态电流

在动态情况下，其过程比较复杂，包括输出由低电平翻转为高电平和输出由高电平翻转为低电平两种情况。在输出由低电平翻转为高电平的过渡过程中，由于 T_3 原来处于深度饱和状态，所以 T_4 的导通必然先于 T_3 的截止，这样就出现了短时间内 T_3 和 T_4 同时导通的状态，有很大的瞬间电流流经 T_3 和 T_4，使电源电流出现尖峰脉冲，如图 3.4.23 和图 3.4.24 所示。

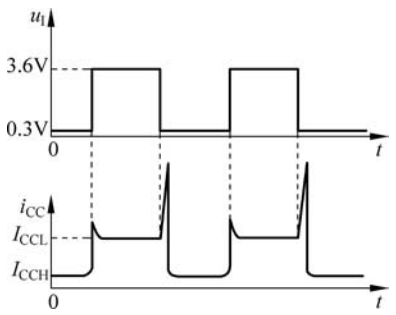


图 3.4.23　电源动态电流

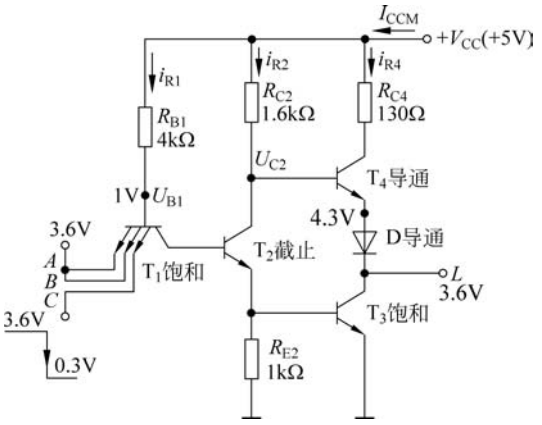


图 3.4.24　输出高电平时的静态电流

由图 3.4.24 可知，如果在 u_I 从高电平翻转为低电平的瞬间，T_3 尚未脱离饱和状态，而 T_4 已饱和导通，则电源电流的最大瞬时值 I_{CCM} 为

$$I_{CCM}=i_{R1}+i_{R2}+i_{R4}=\frac{5-1}{4000}+\frac{5-0.7-0.7-0.3}{1600}+\frac{5-0.3-0.7-0.3}{130}\approx 31.524\text{mA} \tag{3.4.12}$$

由此可见，与静态电流相比，电源动态尖峰电流比较大，这将使电源提供的平均电流增大，而且，从图 3.4.23 可知，输入信号频率越高、门电路的截止延迟时间 t_{PLH} 越长，平均电流越大，在计算电源容量时需要注意这一点。

从图 3.4.23 还可以看到，在输出由高电平翻转为低电平的过渡过程中也有一个比较小的电源尖峰电流产生，那也是因为 T_3 和 T_4 同时导通所致，但由于 T_4 导通时一般工作在放大状态而非饱和状态，能够较快地进入截止状态，因此 T_3 和 T_4 同时导通的时间极短，不可能产生较大的瞬态电源电流，可以忽略其影响。

若将 u_I 从高电平翻转为低电平时产生的电源动态电流近似为一个三角形，并认为尖峰电流的持续时间近似为截止延迟时间 t_{PLH}，则可以求得一个周期内尖峰电流的平均值 I_{PAV} 为

$$I_{PAV}=\frac{\frac{1}{2}(I_{CCM}-I_{CCL})t_{PLH}}{T}=\frac{1}{2}f(I_{CCM}-I_{CCL})t_{PLH} \tag{3.4.13}$$

式中，T、f 分别是输入信号 u_I 的周期和频率。

由此可知，若考虑动态情况，电源平均电流 I_{CCAV} 应为

$$I_{CCAV}=\frac{1}{2}(I_{CCL}+I_{CCH})+\frac{1}{2}f(I_{CCM}-I_{CCL})t_{PLH} \tag{3.4.14}$$

3. 功耗

功耗是指电路在工作时单位时间所消耗的能量。逻辑门的功耗是电源电压与平均供电电流的积。TTL 门的功耗分为静态功耗和动态功耗。

静态功耗通常是指 TTL 门空载时的功耗，对于与非门有两种情况，一种是输出低电

平时的功耗，另一种是输出高电平时的功耗。这两种情况的功耗显然是不一样的，分别为用 P_L 和 P_H 表示。

若 TTL 与非门输出为低电平，由式(3.4.9)求得 I_{CCL}，则 TTL 门的功耗 P_L 为

$$P_L = V_{CC} I_{CCL} = 5 \times 3.225 = 16.125\text{mW} \tag{3.4.15}$$

若 TTL 与非门输出为高电平，空载时，由式(3.4.10)求得 I_{CCH}，则 TTL 门的功耗 P_H 为

$$P_H = V_{CC} I_{CCH} = 5 \times 1 = 5\text{mW} \tag{3.4.16}$$

由此可知，TTL 与非门输出低电平时的功耗比输出高电平时的功耗大。若按式(3.4.11)求得电源平均电流 I_{CCAV} 近似为 2.11mA，因此，TTL 与非门的静态功耗 P_S 为

$$P_S = V_{CC} I_{CCAV} \approx 10.55\text{mW} \tag{3.4.17}$$

所谓动态功耗是指 TTL 门输出电平由低电平到高电平或者由高电平到低电平翻转时所产生的功耗。动态情况下，由于动态尖峰电流的存在使得电源平均电流增大，因此 TTL 门功耗增大。由式(3.4.13)求得 I_{PAV}，则 TTL 与非门的动态功耗 P_D 为

$$P_D = V_{CC} I_{PAV} = \frac{1}{2} V_{CC} f (I_{CCM} - I_{CCL}) t_{PLH} \tag{3.4.18}$$

显然，动态功耗随着工作频率的增大而增大。当 TTL 门高速工作时，动态功耗占主要地位。

例 3.4.2 若 74 系列 TTL 与非门的电路结构如图 3.4.1 所示，截止延迟时间 $t_{PLH}=10\text{ns}$，输入脉冲信号(占空比为 50%)的频率为 5MHz，试求考虑动态情况下的电源平均电流和 TTL 门的功耗。

解：由式(3.4.14)求得

$$I_{CCAV} = 2.11 + \frac{1}{2} \times 5 \times 10^6 \times (31.524 - 3.225) \times 10 \times 10^{-9} \approx 2.82\text{mA}$$

因此，TTL 门的功耗为

$$P = V_{CC} I_{CCAV} = 5 \times 2.82 = 14.1\text{mW}$$

由式(3.4.17)求得静态功耗为 10.55mW，可以看出，在动态情况下，TTL 门的功耗增加较大。

4. 延时-功耗积

延时-功耗积(Delay Power Product，DPP)又称功耗-延时积，是一个用来衡量逻辑电路性能的综合参数，它同时考虑到传输延迟时间和功耗，特别适用于比较 TTL 门与 CMOS 的性能。延时-功耗积越小，电路的综合性能越好。

逻辑门的 DPP 是传输延迟时间 t_{pd} 与功耗 P 的积，可以用能量单位焦耳(J)表示，公式为

$$\text{DPP} = t_{pd} \cdot P \tag{3.4.19}$$

例 3.4.3 已知某个门的传输延迟时间为 10ns，$I_{CCH}=1\text{mA}$，$I_{CCL}=2.5\text{mA}$，直流电源电压为 5V，忽略动态功耗，求该门的延时-功耗积。

解：$P = V_{CC} \frac{1}{2}(I_{CCL} + I_{CCH}) = 5 \times 1.75 = 8.75\text{mW}$

$\text{DPP} = 10 \times 8.75 = 87.5\text{pJ}$

3.4.5 其他类型的 TTL 门电路

在 TTL 与非门的基础上稍作改动就可得到其他逻辑功能的门电路。

1. 非门

将 TTL 与非门电路中的 T_1 管改为一个发射极就成为 TTL 非门电路，如图 3.4.25 所示。很容易验证该电路实现非逻辑关系，即 $L=\overline{A}$。

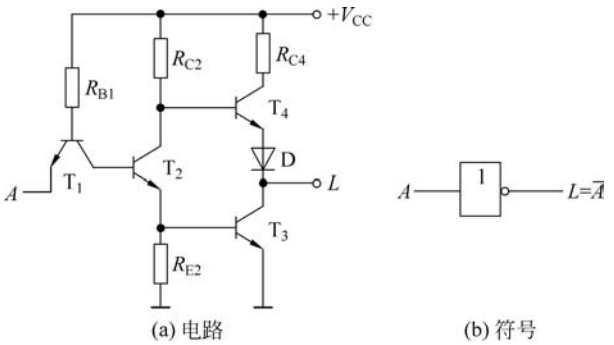


图 3.4.25　TTL 非门电路

2. 或非门

TTL 或非门电路如图 3.4.26 所示。图中 T_{1B}、T_{2B}、R_{1B} 组成的部分与 T_{1A}、T_{2A}、R_{1A} 组成的部分完全相同。A、B 两输入端中只要有一个为高电平，T_{2A} 或 T_{2B} 饱和导通，使 T_3 也饱和导通，输出 L 为低电平；只有当 A、B 两输入端都为低电平时，T_{2A} 和 T_{2B} 都截止，使 T_3 也截止，输出 L 为高电平。所以，该电路实现或非功能，即 $L=\overline{A+B}$。

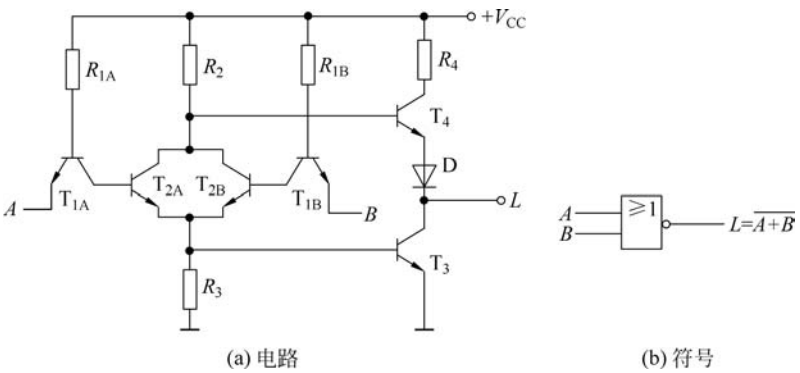


图 3.4.26　TTL 或非门电路

3. 与或非门

将图 3.4.26 所示 TTL 或非门电路中的 T_{1A} 和 T_{1B} 都换成多发射极三极管就成为

与或非门电路，如图 3.4.27 所示。用前面介绍的与非门和或非门的分析方法，不难分析该电路实现与或非功能，即 $L=\overline{A_1 \cdot A_2+B_1 \cdot B_2}$。

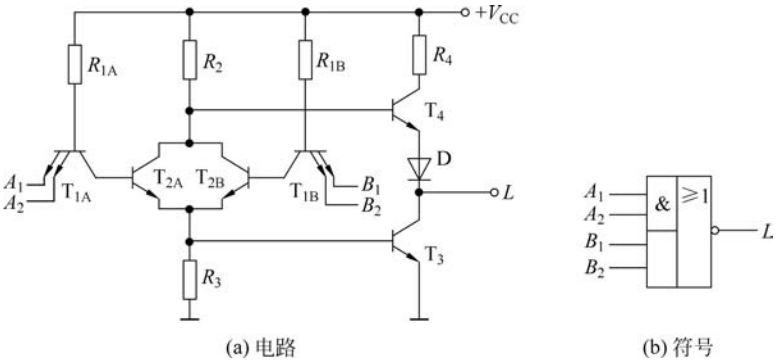


图 3.4.27　TTL 与或非门电路

4. 集电极开路门

在工程应用中，有时需要将几个门的输出端并联使用，以实现与逻辑，称为**线与**。普通 TTL 门电路的输出结构决定了它不能进行线与。如果将 G_1、G_2 两个 TTL 与非门的输出直接连接起来，如图 3.4.28 所示，当 G_1 输出为高，G_2 输出为低时，从 G_1 的电源 V_{CC} 通过 G_1 的 T_4、D 到 G_2 的 T_3，形成一个低阻通路，产生很大的电流，输出既不是高电平也不是低电平，逻辑功能将被破坏，还可能烧毁器件。所以普通的 TTL 门电路是不能进行线与的。

为此，专门生产了一种可以进行线与的门电路——集电极开路门，简称 OC 门（Open Collector）。它与一般 TTL 与非门相比较就是去掉了 T_4、R_{C4} 和 D，即 T_3 的集电极开路，如图 3.4.29(a)所示，图 3.4.29(b)是它的逻辑符号。由于 T_3 的集电极开路，使用时必须外接一个上拉电阻 R_P 至电源。

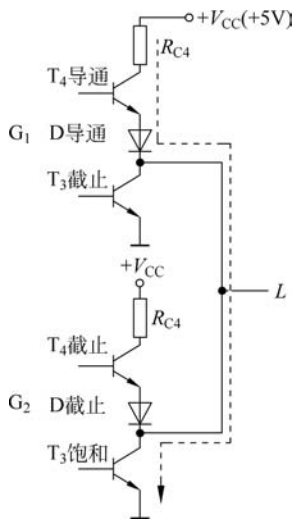


图 3.4.28　普通的 TTL 门电路输出并联使用

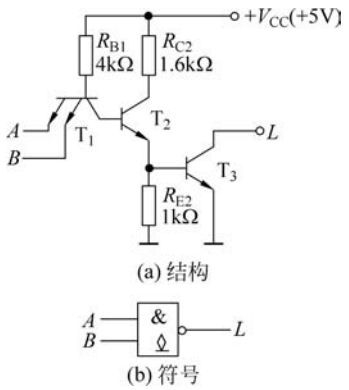


图 3.4.29　OC 门

OC 门主要有以下几方面的应用。

1) 实现线与

两个 OC 门实现线与时的电路如图 3.4.30 所示，显然，只有当两个 OC 门都输出高电平时，L 才为高电平。此时的逻辑关系为

$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD}$$

即在输出线上实现了与运算。

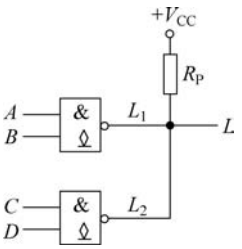


图 3.4.30　实现线与电路

在使用 OC 门进行线与时，外接上拉电阻 R_P 的选择非常重要，只有 R_P 选择得当，才能保证 OC 门输出满足要求的高电平和低电平。假定有 n 个 OC 门的输出端并联，后面接 m 个普通的 TTL 与非门作为负载，如图 3.4.31 所示，则 R_P 的选择按以下两种极限情况考虑。

当所有的 OC 门都截止时，输出 u_O 应为高电平，如图 3.4.31(a)所示。这时 R_P 不能太大，如果 R_P 太大，则其压降太大，输出高电平就会太低。因此当 R_P 为最大值时要保证输出电压为 $U_{OH(min)}$，由

$$V_{CC} - U_{OH(min)} = m' \cdot I_{IH} \cdot R_{P(max)}$$

得

$$R_{P(max)} = \frac{V_{CC} - U_{OH(min)}}{m' I_{IH}}$$

式中，$U_{OH(min)}$ 是 OC 门输出高电平的下限值，I_{IH} 是负载门的输入高电平电流，m' 是负载门输入端的个数(不是负载门的个数)。OC 门中的 T_3 管都截止，可以认为没有电流流入 OC 门。

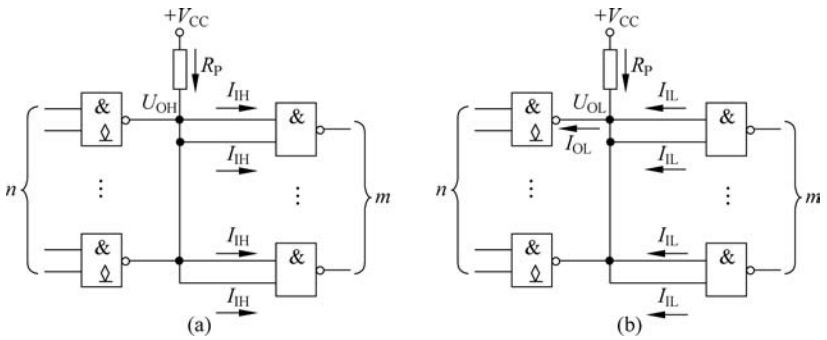


图 3.4.31　外接上拉电阻 R_P 的选择

当 OC 门中至少有一个导通时，输出 u_O 应为低电平。考虑极限情况，即只有一个 OC 门导通，如图 3.4.31(b)所示。这时 R_P 不能太小，如果 R_P 太小，则灌入导通的那个 OC 门的负载电流超过 I_{OL}，就会使 OC 门的 T_3 管脱离饱和，导致输出低电平上升。因此当 R_P 为最小值时要保证输出电压为 $U_{OL(max)}$，由

$$I_{OL} = \frac{V_{CC} - U_{OL(max)}}{R_{P(min)}} + m \cdot I_{IL}$$

得

$$R_{P(min)}=\frac{V_{CC}-U_{OL(max)}}{I_{OL}-m\cdot I_{IL}}$$

式中，$U_{OL(max)}$是 OC 门输出低电平的上限值，I_{OL}是 OC 门输出低电平电流，I_{IL}是负载门的输入低电平电流，m 是负载门的个数。

综合以上两种情况，R_P 可由下式确定：

$$R_{P(min)}<R_P<R_{P(max)}$$

一般情况下，R_P 应选 1kΩ 左右的电阻。如果希望电路延迟时间小一些，可以选择接近 $R_{P(min)}$的较小电阻；如果希望电路功耗低一些，可以选择接近 $R_{P(max)}$的较大电阻。

2）实现电平转换

在数字系统的接口部分（与外部设备相连接的地方）需要有电平转换时，常用 OC 门来完成。如图 3.4.32 所示，把上拉电阻接到 10V 电源上，这样在 OC 门输入普通的 TTL 电平，而输出高电平就可以变为 10V。

3）用作驱动器

可用 OC 门来驱动发光二极管、指示灯、继电器和脉冲变压器等。图 3.4.33 是用来驱动发光二极管的电路。

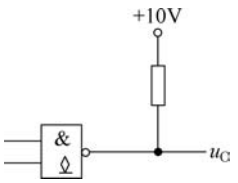


图 3.4.32　实现电平转换

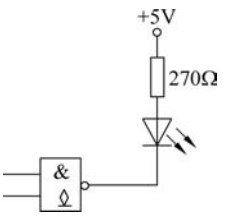


图 3.4.33　驱动发光二极管

5. 三态输出门

1）三态输出门的结构及工作原理。

三态输出门又称 TSL 门（Tristate Logic），是指电路输出除了高电平、低电平两个状态以外，还有第三个状态，称为高阻态。图 3.4.34 是三态与非门的电路图，它是在普通 TTL 与非门电路的基础上，增加一个非门 G 和二极管 D_1 组成的。其中，EN 为控制端，也称使能端，A、B 为数据输入端，其工作原理如下。

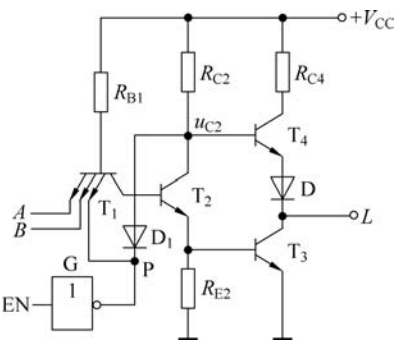


图 3.4.34　三态输出门

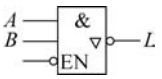
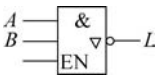
当 EN＝0 时，G 输出为 1，D_1 截止，与 P 端相连的 T_1 的发射结也截止。三态门相当于一个正常的二输入端与非门，输出 $L=\overline{AB}$，称为正常工作状态。

当 EN＝1 时，G 输出为 0，即 $u_P=0.3V$，一方

面使 D_1 导通，$u_{C2}=1V$，T_4、D 截止；另一方面使 $u_{B1}=1V$，T_2、T_3 也截止。这时从输出端 L 看进去，对地和电源都相当于开路，呈现高阻，所以称这种状态为高阻态或禁止态。

这种 EN=0 时为正常工作状态的三态门称为低电平有效的三态门。如果将图 3.4.34 中的非门 G 去掉，则使能端 EN=1 时为正常工作状态，EN=0 时为高阻状态，这种三态门称为高电平有效的三态门，将两种三态与非门的逻辑符号与逻辑功能列入表 3.4.1 中。

表 3.4.1　两种三态与非门逻辑符号与功能

有效电平	逻辑符号	逻辑功能	
低电平有效		EN=1	L 为高阻态
		EN=0	$L=\overline{AB}$
高电平有效		EN=0	L 为高阻态
		EN=1	$L=\overline{AB}$

2）三态门的应用

三态门在计算机总线结构中有着广泛的应用。图 3.4.35(a)为三态门组成的单向总线电路图。当 $EN_1=1$，$EN_2=EN_3=0$ 时，则 G_2、G_3 处于高阻状态，A_1、B_1 输入数据按与非关系出现在总线上；同理，当 $EN_2=1$，其他使能端为 0 时，则 A_2、B_2 输入数据按与非关系出现在总线上；依此类推，这样就实现了信号的分时传送。

图 3.4.35(b)为三态门组成的双向总线电路图。当 EN 为高电平时，G_1 正常工作，G_2 输出为高阻态，输入数据 D_I 经 G_1 反相后送到总线上；当 EN 为低电平时，G_2 正常工作，G_1 输出为高阻态，总线上的数据 D_O 经 G_2 反相后输出 $\overline{D}_O$，这样就实现了信号的分时双向传送。

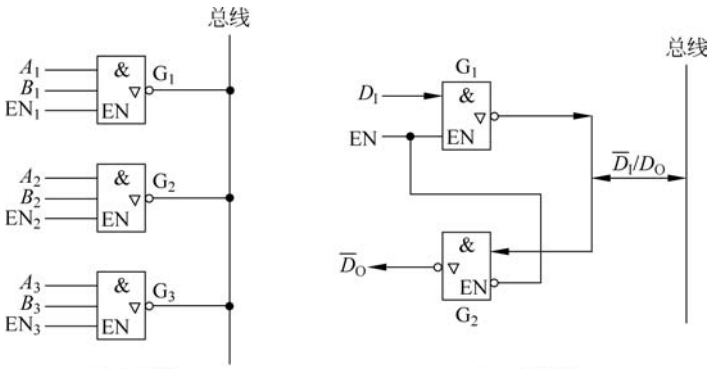


图 3.4.35　三态门组成的总线

扩展阅读

3.4.6　TTL 集成逻辑门电路系列简介

1. TTL74 系列简介

TTL 集成门电路自 20 世纪 60 年代问世来，经过不断改进，较好地处理了速度与功

耗之间的矛盾，至今仍是最流行的集成电路系列之一。TTL 集成门电路分为 54 和 74 两大系列，54 系列一般用于军品，其供电电压为 4.5～5.5V，可在－55～＋125℃的环境温度下工作；74 系列用于民品，其供电电压为 4.75～5.25V，工作的环境温度为 0～70℃。每个系列又分若干子系列，74 系列各子系列及主要特点如表 3.4.2 所示。

表 3.4.2　TTL74 系列各子系列及主要特点

TTL 子系列	主 要 特 点
74 系列	基本 TTL 系列，相当于我国的 CT1000 系列，为 TTL 集成电路的早期产品，属中速 TTL 器件。其平均传输延迟时间约为 9ns，平均功耗约为 10mW/门
74S 系列	肖特基 TTL 系列，与我国的 CT3000 系列相对应。74S 系列集成门的延迟时间缩短为 3ns，但电路的平均功耗较大，约为 19mW/门
74LS 系列	低功耗肖特基系列，与我国 CT4000 系列相对应，采用了抗饱和三极管和有源泄放电路来提高工作速度，同时加大电路中电阻的阻值来降低电路的功耗，从而使电路既具有较高的工作速度，又有较低的平均功耗。其平均传输延迟时间为 9.5ns，平均功耗约为 2mW/门
74AS 系列	先进肖特基系列，它是 74S 系列的后继产品，在 74S 系列的基础上大大降低了电路中的电阻阻值，从而提高了工作速度。其平均传输延迟时间为 1.7ns，但平均功耗较大，约为 8mW/门
74ALS 系列	先进低功耗肖特基系列，是 74LS 系列的后继产品。在 74LS 系列的基础上通过增大电路中的电阻阻值、改进生产工艺和缩小内部器件的尺寸等措施，降低了电路的平均功耗，提高了工作速度。其平均传输延迟时间为 4ns，平均功耗约为 1.2mW/门
74F 系列	高速 TTL 系列，采用了新的集成制造工艺，减少了器件之间的电容量，因此减少了平均传输延迟时间。其平均传输延迟时间为 3ns，平均功耗约为 6mW/门

2. TTL 改进型电路举例——肖特基(74S)系列

下面以肖特基(74S)系列，介绍实际的 TTL 门电路与前面提到的原理电路有哪些区别和改进。图 3.4.36 为 74S 系列与非门的电路图。

(1) 输出级采用了达林顿结构，T_4、T_5 组成复合管电路，降低了输出高电平时的输出电阻，有利于提高速度，也提高了负载能力。

(2) 采用了**抗饱和三极管**。由于三极管饱和越深，工作速度越慢，为了提高速度，应限制三极管的饱和深度，因此，采用了抗饱和三极管。抗饱和三极管是在普通三极管的基极和集电极之间并接一个肖特基二极管 SBD，如图 3.4.37(a)所示，图 3.4.37(b)是它的符号。肖特基二极管是利用金属铝和 N 型硅半导体相接触形成的二极管，其特点是正向压降较低(只有 0.4V 左右)，且本身的电荷存储效应很小。所以当带有肖特基二极管的抗饱和三极管进入饱和，B、C 极之间的电压下降到 0.4V 时，SBD 便导通，一方面使 B、C 极之间的电压钳制在 0.4V，另一方面分流了三极管的基极电流，有效地减轻了三极管的饱和深度。在 74S 系列电路中除了 T_4 管(不工作在饱和状态)以外，其他的三极管都采用了这种抗饱和三极管，从而提高了工作速度。

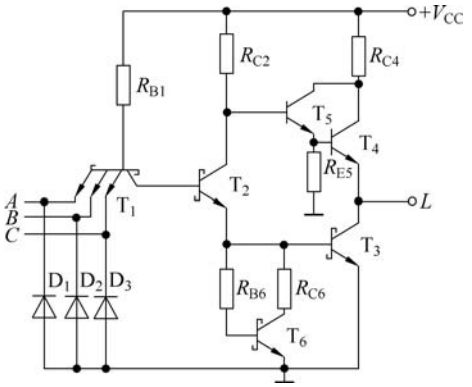


图 3.4.36　74S 系列与非门的电路

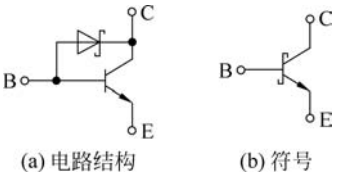


图 3.4.37　抗饱和三极管

（3）用 T_6、R_{B6}、R_{C6} 组成的“有源泄放电路”代替了原来的 R_{E2}。有源泄放电路的作用为：当电路由截止转为导通时，T_2 先导通，由于 R_{B6} 的存在，T_2 的发射极电流绝大部分流入 T_3 的基极，使 T_3 先于 T_6 导通，从而缩短了开通时间。而在 T_3 导通后，T_6 接着导通，分流了 T_3 的基极电流，使 T_3 不至于饱和太深，有利于缩短 T_3 由导通向截止转换的时间。当电路由导通转为截止时，T_2 先截止，在 T_3 还没有截止时，u_{B3} 维持 0.7V，T_6 仍导通，为 T_3 基极存储电荷的泄放提供了低阻通路，加速了 T_3 的截止，从而缩短了关闭时间。

另外输入端的三个二极管 D_1、D_2、D_3 用于抑制输入端出现的负向干扰，起保护作用。

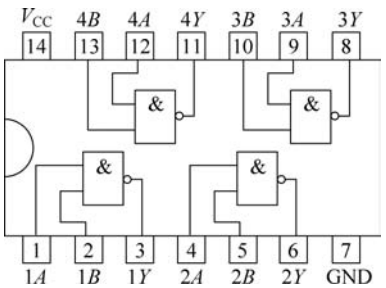


图 3.4.38　74S00 引脚排列图

74S00 是一种典型的 TTL 与非门器件，内部含有 4 个二输入端与非门，共有 14 个引脚，引脚排列如图 3.4.38 所示。

3. TTL74 系列的性能比较

表 3.4.3 给出了 TTL74 系列的各子系列的主要参数的典型值。

表 3.4.3　TTL74 系列各子系列的主要参数

主 要 参 数	74 系列	74S 系列	74LS 系列	74AS 系列	74ALS 系列	74F 系列
输出低电平电压 $U_{OL(max)}$/V	0.4	0.5	0.5	0.5	0.5	0.5
输出高电平电压 $U_{OH(min)}$/V	2.4	2.7	2.7	2.5	2.5	2.5
输入低电平电压 $U_{IL(max)}$/V	0.8	0.8	0.8	0.8	0.8	0.8
输入高电平电压 $U_{IH(min)}$/V	2.0	2.0	2.0	2.0	2.0	2.0
平均传输延迟时间 t_{pd}/ns	9	3	9.5	1.7	4	3
平均功耗/mW	10	19	2	8	1.2	6
延时-功耗积/pJ	90	57	19	13.6	4.8	18
最大时钟频率/MHz	35	125	45	200	70	100
扇出系数 N_O	10	20	20	40	20	33

3.5 MOS 逻辑门电路

MOS 逻辑门电路是继 TTL 之后发展起来的另一种应用广泛的数字集成电路。由于它功耗低，抗干扰能力强，工艺简单，几乎所有的大规模、超大规模数字集成器件都采用 MOS 工艺。目前，MOS 电路特别是 CMOS 电路已超越 TTL 成为占统治地位的逻辑器件。在 MOS 电路中，以金属-氧化物-半导体场效应晶体管（Metal-Oxide-Semiconductor Field Effect Transistor，简称 MOSFET 或 MOS 管）作为开关器件。

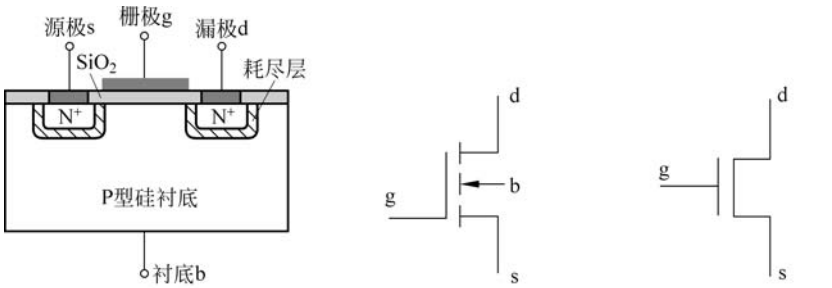
3.5.1 MOS 管的开关特性

MOS 管按照所使用的半导体材料的极性不同，分为 N 沟道和 P 沟道两种，分别称为 NMOS 管和 PMOS 管。每一种又有增强型和耗尽型之分，所以 MOS 管有四大类：增强型 NMOS 管、耗尽型 NMOS 管、增强型 PMOS 管、耗尽型 PMOS 管。

1. 增强型 NMOS 管的输出特性和转移特性

1）增强型 NMOS 管的结构和工作原理

增强型 NMOS 管的结构如图 3.5.1(a)所示，它以一块掺杂浓度较低的 P 型硅作衬底，采用扩散工艺在上面形成两个高掺杂浓度的 N^+ 区域，然后在上面覆盖一层很薄的二氧化硅保护层；再从两个 N^+ 区域引出两个金属铝电极，分别为源极 s(source)和漏极 d(drain)，从二氧化硅的表面通过金属铝引出栅极 g(gate)。从图 3.5.1(a)中可以看出，栅极与源极、漏极和衬底均不接触，故称“绝缘栅极”，因此，MOS 管又称为绝缘栅型场效应管。图 3.5.1(b)、(c)分别是增强型 NMOS 管的标准符号和简化符号。衬底箭头的方向表示由衬底的 P 区指向沟道 N 区。



(a) 增强型NMOS管的结构　(b) NMOS管的标准符号　(c) NMOS管的简化符号

图 3.5.1　增强型 NMOS 管结构与符号

从图 3.5.2(a)中可以看出，当 NMOS 管的栅极和源极短接时，栅源电压 $u_{GS}=0$。这时，源极与衬底以及漏极与衬底之间形成了两个背靠背的 PN 结。不管在漏源之间所加的电压极性如何，总有一个 PN 结处于反向截止状态，漏极电流 $i_D=0$，管子是不导通的。

在 MOS 管工作时，为防止有电流从衬底流向源极和导电沟道，通常将衬底和源极相

视频

连，或将衬底接到系统的最低电位点上。如果这时使漏极和源极之间的电压 $u_{DS}=0$，并在栅极和源极之间加上一个正电压 u_{GS}，这样将在二氧化硅保护层中产生一个垂直于半导体表面的由栅极指向 P 型衬底的电场。当这个电场较小时，它排斥 P 型衬底中的多数载流子空穴，使其远离两个 N^+ 区域；同时在靠近电场的附近留下不能移动的负离子，形成耗尽层。这个电压增大，超过某一值时，由于绝缘层很薄，即使电压只有几伏，仍可使栅源电压 u_{GS} 产生的电场达到 $10^5 \sim 10^6$ V/cm。这个电场继续排斥空穴，同时它又能够吸引大量的少数载流子电子到电场附近，在 P 型衬底的表面形成一个 N 型的薄层，称为反型层。反型层将漏源两个高浓度 N^+ 区域相连，构成这两个区域之间的导电沟道。如图 3.5.2(b)所示。因为反型层是由正电场感应生成的，又称为感生沟道。

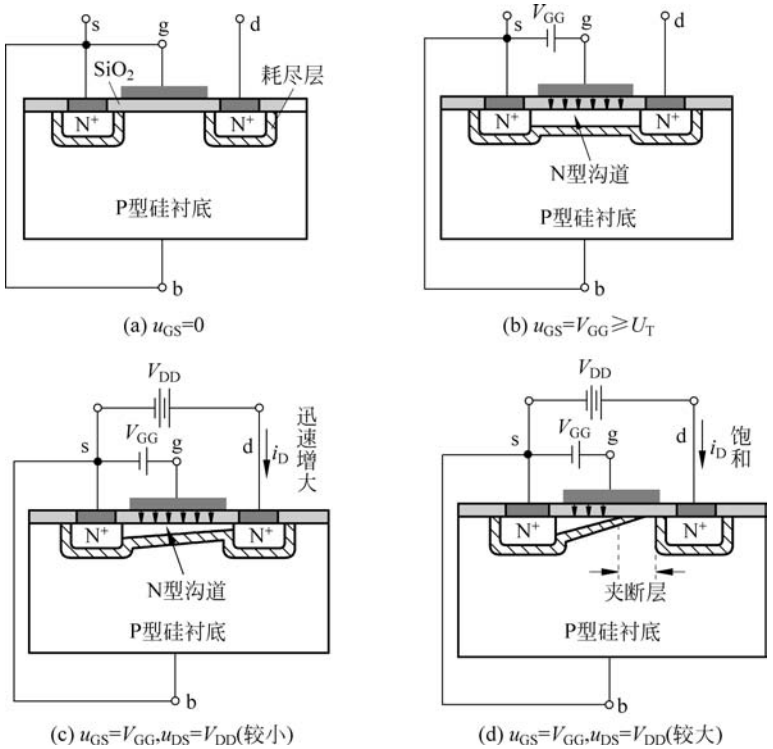


图 3.5.2　增强型 NMOS 管的工作原理

通常，将感生沟道开始形成的电压 u_{GS} 称为**开启电压 U_T**。显然，栅源电压 u_{GS} 越大，吸引的电子越多，感生沟道越厚，沟道电阻越小。这种在 u_{GS} 足够大时才能形成感生沟道的 MOS 管，称为**增强型 MOS 管**。

当 $u_{GS} \geqslant U_T$ 时，如果在漏源之间加上一个电压 u_{DS}，将形成漏极电流 i_D。当 u_{DS} 较小时，u_{DS} 稍有上升，i_D 就会迅速增大。i_D 流过感生沟道将会产生压降，使栅极与沟道中各点的压降不再相等，形成一个电位梯度。栅源之间的压降最大，就是 u_{GS}，感生沟道最厚。栅漏之间的压降最小，$u_{GD}=u_{GS}-u_{DS}$，感生沟道最薄。整个感生沟道中的电子呈楔形分布，如图 3.5.2(c)所示。

如果 u_{DS} 增大到 $u_{GD}=u_{GS}-u_{DS}=U_T$ 时，漏端的沟道开始消失，这种情况称为**预夹断**。如果 u_{DS} 在此基础上继续增大，$u_{GD}=u_{GS}-u_{DS}<U_T$，夹断点就会向源极方向延伸，在漏区附近出现夹断区，如图 3.5.2(d)所示。这时，沟道上的压降为 $u_{GS}-U_T$，而 u_{DS} 增大的部分 $u_{DS}-(u_{GS}-U_T)$，全部落到了夹断区上，形成较强的电场，使电子仍能经过夹断区漂移到漏极，使得漏极电流 i_D 保持连续。由于漏极 i_D 的大小主要由沟道上的压降决定，而沟道上的压降并不随 u_{DS} 的增大而增大。因此，出现预夹断后，漏极电流 i_D 基本上保持一个恒定值，或略有增加。

2) NMOS 管的输出特性和转移特性

描述 MOS 管的输入、输出特性的曲线主要有两条，一条是输出特性曲线，另一条是转移特性曲线。

输出特性曲线表示以 u_{GS} 为参变量时，漏极电流 i_D 与漏源电压 u_{DS} 之间的关系，也称为漏极特性曲线，其表达式为

$$i_D=f(u_{DS})\big|_{u_{GS}=常数} \tag{3.5.1}$$

图 3.5.3(a)给出了增强型 NMOS 管的输出特性曲线。从图中可以看出，NMOS 管有三个工作区域，即**截止区**、**可变电阻区**和**饱和区**(**恒流区**)。

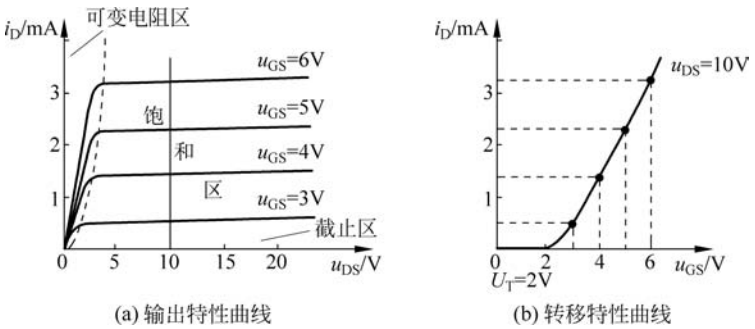


图 3.5.3　增强型 NMOS 管的特性曲线

(1) 截止区

当 $u_{GS}<U_T$ 时，MOS 管工作在截止区，MOS 管 d、s 之间的内阻 R_{OFF} 非常大，可达 $10^9\Omega$ 以上。

(2) 可变电阻区

当 $u_{GS}\geqslant U_T$ 时，在可变电阻区，MOS 管漏源电压 u_{DS} 较小，导电沟道没有夹断。此时，MOS 管漏源之间的电压电流关系可以看成是一个受栅源电压 u_{GS} 控制的可变电阻。当 u_{GS} 较小时，沟道中被吸引的电子数量较少，沟道较薄，沟道电阻较大，相应的漏极电流 i_D 较小；当 u_{GS} 增大时，沟道中被吸引的电子数量增多，沟道变厚，沟道电阻变小，相应的漏极电流 i_D 变大。

当 u_{GS} 一定时，漏极电流 i_D 的变化受漏源之间电压 u_{DS} 的影响也较大。当 u_{DS} 较小时，u_{DS} 对导电沟道的宽窄影响较小，u_{DS} 与 i_D 之间近似呈线性关系，u_{DS} 与 i_D 之比近似等于一个常数，MOS 管像一个线性电阻。等效电阻的大小与 u_{GS} 有关，当 $u_{DS}\approx 0$ 时，

MOS管导通电阻 R_{ON} 和 u_{GS} 的关系由下式给出

$$R_{ON}\big|_{u_{DS}\approx 0}=\frac{1}{2K(u_{GS}-U_T)} \tag{3.5.2}$$

式中，K 为常数，与导电沟道的宽长比及半导体材料的电导率有关。由该式可以看出，为了得到较小的导通电阻，应取尽可能大的 u_{GS} 值。工作在可变电阻区的MOS管导通电阻 R_{ON} 通常很小，在1kΩ以内，有的甚至可以小于10Ω。

当 u_{DS} 增大时，导电沟道在漏端附近变窄，沟道电阻变大，漏极电流 i_D 随 u_{DS} 增大的趋势减缓。

(3) 饱和区(恒流区)

饱和区的输出特性曲线表示MOS管出现预夹断以后，漏源电压 u_{DS} 与漏极电流 i_D 之间的关系。在这个区域内，导电沟道已经被夹断了。尽管 u_{DS} 在增大，但漏极电流 i_D 基本保持不变，或略有增加。输出特性曲线大体上保持水平。因此，这个区域也称为恒流区，MOS管像一个电流源，它的电流与 u_{DS} 大小无关。MOS管工作在放大状态时，就是工作在这个区域。每一条输出特性曲线上预夹断点轨迹形成的连接线，就是可变电阻区与饱和区的分界线。从图3.5.3(a)中可以看出，饱和区MOS管d、s之间的电阻也很大。

在饱和区内，漏极电流 i_D 的大小基本上是由 u_{GS} 决定的，可近似地用下列公式表示

$$i_D=I_{DO}\left(\frac{u_{GS}}{U_T}-1\right)^2 \tag{3.5.3}$$

式中，I_{DO} 是 $u_{GS}=2U_T$ 时的 i_D 值，$u_{GS}>U_T$。

MOS管是一种电压控制型器件，在它的栅极加上电压后，栅极几乎没有电流。因此，研究其输入特性曲线，也就是输入电压与输入电流之间的关系是没有意义的。通常，我们对其转移特性曲线进行研究。**转移特性曲线**表示以 u_{DS} 为参变量，漏极电流 i_D 与栅源电压 u_{GS} 之间的关系，其表达式为

$$i_D=f(u_{GS})\big|_{u_{DS}=常数} \tag{3.5.4}$$

图3.5.3(b)给出了N沟道增强型MOS管的转移特性曲线。这条转移特性曲线是在 $u_{DS}=10V$ 时作出的，由于在饱和区中，漏极电流的大小基本与漏源电压无关，因此，在 u_{DS} 取其他值时得到的转移特性曲线与图中的曲线基本重合。

2. MOS管的四种类型

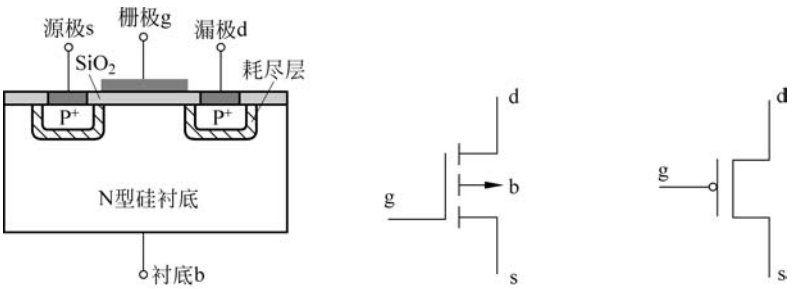
1) 增强型NMOS管

前面分析可知，增强型NMOS管采用P型衬底，导电沟道是N型的。在 $u_{GS}=0$ 时没有导电沟道，开启电压 $U_T>0$。工作时使用正电源，同时应将衬底接源极或接到系统的最低电位上。

2) 增强型PMOS管

如图3.5.4(a)所示，增强型PMOS管采用N型衬底，导电沟道是P型的。在 $u_{GS}=0$ 时没有导电沟道，只有在栅极上加足够大的负电压时，才能把N型衬底中的少数载流子——空穴吸引到栅极下面的衬底表面，形成P型的导电沟道，因此增强型PMOS管

的开启电压为负值，即 $U_T<0$。这种 MOS 管工作时使用负电源，同时需要将衬底接源极或接至系统的最高电位上。图 3.5.4(b)和(c)分别是 PMOS 管的标准符号和简化符号。



(a) 增强型PMOS管的结构　(b) 标准符号　(c) 简化符号

图 3.5.4　增强型 PMOS 管结构与符号

3) 耗尽型 NMOS 管

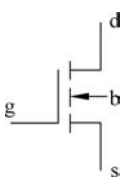
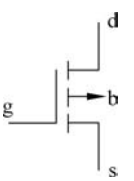
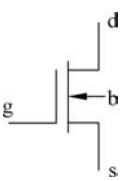
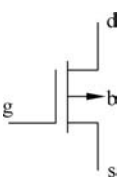
耗尽型 NMOS 管的结构形式与增强型 NMOS 管相同，都采用 P 型衬底，导电沟道也是 N 型的。所不同的是，在制造 NMOS 管的过程中，采用一定的工艺，在其栅极下面的二氧化硅绝缘层中掺杂了一定浓度的金属正离子，例如钠(Na)、钾(K)等。这些正离子将会产生正电场，即使在 $u_{GS}=0$ 时仍然会形成导电沟道，如果加上漏源电压就会产生漏极电流 i_D，当 u_{GS} 为正值时，导电沟道变宽，i_D 增大；当 u_{GS} 为负值时，导电沟道变窄，i_D 减小。当 u_{GS} 小于某一个负值时，$i_D=0$，导电沟道消失，这个临界的负电压是导电沟道开始消失的电压，称为耗尽型 NMOS 管的**夹断电压 U_P**。

4) 耗尽型 PMOS 管

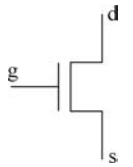
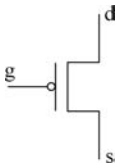
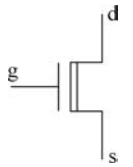
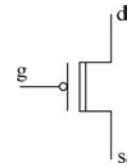
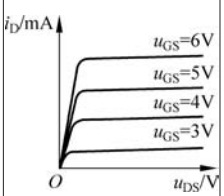
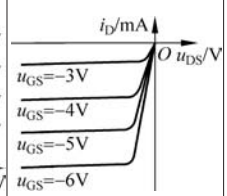
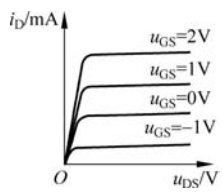
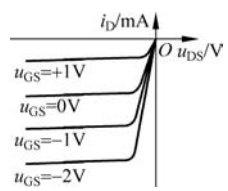
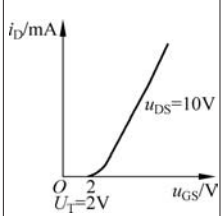
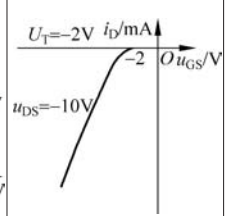
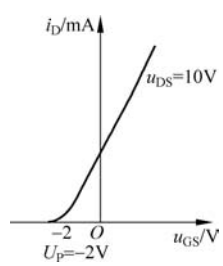
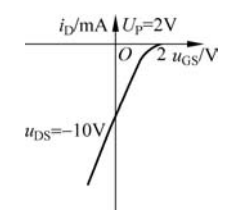
耗尽型 PMOS 管的结构形式与增强型 PMOS 管相同，都采用 N 型衬底，导电沟道也是 P 型的。所不同的是，通过在栅极下面的二氧化硅绝缘层中掺杂一定浓度的负离子，耗尽型 PMOS 管在 $u_{GS}=0$ 时已经形成导电沟道，当 u_{GS} 为负值时，导电沟道变宽，i_D 的绝对值增大；当 u_{GS} 为正值时，导电沟道变窄，i_D 的绝对值减小。当 u_{GS} 大于某个正值时，$i_D=0$，导电沟道消失，这个临界的正电压称为耗尽型 PMOS 管的**夹断电压 U_P**。

为了便于学习和比较，四种类型 MOS 管的符号、特点及特性曲线总结如表 3.5.1 所示。

表 3.5.1　四种类型 MOS 管比较

MOS 管类型	增强型 NMOS 管	增强型 PMOS 管	耗尽型 NMOS 管	耗尽型 PMOS 管
标准符号				

续表

MOS管类型		增强型 NMOS 管	增强型 PMOS 管	耗尽型 NMOS 管	耗尽型 PMOS 管
简化符号					
衬底类型		P 型	N 型	P 型	N 型
导电沟道	沟道类型	N 型	P 型	N 型	P 型
	$u_{GS}=0$	无导电沟道		有导电沟道	
开启电压 U_T 夹断电压 U_P		$U_T>0$	$U_T<0$	$U_P<0$	$U_P>0$
输出特性					
转移特性					

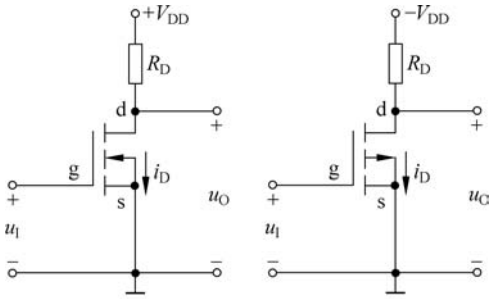
3. MOS 管的静态开关特性

图 3.5.5(a)是由 NMOS 管组成的简单的开关电路。当 $u_I=u_{GS}<U_T$ 时，MOS 管工作在截止区，只要电阻 R_D 远远小于 MOS 管的截止内阻 R_{OFF}，输出 u_O 即为高电平 U_{OH}，且 $U_{OH}\approx V_{DD}$。这时 MOS 管的 d、s 间就相当于一个断开的开关。

当 $u_I=u_{GS}>U_T$ 时，且 u_{DS} 较大，则 MOS 管工作在饱和区，随着 u_I 增大，i_D 增大，u_O 不断减小。这时电路工作在放大状态。

当 u_I 继续增大，MOS 管的导通电阻 R_{ON} 变得很小，只要电阻 R_D 远远大于 R_{ON}，输出 u_O 即为高电平 U_{OL}，且 $U_{OL}\approx 0$。这时 MOS 管工作在可变电阻区，MOS 管的 d、s 间就相当于一个闭合的开关。

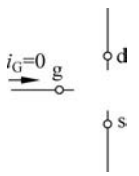
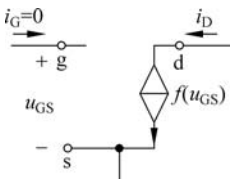
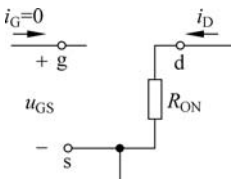
可见，只要选择合适的电路参数，就可以保证输入 u_I 为低电平时，MOS 管截止，输出 u_O 为高电平；而输入 u_I 为高电平时，MOS 管导通，输出 u_O 为低电平。对于图 3.5.5(a)所示的开关电路，NMOS 管的工作状态和特点总结如表 3.5.2 所示。



(a) NMOS管开关电路　　(b) PMOS管开关电路

图 3.5.5　MOS 管开关电路

表 3.5.2　NMOS 管三种工作状态的特点

工作状态(工作区)		截　止　区	饱和区(恒流区)	可变电阻区
电压判断条件		$u_{GS}<U_T$	$u_{GS}\geqslant U_T$ $u_{GD}\leqslant U_T$	$u_{GS}\geqslant U_T$ $u_{GD}>U_T$
工作特点	沟道情况	漏极、源极间无导电沟道	漏极、源极间有导电沟道,且沟道有夹断	漏极、源极间有导电沟道,且沟道无夹断
	电流情况(源极电流 i_G,漏极电流 i_D)	$i_G=0$ $i_D\approx 0$	$i_G=0$ $i_D=f(u_{GS})$	$i_G=0$ $i_D>0$
	漏极、源极间电阻	$R_{OFF}\approx\infty$	R_{ON} 很大	R_{ON} 很小,通常小于 1kΩ,甚至小于 10Ω
	近似等效电路			
	d、s 间开关作用	相当于开关断开		相当于开关闭合

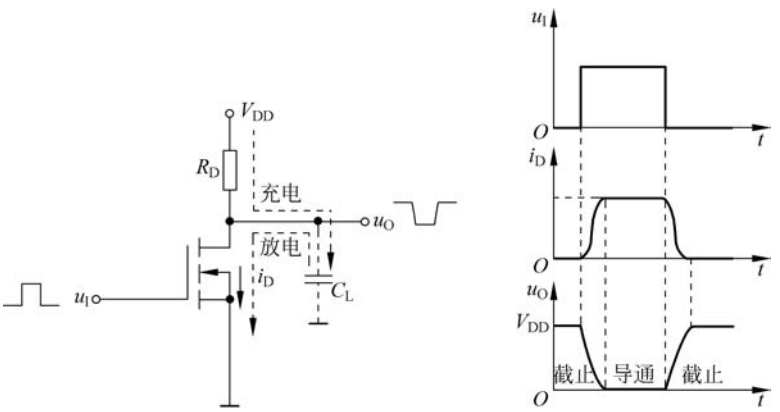
由 PMOS 管同样可以构成开关电路,图 3.5.5(b)为由增强型 PMOS 管组成的简单的开关电路。从图中可以看出,当 $u_I=0$V 时,MOS 管不导通,输出 u_O 为低电平 U_{OL}。由于 R_D 远远小于 MOS 管截止时 d、s 之间的电阻 R_{OFF},因此 $U_{OL}\approx -V_{DD}$。当 $u_I<U_T$ 时,MOS 管导通,输出 u_O 为高电平 U_{OH}。由于 R_D 远远大于 MOS 管导通时的电阻 R_{ON},因此 $U_{OH}\approx 0$。

4. MOS 管的动态开关特性

MOS 管三个电极之间均存在等效电容,各极之间可以近似成一个电容,这些电容都很小,通常是几 pF 以下,甚至只有几 fF,对器件的工作并不重要,但它们确实会影响电路的性能(例如延迟时间、动态功耗),因而称为寄生电容。栅极电容可以看成是一个平行板电容器,它的顶部是栅,底部是沟道,在它们之间是很薄的 SiO_2 介质;源极和漏极的电

容分别来源于源极和漏极扩散区与衬底之间的 PN 结，因此也称为扩散电容。由于 MOS 管极间电容的构成相当复杂且具有非线性，在此不做详细分析。

以 NMOS 管开关电路为例，如图 3.5.6 所示，假设与电路有关的电容等效为输出端的电容 C_L，则 MOS 管在导通与截止两种状态发生翻转时存在过渡过程，其动态特性主要取决于电容 C_L 充、放电所需的时间，而管子本身导通和截止时电荷积累和消散的时间是很小的。图 3.5.6 分别给出了 NMOS 管开关电路及其动态特性示意图。



(a) 电路图　　(b) 动态特性

图 3.5.6　NMOS 管动态开关特性

当输入电压 u_I 由高变低，MOS 管由导通状态翻转为截止状态时，电源 V_{DD} 通过 R_D 向电容 C_L 充电，充电时间常数为 R_DC_L，所以，输出电压 u_O 要通过一定延时才由低电平变为高电平。

当输入电压 u_I 由低变高，MOS 管由截止状态翻转为导通状态时，电容 C_L 上的电荷通过 R_{ON} 进行放电，其放电时间常数 $R_{ON}C_L$。可见，输出电压 u_O 也要经过一定延时才能转变成低电平。但因为 R_{ON} 比 R_D 小得多，所以，由截止到导通的翻转时间比由导通到截止的翻转时间要短。

需要说明的是，MOS 管电容上电压不能突变是造成 u_I 或 u_O 传输滞后的主要原因。而且，由于 MOS 管的导通电阻 R_{ON} 比三极管的饱和导通电阻 R_{CES} 要大得多，漏极电阻 R_D 也比三极管集电极电阻 R_C 大，所以，MOS 管的充、放电时间较长，使 MOS 管的开关速度比晶体三极管的开关速度低，即其动态性能较差。

3.5.2　NMOS 门电路

NMOS 门电路全部由 N 沟道 MOSFET 构成，由此而得名。

1. NMOS 非门

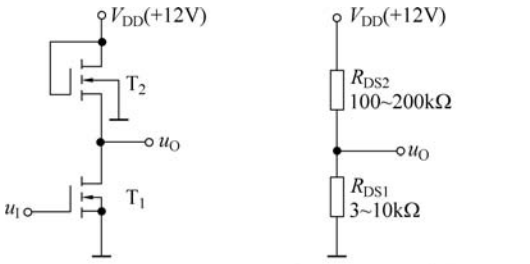
NMOS 非门电路如图 3.5.7(a)所示，其中 T_1 为工作管，T_2 为负载管，两者都为增强型 MOSFET。设两管的开启电压为 $U_{T1}=U_{T2}=U_T=4V$，且 T_1 管的跨导 g_{m1} 远大于

T_2 管的跨导 g_{m2}，下面分析逻辑关系。

（1）当输入 u_I 为高电平 8V（高电平电压要大于开启电压）时，T_1 导通，由于 T_2 栅极接电源 V_{DD}，T_2 也导通。因为 $g_{m1} \gg g_{m2}$，所以两管的导通电阻 $R_{DS1} \ll R_{DS2}$，通常 R_{DS1} 为 3～10kΩ，R_{DS2} 为 100～200kΩ，等效电路如图 3.5.7(b)所示，输出电压为

$$u_O = \frac{R_{DS1}}{R_{DS1} + R_{DS2}} V_{DD} \leqslant 1V \tag{3.5.5}$$

所以输出为低电平。



(a) 电路图　　(b) 输入高电平时的等效电路

图 3.5.7　NMOS 非门电路

（2）当输入 u_I 为低电平 0V 时，T_1 截止，由于 T_2 栅极接电源 V_{DD}，T_2 总是导通的。所以输出电压为 $u_{OH} = V_{DD} - U_T = 8V$，即输出为高电平。

所以电路实现了非逻辑。同时可以看出，NMOS 管传输 0 很好，但传输 1 时只能上拉至 $V_{DD} - U_T$。

2. NMOS 与非门和或非门

NMOS 与非门和或非门是在 NMOS 非门的基础上实现的。

1）与非门

图 3.5.8 所示为 NMOS 与非门电路，它是由两个串联的工作管 T_1、T_2 和一个负载管 T_3 组成的。两输入端 A、B 中只要有一个为低电平，对应的工作管截止，输出 L 为高电平；只有输入 A、B 都为高电平时，T_1、T_2 同时导通，输出 L 才为低电平。所以电路实现与非逻辑，即 $L = \overline{AB}$。

2）或非门

图 3.5.9 所示为 NMOS 或非门电路，它是由两个并联的工作管 T_1、T_2 和一个负载管 T_3 组成的。两输入端 A、B 中只要有一个为高电平，对应的工作管导通，输出 L 为低电平；只有输入 A、B 都为低电平时，T_1、T_2 同时截止，输出 L 才为高电平。可见电路实现或非逻辑，即 $L = \overline{A + B}$。

由于与非门的工作管是串联的，增加变量的个数，即增加工作管的个数，输出低电平会随之增高；而或非门的工作管是并联的，增加变量的个数，即增加工作管的个数，输出低电平基本稳定。所以，NMOS 门电路是以或非门为基础的。这种门电路主要用于大规模集成电路中，而不制成像 CMOS 电路那样的小规模单个器件。

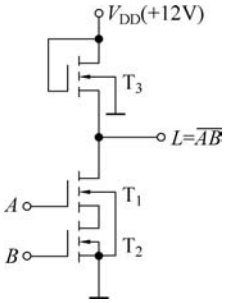


图 3.5.8　NMOS 与非门电路

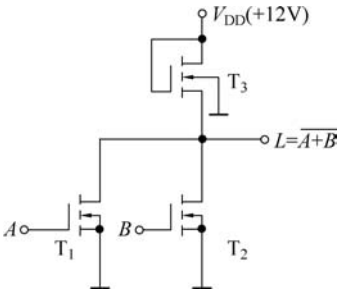


图 3.5.9　NMOS 或非门电路

需要说明的是，PMOS 管也可以制作成门电路，但由于 PMOS 管的空穴迁移率低，因此在 MOS 晶体管的几何尺寸和工作电压绝对值相等的情况下，PMOS 管的跨导小于 NMOS 管。此外，PMOS 管的阈值电压普遍偏高，要求有较高的工作电压，它的供电电源的电压大小和极性与 TTL 逻辑电路不兼容。PMOS 因逻辑摆幅大，充放电时间长，加之器件跨导小，所以工作速度更低。因此，大多数 PMOS 电路已被 NMOS 电路所取代。

扩展阅读

3.5.3　CMOS 非门

1. 电路结构与工作原理

CMOS 非门，又称为 CMOS 反相器，是由 N 沟道 MOSFET 和 P 沟道 MOSFET 互补而成的，是 CMOS 电路的基本结构形式，下面将进行详细介绍。

图 3.5.10(a)为 CMOS 非门电路，其中 T_N 为 N 沟道增强型 MOSFET，在电路中作为驱动管，T_P 为 P 沟道增强型 MOSFET，作为负载管。两管的开启电压分别为 U_{TN}、U_{TP}，它们的栅极相连作为非门的输入端，漏极相连作为非门的输出端。T_P 的源极接正电源 V_{DD}，T_N 的源极接地。要求电源 V_{DD} 大于两管开启电压绝对值之和，即 $V_{DD}>(U_{TN}+|U_{TP}|)$，且 $U_{TN}=|U_{TP}|$。

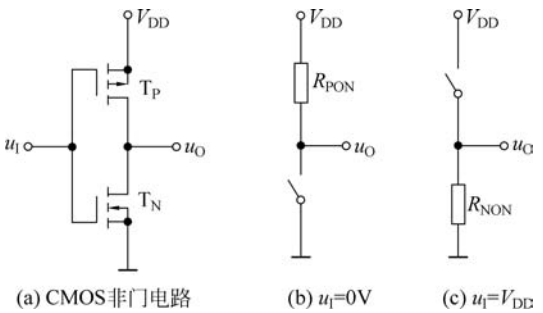


图 3.5.10　CMOS 非门电路及静态开关模型

在图 3.5.10 所示电路中，输入高低电平分别为 V_{DD} 和 0V，则输入与输出逻辑关系如下：

(1) 当输入为低电平，即 $u_I=0V$ 时，等效电路如图 3.5.10(b)所示，T_N 截止，T_P 导通，T_N 的截止电阻 R_{NOFF} 约为 500MΩ，T_P 的导通电阻 R_{PON} 约为 750Ω，所以输出 $u_O\approx V_{DD}$，即 u_O 为高电平，通常称该状态为关门状态。

(2) 当输入为高电平，即 $u_I=V_{DD}$ 时，等效电路如图 3.5.10(c)所示，T_N 导通，T_P 截止，T_N 的导通电阻 R_{NON} 约为 750Ω，T_P 的截止电阻 R_{POFF} 约为 500MΩ，所以输出 $u_O\approx 0V$，即 u_O 为低电平，称该状态为开门状态。

由此可见，该电路实现了非逻辑。通过分析还可以看出，无论输入 u_I 为高电平还是低电平，T_N、T_P 总是工作在一个导通而另一个截止的状态，即所谓的状态互补，所以把这种电路结构形式称为互补金属氧化物半导体(Complementary Metal-Oxide Semiconductor)，简称 CMOS 电路。另外，无论电路处于何种状态，T_N、T_P 中总有一个截止，所以 CMOS 电路的静态功耗极低，有微功耗电路之称。

2. 电压传输特性

1) 电压传输特性曲线

电路如图 3.5.10(a)所示，设电源电压 $V_{DD}=10V$，两管的开启电压为 $U_{TN}=|U_{TP}|=2V$，则可做出 CMOS 非门的电压传输特性曲线如图 3.5.11 所示。

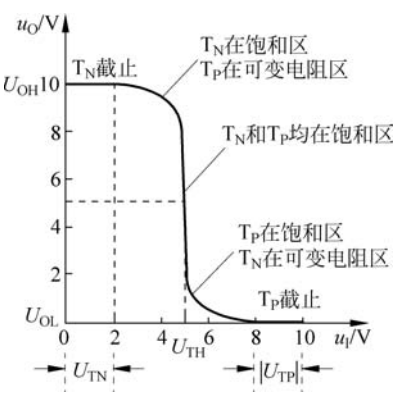


图 3.5.11 CMOS 非门的电压传输特性

(1) 当 $u_I<2V$ 时，T_N 截止，T_P 导通，输出 $u_O\approx V_{DD}=10V$。

(2) 当 $2V\leqslant u_I<5V$ 时，T_N 和 T_P 都导通，但 T_N 的栅源电压小于 T_P 的栅源电压绝对值，即 T_N 工作在饱和区，T_P 工作在可变电阻区，T_N 的导通电阻大于 T_P 的导通电阻，所以，这时 u_O 开始下降，但下降不多，输出仍为高电平。

(3) 当 $u_I=5V$ 时，T_N 的栅源电压等于 T_P 的栅源电压绝对值，两管都工作在饱和区，且导通电阻相等，所以，$u_O=V_{DD}/2=5V$。

(4) 当 $5V<u_I\leqslant 8V$ 时，情况与(2)相反，T_P 工作在饱和区，T_N 工作在可变电阻区，T_P 的导通电阻＞T_N 的导通电阻，所以 u_O 变为低电平。

(5) 当 $u_I>8V$ 时，T_P 截止，T_N 导通，输出 $u_O=0V$。

可见两管在 $u_I=V_{DD}/2$ 处转换状态，所以 CMOS 门电路的阈值电压(或称门槛电压)$V_{TH}=V_{DD}/2$。从图 3.5.11 中的曲线还可以看到，输出状态转换时的变化率很大，更接近于理想的开关特性。

与 TTL 电路参数相比，CMOS 门电路主要参数如下。

(1) **输出高电平电压** U_{OH}。U_{OH} 的理论值为电源电压 V_{DD}，$U_{OH(min)}=0.9V_{DD}$。

(2) **输出低电平电压** U_{OL}。U_{OL} 的理论值为 0V，$U_{OL(max)}=0.01V_{DD}$。所以 CMOS 门电路的逻辑摆幅(即高、低电平之差)较大，接近电源电压 V_{DD} 的值。

(3) **关门电平电压** U_{OFF} **与开门电平电压** U_{ON}。CMOS 非门的关门电平电压 U_{OFF}

为 $0.45V_{DD}$，开门电平电压 U_{ON} 为 $0.55V_{DD}$。

（4）**阈值电压** U_{TH}。阈值电压 $U_{TH}=0.5V_{DD}$。

2）电流转移特性

由电压传输特性可以很容易地获得漏极电流 i_D 随输入电压 u_I 变化而变化的曲线，即电流转移特性，如图 3.5.12 所示。

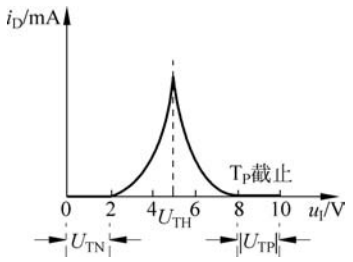


图 3.5.12　CMOS 非门的电流转移特性

（1）当 $u_I<2V$ 或者 $u_I>8V$ 时，T_N 和 T_P 中必有一个截止，另一个导通，所以漏极电流 $i_D\approx0$。

（2）当 $2V\leqslant u_I\leqslant 8V$ 时，T_N 和 T_P 同时导通，有电流流过两管，且当 $u_I=5V$ 时，i_D 最大。理解了 CMOS 电路的这一特点，如果输入逻辑信号转换速度较慢或者逻辑电平电压不是足够大或足够小，那么 CMOS 门电路将有一个很大的电流流过，在实际应用时应当避免这些情况，以防止器件因功耗过大而烧坏。

3）输入噪声容限

当用门电路连接成一个数字系统时，驱动门的输出电压是负载门的输入电压，如图 3.5.13 所示。由 CMOS 非门电压传输特性和主要参数可知，$U_{IL(max)}=U_{OFF}=0.45V_{DD}$，$U_{IH(min)}=U_{ON}=0.55V_{DD}$，$U_{OH(min)}=0.9V_{DD}$，$U_{OL(max)}=0.01V_{DD}$，因此高低电平噪声容限均达 $0.35V_{DD}$。其他 CMOS 门电路的噪声容限一般也大于 $0.3V_{DD}$，一般取 $U_{NL}=U_{NH}=0.3V_{DD}$。可以看出，CMOS 门电路的抗干扰能力比较强，而且与 V_{DD} 有关，V_{DD} 越大，噪声容限越大，抗干扰能力越强。

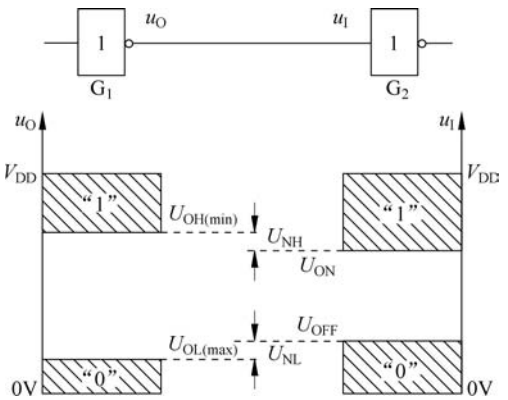


图 3.5.13　输入噪声容限示意图

3. 输出特性

前述内容已经提及，MOS 管栅源之间有 SiO_2 绝缘层，是一种电压控制型器件，在它的栅极加上电压后，栅极几乎没有电流，因此直流输入电阻极高，可达 $10^9\sim10^{15}\Omega$。

若 MOS 管驱动同类型的门电路，如图 3.5.13 所示，在直流工作状态下，由于负载门的输入电阻极高，而驱动门的输出电阻很低（通常小于 1kΩ），所以即使将很多负载门的

输入端接入驱动门的输出端，驱动门输出的高、低电平也变化很小，不会超出允许的正常工作范围。因此，若只按照直流工作状态考虑，CMOS 门电路的扇出系数是非常大的。

然而在动态工作情况下，必须考虑驱动门 G_1 输出端的寄生电容、负载门 G_2 输入端的寄生电容（作为 G_1 负载电容）及连线电容对 u_O 的影响，对于图 3.5.13 所示的 G_1、G_2 两个非门的串联，其影响动态性能的寄生电容分布如图 3.5.14 所示。可见，这些电容包括栅漏电容 C_{GD12}、扩散电容 C_{DB1} 与 C_{DB2}、连线电容 C_W、负载的栅电容 C_{G3} 与 C_{G4}。为了使分析容易进行，假设所有的电容集成为一个负载电容 C_L，它处于 u_O 和地之间，则对于驱动门来说可以简化为图 3.5.15 所示的电路。当 CMOS 非门的输出从低电平翻转为高电平的时候，T_N 截止，T_P 导通，V_{DD} 通过 T_P 的导通电阻 R_{PON} 给电容 C_L 充电，输出 u_O 上升为高电平，即达到负载门输入高电平的最小值 $U_{IH(min)}$ 及以上；同理，当输出 u_O 从高电平翻转为低电平时，T_N 导通，T_P 截止，C_L 必然经 T_N 的导通电阻 R_{NON} 放电，输出 u_O 下降为低电平，即下降至负载门输入低电平的最大值 $U_{IL(max)}$ 及以下。

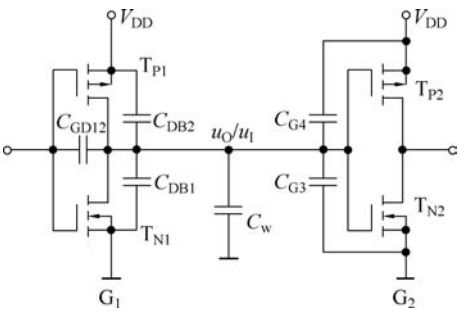


图 3.5.14　影响一对串联 CMOS 非门动态特性的寄生电容

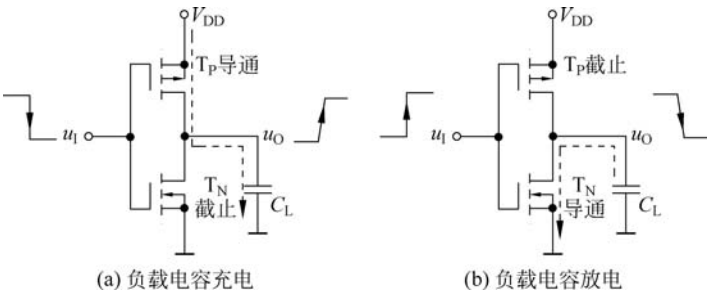


图 3.5.15　CMOS 非门带负载电容

由此可以看出：在翻转过程中，输出 u_O 的大小不仅取决于负载电容 C_L 的大小，而且与输出高、低电平的翻转频率有关；接入负载门的输入端越多，电容 C_L 越大，u_O 上升或下降的速度也会越慢。因此，接到驱动门输出端的输入端数目不能过多，在低频（小于 1MHz）开关条件下，CMOS 门电路的扇出系数一般可达 50 以上。随着开关频率的升高，扇出系数将随之下降。同时需要注意的是，扇出系数是指驱动 CMOS 门的个数，就灌电流负载能力和拉电流负载能力而言，CMOS 门电路远远低于 TTL 门电路。

4. 保护电路

由于 MOS 管的栅极和衬底之间存在以 SiO_2 为介质的输入电容，其容量非常小，只有几 pF，同时 MOS 管的输入阻抗极高，一旦积累电荷，无放电回路，因此，只要有少量的感应电荷就可产生很高的电压，而 SiO_2 绝缘层非常薄，厚度在 $10^{-2}\mu m$，其耐压为 80～100V，很容易被击穿，所以目前生产的 CMOS 集成电路都采用了各种各样的保护电路，最简单的保护电路是在输入端加两个二极管 D_1、D_2，如图 3.5.16 所示。设二极管的正向压降为 U_D，当输入信号大于 $V_{DD}+U_D$ 时，D_1 导通，将栅极电位钳制在 $V_{DD}+U_D$，保证 C_{G2} 上的电压不超过 $V_{DD}+U_D$。当输入信号小于 $-U_D$ 时，D_2 导通，将栅极电位钳制在 $-U_D$，保证 C_{G1} 上的电压也不超过 $V_{DD}+U_D$。

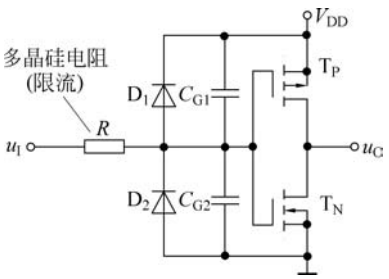


图 3.5.16　CMOS 非门带负载电容等效电路

需要注意的是，若 MOS 管栅极输入端悬空，不仅可能因电荷积累造成输入电压发生变化，而且很容易造成管子损坏。因此，无论是在存放还是在工作电路中，MOS 管应避免栅极悬空，同时在焊接时，要将电烙铁良好接地。

5. 动态特性

1) CMOS 非门传输延迟时间 t_{pd}

从前面分析我们知道，CMOS 非门存在复杂的寄生电容，当输入一个脉冲波形时，其输出波形必然会有一定的延迟，如图 3.5.17 所示，将输出由高电平翻转为低电平时的传输延迟时间定义为 t_{PHL}，即从输入波形上升沿的中点到输出波形下降沿的中点所经历的时间；将输出由低电平翻转为高电平时的传输延迟时间定义为 t_{PLH}，即从输入波形下降沿的中点到输出波形上升沿的中点所经历的时间。

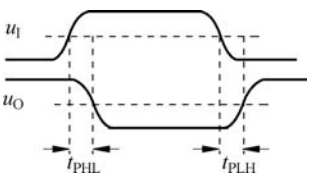


图 3.5.17　CMOS 非门的传输时间

CMOS 非门的传输延迟时间 t_{pd} 是 t_{PHL} 和 t_{PLH} 的平均值，即

$$t_{pd}=\frac{t_{PHL}+t_{PLH}}{2} \tag{3.5.6}$$

由图 3.5.15 所示电路的分析可知，t_{PHL} 和 t_{PLH} 的大小主要决定于电容 C_L 的充放电时间，所以为了缩短传输延迟时间，必须减小电容 C_L 和 MOS 管的导通电阻（R_{PON}、R_{NON}）。需要注意的是，在 CMOS 非门的动态过渡过程中，NMOS 管和 PMOS 管的导通电阻 R_{PON}、R_{NON} 并不是常数，而是随 MOS 管两端电压的变化而非线性变化的。因此，很难精确计算获得 t_{pd} 的大小。

普通 CMOS 门电路的 t_{pd} 一般比 TTL 电路的 t_{pd} 大得多，但改进的高速系列（74HC）门电路的速度与 TTL 门的速度相当，为 5～10ns。

2）动态功耗

前面提到CMOS电路的静态功耗极低，有微功耗电路之称。理想情况下，CMOS非门的静态电流为零，因为PMOS门和NMOS门在稳态工作状况下不会同时导通，但实际中总会有泄漏电流流过晶体管源极或漏极与衬底之间的反向偏置的寄生二极管，此外，在实际电路中也常常存在输入保护二极管，这些二极管的反向漏电流是构成电源静态电流的主要因素，但这些电流一般来说是非常小的，因此可以忽略。然而，由于泄漏电流随温度上升而增加，而且环境温度大于150℃时，泄漏电流增加很快，因此需做好散热或使电路工作在一个合适温度的环境。

当CMOS非门从一种稳定状态突然翻转到另一种稳定状态时，将产生附加的功耗，称为动态功耗。由于存在负载电容，当CMOS非门的输出从低电平翻转为高电平或从高电平翻转为低电平时，负载电容的充、放电将导致动态功耗产生；此外，由于两个MOS管在短时间内同时导通也会消耗瞬时短路功耗。因此，动态功耗可以分为如下两种情况。

(1) 由负载电容充、放电引起的动态功耗。

如图3.5.15(a)所示，假设T_N和T_P不会同时导通，每当C_L通过PMOS管充电时，它的电压从0升至V_{DD}，此时从电源吸取了一定数量的能量。该能量的一部分消耗在PMOS器件中，而其余则存放在负载电容上。这一翻转过程中，电源输出的功耗和电容上存储的能量可以通过在相应周期上对瞬时功耗积分而求得

$$E_{VDD}=\int_0^{\infty} i_{VDD}(t)V_{DD}\,dt=V_{DD}\int_0^{\infty} C_L\frac{du_O}{dt}dt=C_LV_{DD}\int_0^{V_{DD}} du_O=C_LV_{DD}^2 \tag{3.5.7}$$

$$E_C=\int_0^{\infty} i_{VDD}(t)u_O\,dt=\int_0^{\infty} C_L\frac{du_O}{dt}u_O\,dt=C_L\int_0^{V_{DD}} u_O\,du_O=\frac{C_LV_{DD}^2}{2} \tag{3.5.8}$$

在输出由高电平翻转为低电平的过程中，电容C_L放电，如图3.5.15(b)所示，于是存放的能量被消耗在NMOS管中。

由此可见，每一个开关周期都需要一个固定数量的能量，即$C_LV_{DD}^2$。若考虑器件的开关频率f，即CMOS门每秒通断f次，则功耗为

$$P_{dyn}=C_LV_{DD}^2f \tag{3.5.9}$$

(2) 短时直流通路引起的短路功耗。

在实际中，假设输入信号不是理想的阶跃信号，而是有一定的上升时间和下降时间，则在输入波形上升和下降的过程中会出现NMOS管和PMOS管同时导通的情况，因此，在短暂的时间内V_{DD}和地之间会出现一条直流通路，该通路必然存在短路电流i_{sc}，如图3.5.18所示。

假设此时形成的短路电流脉冲可近似成三角形且CMOS非门的上升和下降响应是对称的，则可以计算出每个开关周期消耗的能量如下：

$$E_{dp}=V_{DD}\frac{I_{peak}t_{sc}}{2}+V_{DD}\frac{I_{peak}t_{sc}}{2}=V_{DD}I_{peak}t_{sc} \tag{3.5.10}$$

式中，t_{sc}是两个器件同时导通的时间，I_{peak}是t_{sc}时间内的短路电流峰值。

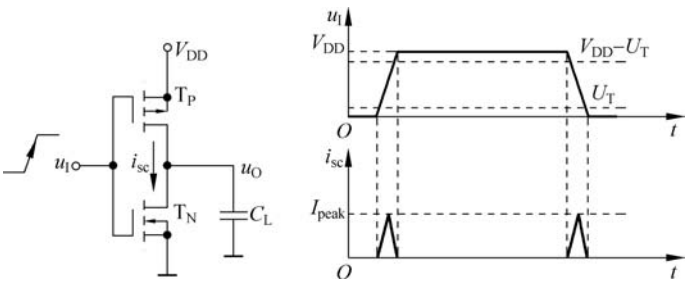


图 3.5.18　CMOS 非门的短路电流

计算平均功耗为

$$P_{dp}=V_{DD}I_{peak}t_{sc}f=C_{sc}V_{DD}^2f \tag{3.5.11}$$

注意，如式(3.5.11)所示，短路功耗可以通过一个等效的电容 $C_{sc}=t_{sc}I_{peak}/V_{DD}$ 与 C_L 并联来表示。短路电容 C_{sc} 的值与 V_{DD}、晶体管的尺寸以及输入、输出翻转的斜率比值有关。

I_{peak} 由器件的饱和电流决定，不仅取决于晶体管的尺寸，而且与输入信号和输出信号翻转时的斜率也相关。考虑一个静态 CMOS 非门在输入端发生由 0 到 1 的翻转，假设负载电容很大，则输出的下降时间明显大于输入的上升时间，如图 3.5.19(a)所示，在这种情况下输入在输出开始改变之前就已经通过了过渡区，由于在这一时期 PMOS 管的漏源电压近似为 0，因此该器件甚至还没有传导任何电流就断开了，短路电流接近于 0；若负载电容非常小，因此输出的下降时间明显小于输入的上升时间，如图 3.5.19(b)所示，PMOS 管的漏源电压在翻转期间的大部分时间内等于 V_{DD}，从而引起了较大的短路电流 I_{max}（I_{max} 等于 PMOS 管的饱和电流）。

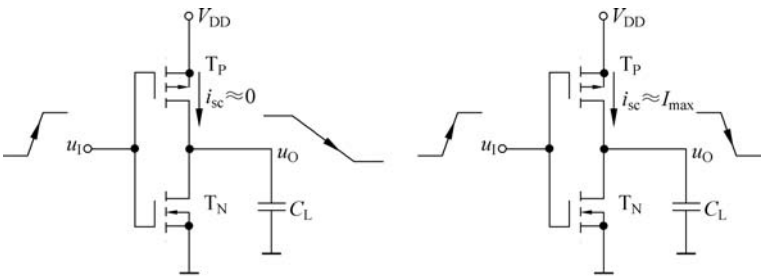


图 3.5.19　负载电容对短路电流的影响

3.5.4　其他类型的 CMOS 门电路

1. CMOS 与非门和或非门电路

1) CMOS 与非门

如图 3.5.20 所示，CMOS 与非门由两个串联的 N 沟道增强型 MOS 管 T_{N1}、T_{N2} 和

两个并联的P沟道增强型MOS管 T_{P1}、T_{P2} 组成，且N沟道MOS管与P沟道MOS管一一对应，即栅极连在一起。其工作原理如下：

当输入 $A=B=0$ 时，T_{N1} 和 T_{N2} 都截止，T_{P1} 和 T_{P2} 都导通，输出 $L=1$。

当输入 $A=0$、$B=1$ 时，T_{N1} 截止，T_{P1} 导通，输出 $L=1$。

当输入 $A=1$、$B=0$ 时，T_{N2} 截止，T_{P2} 导通，输出 $L=1$。

当输入 $A=B=1$ 时，T_{N1} 和 T_{N2} 都导通，T_{P1} 和 T_{P2} 都截止，输出 $L=0$。

所以电路实现与非逻辑，即 $L=\overline{AB}$。

2) CMOS或非门

如图3.5.21所示，CMOS或非门由两个并联的N沟道增强型MOS管 T_{N1}、T_{N2} 和两个串联的P沟道增强型MOS管 T_{P1}、T_{P2} 组成，也是NMOS管与PMOS管一一对应。仿照上面的分析方法可以看出，两输入端 A、B 中只要有一个为高电平，就会使与它相连的NMOS管导通，与它相连的PMOS管截止，输出 L 为低电平；只有输入 A、B 都为低电平时，两个并联的NMOS管 T_{N1}、T_{N2} 同时截止，两个串联的PMOS管 T_{P1}、T_{P2} 同时导通，输出 L 为高电平。所以电路实现或非逻辑，即 $L=\overline{A+B}$。

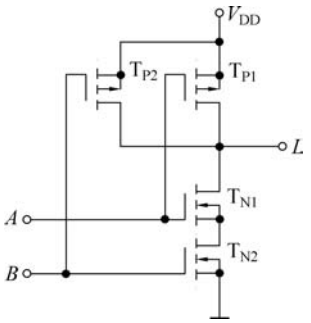


图3.5.20 CMOS与非门电路

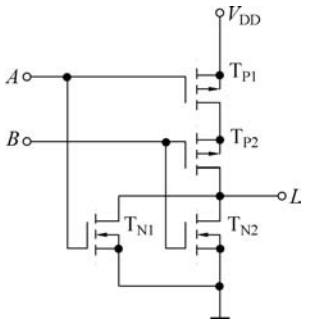


图3.5.21 CMOS或非门电路

2. CMOS异或门电路

图3.5.22所示为CMOS异或门电路，它是由两级组成，前级为或非门，输出为 $X=\overline{A+B}$。后级为与或非门，经过逻辑变换，可得

$$L=\overline{A\cdot B+X}=\overline{A\cdot B+\overline{A+B}}=\overline{A\cdot B+\overline{A}\cdot\overline{B}}=A\oplus B$$

该电路实现异或逻辑。

3. CMOS三态输出门电路

图3.5.23(a)所示为CMOS三态非门电路，其工作原理如下：

当EN=0时，T_{P2} 和 T_{N2} 同时导通，T_{N1} 和 T_{P1} 组成的非门正常工作，输出 $L=\overline{A}$；当EN=1时，T_{P2} 和 T_{N2} 同时截止，输出 L 对地和对电源都相当于开路，为高阻状态。

所以，这是一个低电平有效的三态门，逻辑符号如图3.5.23(b)所示。

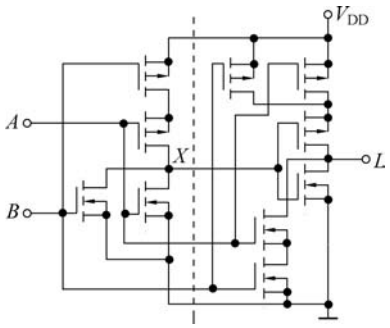


图 3.5.22　异或门电路

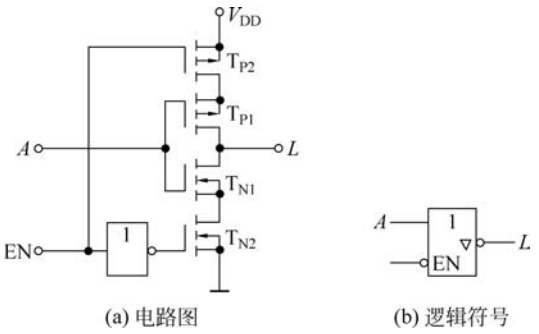


图 3.5.23　CMOS 三态门

4. CMOS 漏极开路门(OD 门)

OD 门与 TTL 集电极开路门(OC 门)对应,其特点是可以实现线与,可以用来进行逻辑电平变换,具有较强的带负载能力等。OD 门有多种形式,图 3.5.24 所示是漏极开路的 CMOS 与非门的电路图及逻辑符号。注意使用时必须外接电阻 R_D,R_D 的选择原则同 OC 门中 R_P 的选择原则。

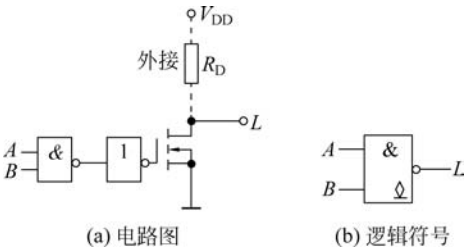


图 3.5.24　CMOS 漏极开路的与非门电路

5. CMOS 传输门

CMOS 传输门由一个 NMOS 管 T_N 和一个 PMOS 管 T_P 并联而成,如图 3.5.25(a)所示,逻辑符号如图 3.5.25(b)所示。图中 C 和 $\overline{C}$ 为控制端,使用时总是加互补的信号。CMOS 传输门可以传输数字信号,也可以传输模拟信号,其工作原理如下。

设两管的开启电压 $U_{TN}=|U_{TP}|$。如果要传输的信号 u_I 为 $0\sim V_{DD}$,则将控制端 C 和 $\overline{C}$ 的高电平设置为 V_{DD},低电平设置为 0,并将 T_N 的衬底接低电平 0V,T_P 的衬底接高电平 V_{DD}。

当 C 接高电平 V_{DD},$\overline{C}$ 接低电平 0V 时,若 $0<u_I<(V_{DD}-U_{TN})$,T_N 导通;若 $|U_{TP}|\leqslant u_I\leqslant V_{DD}$,$T_P$ 导通。即 u_I 在 $0\sim V_{DD}$ 变化时,至少有一管导通,输出与输入之间呈低电阻,将输入电压传到输出端,$u_O=u_I$,相当于开关闭合。

当 C 接低电平 0V,$\overline{C}$ 接高电平 V_{DD},u_I 在 $0\sim V_{DD}$ 变化时,T_N 和 T_P 都截止,输出呈高阻状态,输入电压不能传到输出端,相当于开关断开。

可见 CMOS 传输门实现了信号的可控传输。由于 T_N 和 T_P 的源极和漏极可以互换,所以 CMOS 传输门是双向器件,即输入端和输出端允许互换使用。CMOS 传输门的导通电阻小于 1kΩ,高精度传输门的导通电阻甚至小于 1Ω,当后面接 MOS 电路(输入电阻达 10^{10}Ω)或运算放大器(输入电阻达 1MΩ)时,其分压可以忽略不计。

将 CMOS 传输门和一个非门组合起来,由非门产生互补的控制信号,如图 3.5.25(c)所示,称为模拟开关。

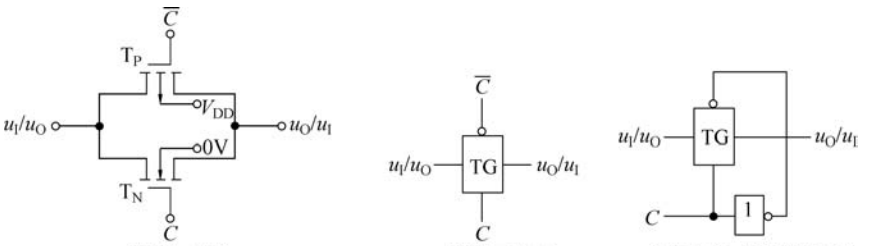


图 3.5.25　CMOS 传输门及模拟开关

3.5.5　CMOS 集成逻辑门电路系列简介

1. CMOS 逻辑门电路的系列

CMOS 集成电路是数字集成电路中的后起之秀，在小规模和中规模集成电路领域中，CMOS 与 TTL 几乎平分秋色，但在大规模和超大规模集成电路领域中，CMOS 电路已占据了主导地位，越来越多的设备主要使用了 CMOS 逻辑电路。

CMOS 系列正在不断发展中，高速、低耗、与 TTL 兼容是其主要发展方向。表 3.5.3 给出了 CMOS 系列各子系列的主要特点。

表 3.5.3　CMOS 系列各子系列的主要特点

CMOS 子系列	主 要 特 点
4000/14000 系列	早期的 CMOS 产品，电源电压为 3～18V，具有功耗低、噪声容限大、扇出系数大等优点。缺点是工作速度较低，输出电流较小，不与 TTL 兼容
74HC/HCT 系列 (高速 CMOS)	用多晶硅材料作栅极，使其具有更小的尺寸和更小的栅极电容，从而大大提高了工作速度。HC 系列平均延迟时间为 10ns，HCT 系列平均延迟时间为 13ns。HC 系列的电源电压为 2～6V。HCT 系列的电源电压为 4.5～5.5V，与 TTL 完全兼容。另外，74HC/HCT 系列与 74LS 系列的产品，只要最后几位数字相同，则两种器件的逻辑功能、外形尺寸、引脚排列顺序完全相同
74AC/ACT 系列 (先进 CMOS)	该系列的抗噪声能力、传输延迟及最高工作频率比 HC 系列都有了进一步的改善。其中 ACT 系列和 TTL 器件电压兼容，电源电压为 4.5～5.5V。AC 系列的电源电压为 1.5～5.5V。该系列的编号最后是 5 位数字，以 11 开头，例如 74AC11004
74AHC/AHCT 系列 (先进的高速 CMOS)	相对于 HC 系列，该系列的速度更快，功耗更小，驱动要求更低。其速度比 HC 系列快 3 倍，与 HC 系列有相同的抗噪声能力，可以直接替换 HC 系列
BiCMOS 电路	采用了双极型三极管作为 CMOS 电路的输出级，因此具有 MOS 管的功耗低和双极型三极管速度快、驱动能力强的优势

2. CMOS 逻辑门电路的主要特点

(1) 静态功耗低。CMOS 静态功耗极小。当 $V_{DD}=5V$ 时，CMOS 电路的静态功耗分别是：门电路类为 2.5～5μW；缓冲器和触发器类为 5～20μW。

(2) 逻辑摆幅大。CMOS 门电路 U_{OH} 的理论值为电源电压 V_{DD}，$U_{OH(min)}=0.9V_{DD}$；U_{OL} 的理论值为 0V，$U_{OL(max)}=0.01V_{DD}$。CMOS 门电路的逻辑摆幅(即高低电平之差)接近于电源电压 V_{DD}。

(3) 抗干扰能力强。CMOS 门电路其噪声容限可达 $30\%V_{DD}$，而 TTL 门的噪声容限只有 0.4V。

(4) 扇出系数大。因 CMOS 门电路有极高的输入阻抗，故其扇出系数很大，一般额定扇出系数可达 50。但必须指出的是，扇出系数是指驱动 CMOS 门电路的个数，就灌电流负载能力和拉电流负载能力而言，CMOS 门电路远远低于 TTL 门电路。

(5) 温度稳定性好，抗辐射能力强。MOS 管是单极型器件，受温度影响较小，与三极管相比，温度稳定性好，抗辐射能力强，特别适用于航天、卫星和核试验条件下工作的装置。

3.6 集成逻辑门电路的应用

3.6.1 TTL 与 CMOS 集成逻辑门性能比较

在设计数字电路或数字系统时，要根据工作速度或功耗指标的要求，合理地选择逻辑器件。在许多情况下，还需要 TTL 和 CMOS 两种器件混合使用。表 3.6.1 列出了 TTL 和 CMOS 常用系列的主要参数，供选择器件时参考。

表 3.6.1 TTL 和 CMOS 逻辑器件主要参数比较

参数名称	TTL					CMOS		
	74	74S	74LS	74AS	74ALS	4000	74HC	74HCT
输入低电平电流 $I_{IL(max)}$/mA	1.6	2.0	0.4	0.5	0.1	0.001	0.001	0.001
输入高电平电流 $I_{IH(max)}$/μA	40	50	20	20	20	0.1	0.1	0.1
输出低电平电流 $I_{OL(max)}$/mA	16	20	8	20	8	0.51	4	4
输出高电平电流 $I_{OH(max)}$/mA	0.4	1	0.4	2	0.4	0.51	4	4
输入低电平电压 $U_{IL(max)}$/V	0.8	0.8	0.8	0.8	0.8	1.5	1.0	0.8
输入高电平电压 $U_{IH(min)}$/V	2.0	2.0	2.0	2.0	2.0	3.5	3.5	2.0
输出低电平电压 $U_{OL(max)}$/V	0.4	0.5	0.5	0.5	0.5	0.05	0.1	0.1
输出高电平电压 $U_{OH(min)}$/V	2.4	2.7	2.7	2.7	2.7	4.95	4.9	4.9
平均传输延迟时间 t_{pd}/ns	9.5	3	8	3	2.5	45	10	13
平均功耗(每门)/mW	10	19	4	8	1.2	0.005	0.005	0.005
电源电压 V_{CC} 或 V_{DD}/V	4.75～5.25					3～18	2～6	4.5～5.5

注：上述参数均是在电源电压 V_{CC} 或 $V_{DD}=5V$ 时测出来的。

3.6.2 TTL 与 CMOS 器件之间的接口问题

从表 3.6.1 中看出，TTL 和 CMOS 电路的高、低电平和输入、输出电流参数各不相同，因而在混合使用 TTL 和 CMOS 两种器件时，就存在一个接口问题。

两种不同类型的集成电路相互连接，驱动门必须要为负载门提供符合要求的高、低电平和足够的输入电流，即要满足下列条件：

驱动门的 $U_{OH(min)} \geqslant$ 负载门的 $U_{IH(min)}$；

驱动门的 $U_{OL(max)} \leqslant$ 负载门的 $U_{IL(max)}$；

驱动门的 $I_{OH(max)} \geqslant$ 负载门的 $I_{IH(总)}$；

驱动门的 $I_{OL(max)} \geqslant$ 负载门的 $I_{IL(总)}$。

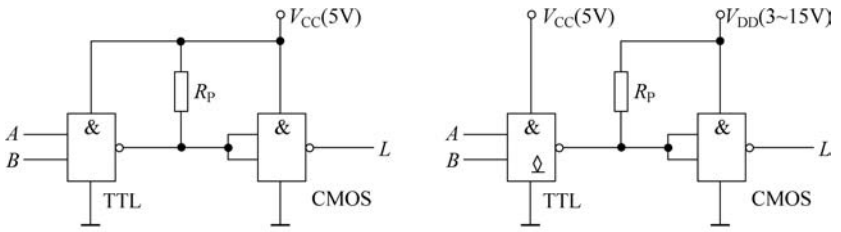
1. TTL 门驱动 CMOS 门

由于 TTL 门的 $I_{OH(max)}$ 和 $I_{OL(max)}$ 远大于 CMOS 门的 I_{IH} 和 I_{IL}，所以 TTL 门驱动 CMOS 门时，主要考虑 TTL 门的输出电平是否满足 CMOS 输入电平的要求。

1) TTL 门驱动 4000 系列和 74HC 系列

从表 3.6.1 看出，当都采用 5V 电源时，TTL 的 $U_{OH(min)}$ 为 2.4V 或 2.7V，而 CMOS4000 系列和 74HC 系列电路的 $U_{IH(min)}$ 为 3.5V，显然不满足要求。这时，可在 TTL 电路的输出端和电源之间接一个上拉电阻 R_P，如图 3.6.1(a)所示。R_P 的阻值取决于负载器件的数目及 TTL 和 CMOS 器件的电流参数，一般在几百欧姆至几千欧姆之间。

如果 TTL 和 CMOS 器件采用的电源电压不同，则应使用 OC 门，同时使用上拉电阻 R_P，如图 3.6.1(b)所示。



(a) 电源电压都为5V时的接口　　(b) 电源电压不同时的接口

图 3.6.1　TTL 驱动 CMOS 门电路

2) TTL 门驱动 74HCT 系列

前面提到 74HCT 系列与 TTL 器件电压兼容。它的输入电压参数 $U_{IH(min)}=2.0V$，而 TTL 的输出电压参数 $U_{OH(min)}$ 为 2.4V 或 2.7V，因此两者可以直接相连，不需外加其他器件。

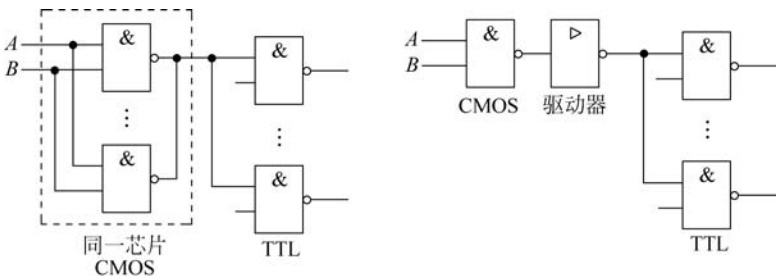
2. CMOS门驱动TTL门

从表3.6.1看出，当都采用5V电源时，CMOS门的$U_{OH(min)}$大于TTL门的$U_{IH(min)}$，CMOS门的$U_{OL(max)}$小于TTL门的$U_{IL(max)}$，两者电压参数相容。但是CMOS门的I_{OH}、I_{OL}参数较小，所以，这时主要考虑CMOS门的输出电流是否满足TTL门输入电流的要求。

例3.6.1 一个74HC00与非门电路能否驱动4个7400与非门？能否驱动4个74LS00与非门？

解：从表3.6.1中查出：74HC00输出低电平时，74系列门的$I_{IL}=1.6mA$，74LS系列门的$I_{IL}=0.4mA$，4个74系列门的$I_{IL(总)}=4\times1.6=6.4(mA)$，4个74LS系列门的$I_{IL(总)}=4\times0.4=1.6(mA)$，而74HC系列门的$I_{OL}=4mA$，所以不能驱动4个7400与非门，可以驱动4个74LS00与非门；同理可知，74HC00输出高电平时，74HC系列门的I_{OH}远大于4个74LS系列门的$I_{IH(总)}$，因此一个74HC00与非门可以驱动4个74LS00与非门。

要提高CMOS门的驱动能力，可将同一芯片上的多个门并联使用，如图3.6.2(a)所示；也可在CMOS门的输出端与TTL门的输入端之间加一个CMOS驱动器，如图3.6.2(b)所示。

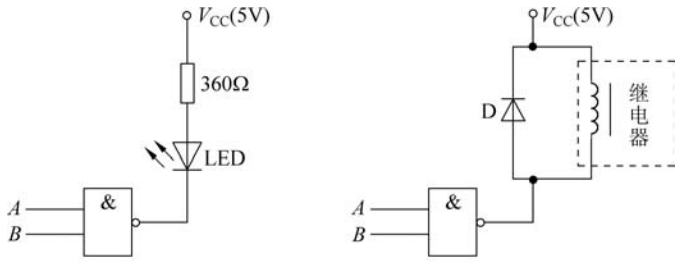


(a) 并联使用提高带负载能力　　(b) 用CMOS驱动器驱动TTL电路

图3.6.2　CMOS驱动TTL门电路

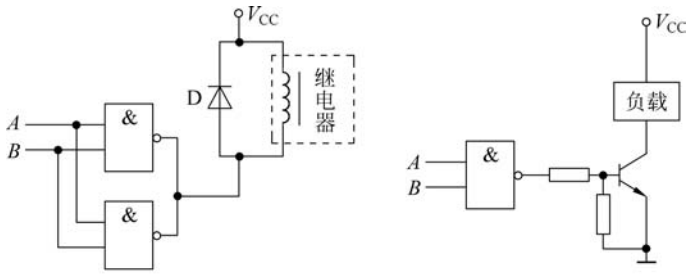
3.6.3　门电路带负载时的接口问题

在工程实践中，常常需要用TTL或CMOS电路去驱动指示灯、发光二极管LED、继电器等负载。对于电流较小、电平能够匹配的负载可以直接驱动，图3.6.3(a)所示为用TTL门电路驱动发光二极管LED，这时只要在电路中串接一个几百欧姆的限流电阻即可；图3.6.3(b)所示为用TTL门电路驱动5V低电流继电器，其中二极管D作保护，以防止过电压。如果负载电流较大，可将同一芯片上的多个门并联作为驱动器，如图3.6.4(a)所示；也可在门电路输出端接三极管，以提高带负载能力，如图3.6.4(b)所示。



(a) 驱动发光二极管　　(b) 驱动低电流继电器

图 3.6.3　门电路带小电流负载



(a) 门电路并联使用　　(b) 加驱动三极管

图 3.6.4　门电路带大电流负载

3.6.4　多余输入端的处理

集成门电路的输入端数目是一定的，在使用时，有时会有多余输入端。对于 TTL 门电路，如果输入端悬空，从理论上讲相当于接高电平，不影响逻辑关系。但在实际应用中，悬空的输入端容易引入干扰信号，造成逻辑错误，应当尽量避免悬空。而对于 MOS 门电路，由于 MOS 管具有很高的输入阻抗，更容易接收干扰信号，在外界有静电干扰时，还会在悬空的输入端积累起高电压，造成栅极击穿。所以，MOS 门电路的多余输入端是绝对不允许悬空的。

多余输入端的处理应以不改变电路逻辑关系及稳定可靠为原则。通常采用下列方法：

(1) 对于与非门及与门，多余输入端应接高电平，比如直接接电源正端，或通过一个上拉电阻(1～3kΩ)接电源正端，如图 3.6.5(a)所示；在前级驱动能力允许时，也可以与有用的输入端并联使用，如图 3.6.5(b)所示。

(2) 对于或非门及或门，多余输入端应接低电平，如直接接地，如图 3.6.6(a)所示；也可以与有用的输入端并联使用，如图 3.6.6(b)所示。

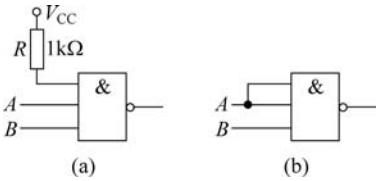


图 3.6.5　与非门多余输入端的处理

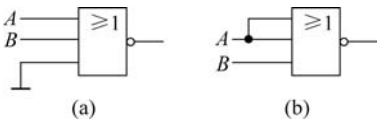


图 3.6.6　或非门多余输入端的处理

3.7　两种有效电平及两种逻辑符号

3.7.1　两种有效电平

在数字电路中，一些信号在正常情况下为低电平，当某事件发生时，该信号变为高电平，称该信号为**高电平有效**；而另一些信号在正常情况下为高电平，当某事件发生时，该信号变为低电平，称该信号为**低电平有效**。数字电路的输入与输出信号都可能是高电平有效或低电平有效，这是由输入信号的设置方式和输出所接的负载情况所决定的。如图 3.7.1 所示，两个逻辑电路都要求当开关 K 闭合时发光二极管 D 亮，很显然图 3.7.1(a)所示电路中，$L=1$ 时 D 亮，所以输出 L 是高电平有效；而图 3.7.1(b)所示电路中，$L=0$ 时 D 亮，所以输出 L 就是低电平有效。图 3.7.1(a)所示电路中，开关 K 闭合时 $A=0$，所以输入是低电平有效；图 3.7.1(b)所示电路中，开关 K 闭合时 $A=1$，所以输入是高电平有效。

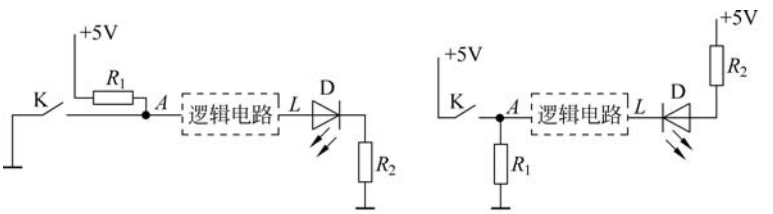


图 3.7.1　高电平有效与低电平有效

3.7.2　两种逻辑符号

在门电路的逻辑符号中，通常使用小圆圈表示输入或输出低电平有效，即当逻辑符号的输入或输出线上没有小圆圈时，称这条线是高电平有效；当逻辑符号的输入或输出线上有小圆圈时，称这条线是低电平有效。也就是说，小圆圈不仅可以出现在输出端，也可以出现在输入端。输出端与输入端的小圆圈都表示低电平有效，如图 3.7.2 所示。输入端没有小圆圈的逻辑符号称为**标准逻辑符号**或**正逻辑符号**；输入端有小圆圈的逻辑符号称为**反相逻辑符号**或**负逻辑符号**。

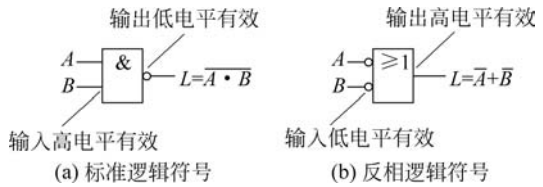


图 3.7.2　两种逻辑符号

图 3.7.2(a)所示的逻辑符号，输入端没有圈而输出端有圈，所以它是输入高电平有效而输出低电平有效，它的逻辑功能可以解释为：仅当全部输入都是高电平时，输出为低电平。换句话说，仅当全部输入都处于有效状态时，输出为有效状态。

图 3.7.2(b)所示的逻辑符号，输入端有圈而输出端没有圈，所以它是输入低电平有效而输出高电平有效，它的逻辑功能可以解释为：当任一输入是低电平时，输出为高电平。换句话说，当任一输入处于有效状态时，输出为有效状态。

由逻辑代数知，$L=\overline{A\cdot B}=\overline{A}+\overline{B}$，所以图 3.7.2(a)、图 3.7.2(b)两个逻辑符号是等效的，说的是同一件事。像这样相互等效的逻辑符号还有几对，列入表 3.7.1 中。

表 3.7.1　相互等效的两种逻辑符号

逻 辑 关 系	标准逻辑(正逻辑)符号	反相逻辑(负逻辑)符号
$Y=AB=\overline{\overline{A}+\overline{B}}$	&	≥1
$Y=A+B=\overline{\overline{A}\cdot\overline{B}}$	≥1	&
$Y=\overline{A\cdot B}=\overline{A}+\overline{B}$	&	≥1
$Y=\overline{A+B}=\overline{A}\cdot\overline{B}$	≥1	&
$L=\overline{A}$	1	1
$L=A=\overline{\overline{A}}$	1	1

一般情况下，人们习惯于采用标准逻辑符号，但有时只用标准逻辑符号“高电平有效”与“低电平有效”的关系表达得不够明确。

例如图 3.7.3(a)所示的逻辑电路，输出是高电平有效，但 G_3 门却用了低电平有效的逻辑符号，关系不够一目了然。若将 G_3 门改成与之等效的输出高电平有效的门，如图 3.7.3(b)所示，则逻辑关系更明确，可描述为：当 A 和 B 都为高电平或 C 和 D 都为高电平时，L 为高电平，发光二极管 D 亮。

再比如，图 3.7.4 所示的两个电路的功能是一样的，但由于输入和输出信号都是低电平有效，所以采用反相逻辑符号的图 3.7.4(b)电路逻辑关系更明确，可描述为：K_A 和 K_B 只要有一个开关闭合，即 A 和 B 只要有一个为低电平时，L 为低电平，D 亮。

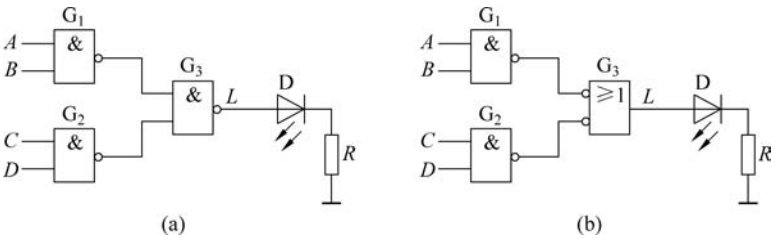


图 3.7.3　输出高电平有效的两种电路比较

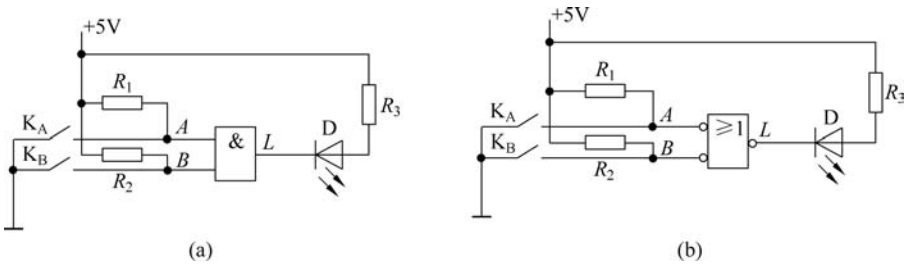


图 3.7.4　输出低电平有效的两种电路比较

高电平有效与低电平有效这两个词在后面的具体逻辑电路中会经常碰到。图 3.7.5 是译码器 74138 的控制逻辑电路，输入量 A 是高电平有效，B 和 C 都是低电平有效，输出 L 是高电平有效，所以其逻辑关系为：当 A 为 1 同时 B 和 C 都为 0 时，L 有效（$L=1$）。

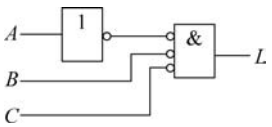


图 3.7.5　译码器 74138 的控制逻辑

3.7.3　逻辑符号的变换

如果不特别强调高电平有效或低电平有效，当这两种逻辑符号同时出现在一个电路中时，可把逻辑符号中的小圆圈当反相器处理。按照以下几条规则进行变换，可使逻辑关系更加清晰。

（1）逻辑图中任意一条线的两端同时加上或消去小圆圈，其逻辑关系不变，如图 3.7.6 所示。

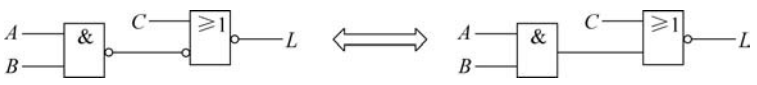


图 3.7.6　一条线的两端同时消去小圆圈

（2）任意一条线一端上的小圆圈移到另一端，其逻辑关系不变，如图 3.7.7 所示。

（3）一端消去或加上小圆圈，同时将相应变量取反，其逻辑关系不变，如图 3.7.8 所示。

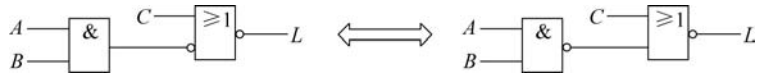


图 3.7.7　一条线上的小圆圈从一端移到另一端

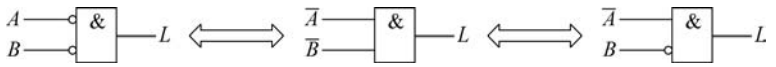


图 3.7.8　一端消去或加上小圆圈，同时将相应变量取反

小结

1. 在数字电路中，半导体二极管、三极管一般都工作在开关状态，即工作于导通（饱和）和截止两个对立的状态，来表示逻辑 1 和逻辑 0。影响它们开关速度的主要因素是管子内部电荷储存和消散的时间。

2. 最简单的门电路是用二极管组成的与门、或门和三极管组成的非门电路。它们是集成逻辑门电路的基础。

3. 普遍使用的数字集成电路主要有两大类，一类由 NPN 型三极管组成，简称 TTL 门电路；另一类由 MOSFET 构成，简称 MOS 门电路。集成门电路除了有实现各种基本逻辑关系的产品外，还有输出开路门（OC 门、OD 门）、三态门、传输门等。

4. 与 TTL 门电路相比，MOS 门电路具有功耗低、扇出系数大（指带同类负载门）、噪声容限大等优点，已成为数字集成电路的发展方向。

5. 为了更好地使用数字集成芯片，应熟悉 TTL 和 CMOS 各个系列产品的外部电气特性及主要参数，正确处理多余输入端，正确解决不同类型电路间的接口问题及抗干扰问题。

6. 数字电路中的信号有的是高电平有效，有的是低电平有效。为了描述方便，常采用两种逻辑符号，即标准逻辑符号与反相逻辑符号。这两种逻辑符号可以互相转换。

习题

3.1　三极管的开关特性指的是什么？三极管的开通时间和关断时间分别取决于哪些因素？若希望提高三极管的开关速度，应采取哪些措施？

3.2　试分析题图 3.2 中各电路中的三极管工作于什么状态，求电路的输出电压 u_O（设各三极管均为硅管）。

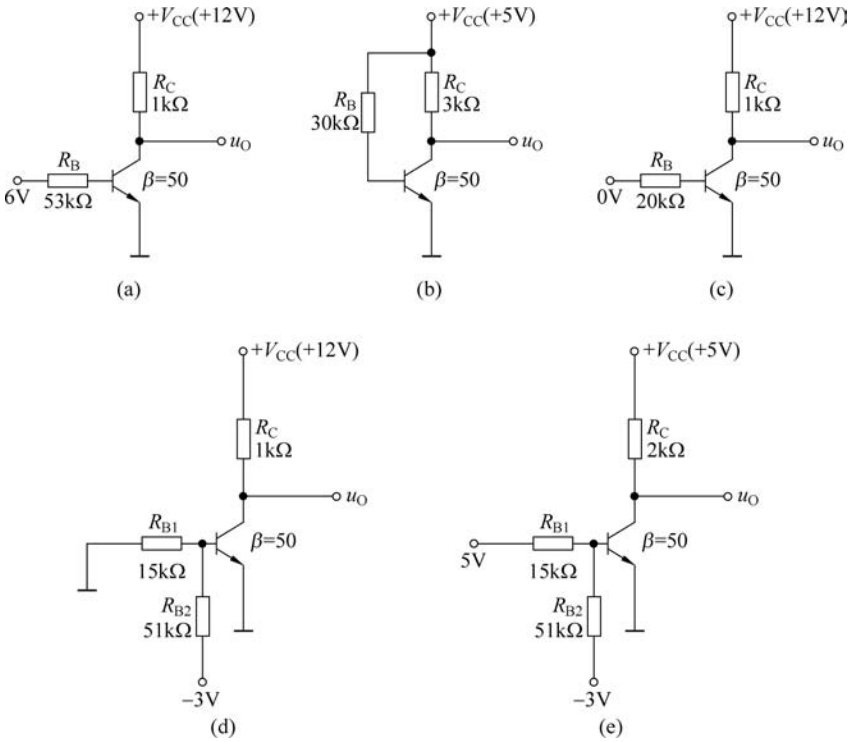
3.3　试写出三极管的饱和条件，并说明对于题图 3.2(a)的电路，下列方法中，哪些能使未达到饱和的三极管饱和？

(1) $R_B \downarrow$；

(2) $R_C \downarrow$；

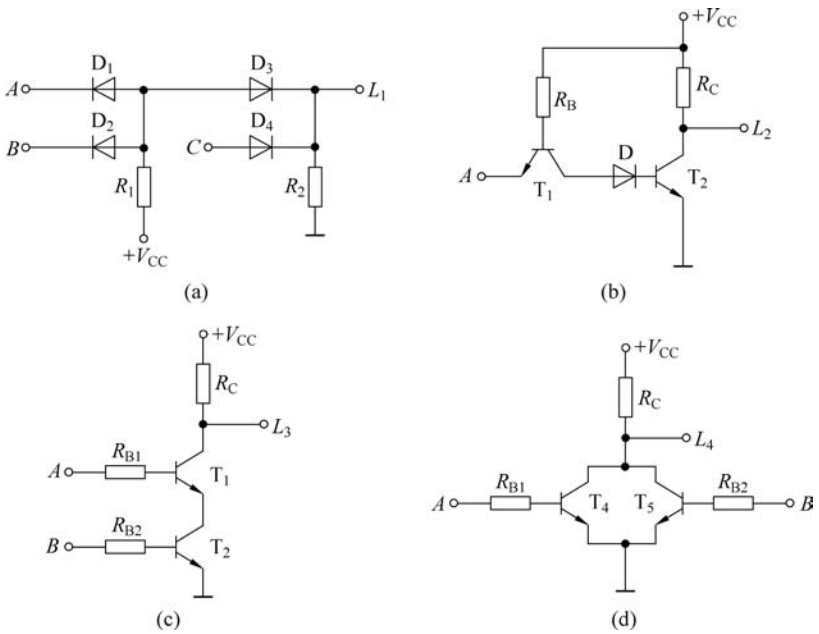
(3) $\beta \uparrow$；

(4) $V_{CC} \uparrow$。



题图　3.2

3.4　电路如题图 3.4 所示，写出输出 L 的表达式。设电路中各元件参数满足使三极管处于饱和及截止的条件。



题图　3.4

3.5　为什么说 TTL 与非门的输入端在以下 4 种接法下都属于逻辑 0?

(1) 输入端接地;

(2) 输入端接低于 0.8V 的电源;

(3) 输入端接同类与非门的输出低电压 0.3V;

(4) 输入端通过 200Ω 的电阻接地。

3.6　为什么说 TTL 与非门的输入端在以下 4 种接法下,都属于逻辑 1?

(1) 输入端悬空;

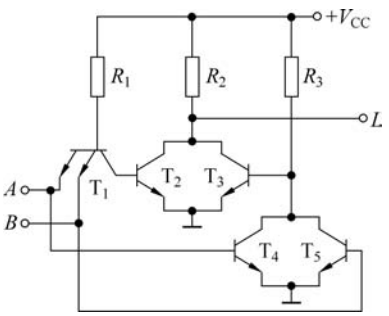
(2) 输入端接高于 2V 的电源;

(3) 输入端接同类与非门的输出高电压 3.6V;

(4) 输入端接 10kΩ 的电阻到地。

3.7　某 TTL 反相器的主要参数为 $I_{IH}=20\mu A$,$I_{IL}=1.4mA$;$I_{OH}=400\mu A$;$I_{OL}=14mA$,求它能带多少个同样的门。

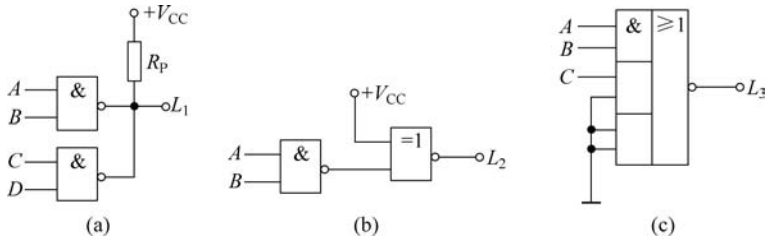
3.8　电路如题图 3.8 所示,写出输出 L 的表达式。



题图　3.8

3.9　在题图 3.9 所示的 TTL 门电路中,要求实现下列规定的逻辑功能时,其连接有无错误? 如有错误请改正。

$$L_1=\overline{AB}\cdot\overline{CD}\quad L_2=\overline{AB}\quad L_3=\overline{AB+C}$$



题图　3.9

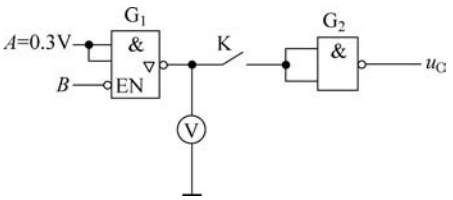
3.10　在题图 3.10 中 G_1 为 TTL 三态与非门,G_2 为 TTL 普通与非门,电压表内阻为 100kΩ。试求下列四种情况下的电压表读数和 G_2 输出电压 u_O 值:

(1) $B=0.3V$,开关 K 打开;

(2) $B=0.3\text{V}$,开关 K 闭合;

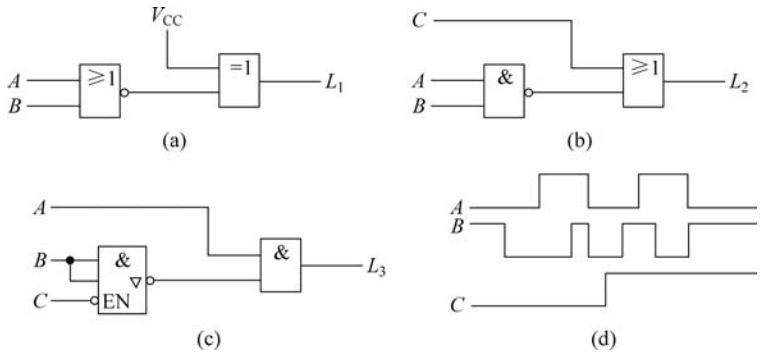
(3) $B=3.6\text{V}$,开关 K 打开;

(4) $B=3.6\text{V}$,开关 K 闭合。



题图 3.10

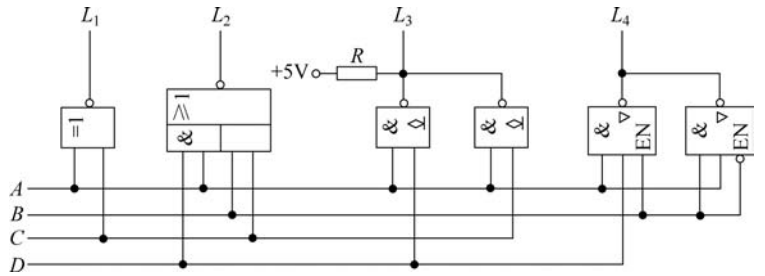
3.11 在题图 3.11 中,所有的门电路都为 TTL 门,设输入 A、B、C 的波形如图 3.11(d)所示,试画出各输出的波形图。



题图 3.11

3.12 用 OC 门实现逻辑函数 $F=\overline{AB}\cdot\overline{BC}\cdot\overline{D}$,画出逻辑电路图。

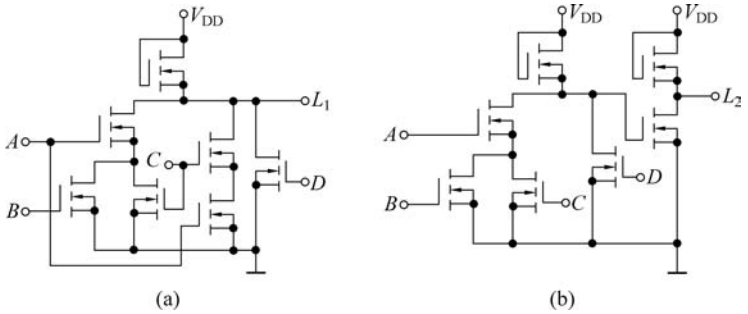
3.13 电路如题图 3.13 所示,试用表格方式列出各门电路的名称,输出逻辑表达式以及当 $ABCD=1001$ 时,各输出函数的值。



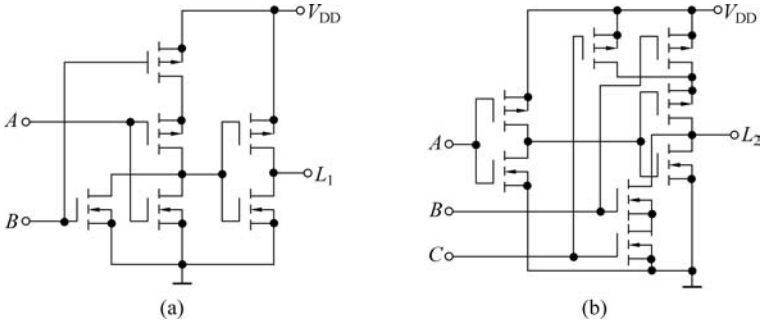
题图 3.13

3.14 写出题图 3.14 所示电路的逻辑表达式。

3.15 写出题图 3.15 所示电路的逻辑表达式。

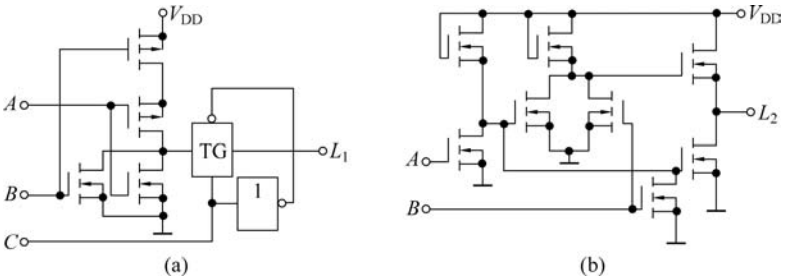


题图 3.14



题图 3.15

3.16 列出题图 3.16 所示电路的真值表。



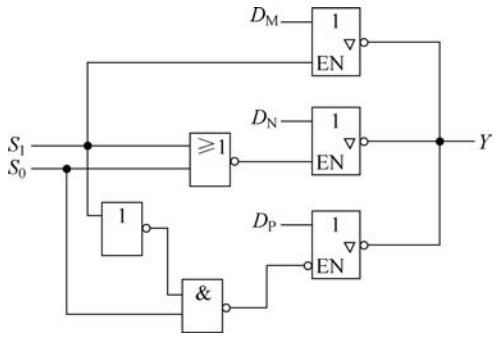
题图 3.16

3.17 试设计一个 NMOS 异或门，画出逻辑电路图。

3.18 试设计一个 CMOS 门电路，实现逻辑关系 $L=AB+C$，画出逻辑电路图。

3.19 试利用 CMOS 传输门设计一个 CMOS 三态输出的两输入端与非门，画出逻辑电路图并列出其真值表。

3.20 分析题图 3.20 所示电路，求输入 S_1、S_0 各种取值下的输出 Y，填入题表 3.20 中。



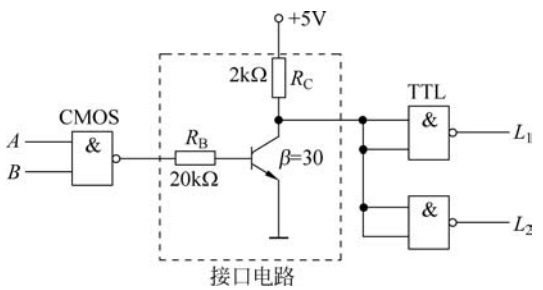
题图　3.20

题表　3.20

输　入		输　出
S_1	S_0	Y
0	0	
0	1	
1	0	
1	1	

3.21　设发光二极管的正向导通电流为 10mA；与非门的电源电压为 5V，输出低电平为 0.3V，输出低电平电流为 15mA，试画出与非门驱动发光二极管的电路，并计算出发光二极管支路中的限流电阻阻值。

3.22　电路如题图 3.22 所示，已知 CMOS 门电路的输出电压 $U_{OH}=4.7V$，$U_{OL}=0.1V$，试计算接口电路的输出电压 u_O（三极管的集电极电位），并说明接口参数选择是否合理。



题图　3.22