

存储器控制器及 Nand Flash 控制器

本章主要内容如下：

(1) S3C2410A 与存储器相关的特性,与存储器芯片连接的 S3C2410A 引脚信号,存储器总线周期,特殊功能寄存器含义,存储器组成举例；

(2) Nand Flash 芯片工作原理,Nand Flash 控制器组成、引脚信号含义、特殊功能寄存器含义及 Nand Flash 控制器与芯片连接的举例。

5.1 存储器控制器

本书中,存储器的概念与过去习惯称为内存的概念相同。嵌入式系统中存储器的控制器,通常集成在嵌入式微处理器内部。同样,S3C2410A 中也集成了存储器控制器。

5.1.1 S3C2410A 与存储器相关的特性

S3C2410A 存储器控制器提供了访问存储器的控制信号,另外 S3C2410A 还提供了与存储器相关的地址总线、数据总线等总线控制器信号。

S3C2410A 与存储器相关的特性如下：

- 通过软件选择,系统支持大/小端数据存储格式；
- 全部可寻址空间为 1GB,分为 8 个 bank(体),每个 bank 为 128MB；
- 使用 nGCS0~nGCS7 作为对应的各 bank 选择信号；
- 系统支持存储器与 I/O 端口统一寻址,SFR Area(特殊功能寄存器区)为 I/O 端口寻址空间；
- bank0~bank7 中每个 bank 的数据总线宽度单独可编程,bank0 通过编程可以设置为 16/32 位数据总线,bank1~bank7 通过编程可以设置成 8/16/32 位数据总线；
- 每个 bank 的存储器访问周期可编程；
- bank1~bank7 支持各 bank 产生等待信号(nWAIT),用来扩展总线周期；
- bank0~bank5 可以使用 ROM(含 EEPROM、Nor Flash 等)和 SRAM,bank6 和 bank7 可以使用 ROM/SRAM/SDRAM；

- bank0～bank6 开始地址固定,bank6 的 bank 大小可编程;
- bank7 开始地址和 bank 大小可编程;
- 对 SDRAM,在 power-down 模式,支持自己刷新(self-refresh)模式;
- 支持使用 Nor/Nand Flash、EEPROM 等作为引导 ROM。

S3C2410A Reset 后存储空间图见图 5-1。

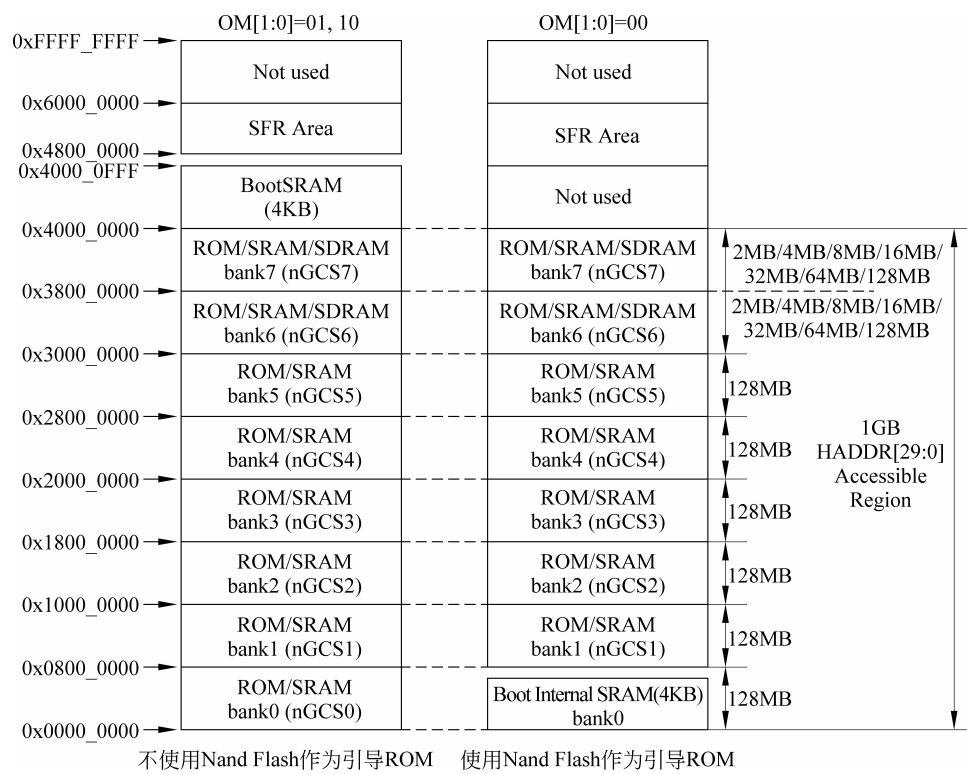


图 5-1 S3C2410A Reset 后存储空间图

参见图 5-1,图中表示 bank6 和 bank7 实际安装的存储器容量可以各为 2MB,4MB,⋯, 128MB。因此 bank6 的终了地址不同,bank7 的起始地址也不同,但是要求 bank6 和 bank7 实际安装的容量相同,详见表 5-1。

表 5-1 bank6/bank7 起址和终址

地址	2MB	4MB	8MB	16MB	32MB	64MB	128MB
bank6							
起址	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000
终址	0x301f_ffff	0x303f_ffff	0x307f_ffff	0x30ff_ffff	0x31ff_ffff	0x33ff_ffff	0x37ff_ffff
bank7							
起址	0x3020_0000	0x3040_0000	0x3080_0000	0x3100_0000	0x3200_0000	0x3400_0000	0x3800_0000
终址	0x303f_ffff	0x307f_ffff	0x30ff_ffff	0x31ff_ffff	0x33ff_ffff	0x37ff_ffff	0x3fff_ffff



另外,图 5-1 中最上方 OM[1:0]的含义,表示在 Reset 期间,由于连接到 S3C2410A 的操作模式输入引脚 OM[1:0]逻辑电平的不同,分别表示使用 Nand Flash 作为引导 ROM 模式与否,以及在不使用 Nand Flash 作为引导 ROM 时,bank0 数据总线的宽度或测试模式,详见表 5-2。

表 5-2 OM[1:0]含义

OM1(操作模式 1)	OM0(操作模式 0)	含 义
0	0	使用 Nand Flash 作为引导 ROM 模式
0	1	bank0 数据总线宽度为 16 位
1	0	bank0 数据总线宽度为 32 位
1	1	测试模式

对应于图 5-1 左半部,在不使用 Nand Flash 作为引导 ROM 时,需要使用 bank0 (nGCS0)中安装的芯片作为引导 ROM。由于在第一次访问引导 ROM 前必须先确定 bank0 数据总线的宽度,所以 bank0 的数据总线宽度要求由 Reset 时的 OM[1:0]引脚输入逻辑电平确定,而 bank1~bank7 各个 bank 的数据总线宽度,可以通过对特殊功能寄存器编程确定。

5.1.2 与存储器芯片连接的 S3C2410A 引脚信号及使用

1. 与存储器芯片连接的 S3C2410A 引脚信号

对于存储器,S3C2410A 一般可以与 ROM(如 Nor Flash)、SRAM 和 SDRAM 芯片连接。S3C2410A 与存储器相关的引脚信号一般可以分为两组,一组是 S3C2410A 总线控制器引脚信号,另一组是 S3C2410A 存储器控制器引脚信号,分别见表 5-3 和表 5-4。

表 5-3 S3C2410A 总线控制器引脚信号

信 号	I/O	含 义
OM[1:0]	I	在 S3C2410A 的 OM[1:0]引脚上连接上拉电阻或下拉电阻,Reset 期间逻辑电平分别表示: 00: 使用 Nand Flash 引导 01: bank0 数据总线 16 位 10: bank0 数据总线 32 位 11: 测试模式
ADDR[26:0]	O	地址总线 ADDR[26:0]作为各 bank 的存储器地址线
DATA[31:0]	I/O	数据总线 DATA[31:0]是双向总线,存储器读期间输入数据,存储器写期间输出数据。实际使用的总线宽度可在 8/16/32 位中选择
nGCS[7:0]	O	nGCS[7:0](General Chip Select)作为 8 个 banks 的选择信号,某一时刻选择其中的一个有效。访问周期数和 bank 大小可编程
nWE	O	nWE(写允许)信号有效,指示当前总线周期是写周期
nOE	O	nOE(输出允许)信号有效,指示当前总线周期是读周期

续表

信 号	I/O	含 义
nXBREQ	I	nXBREQ(Bus Hold Request,总线保持请求)信号有效,表示允许另外的总线主设备请求控制局部总线,响应信号为 nXBACK
nXBACK	O	nXBACK(Bus Hold Acknowledge,总线保持响应)信号有效,指示 S3C2410A 已经出让了局部总线控制权给另外的总线主设备
nWAIT	I	nWAIT 信号有效,表示请求扩展当前总线。只要 nWAIT 为低电平,继续扩展当前总线周期。如果系统中不使用 nWAIT 信号,该引脚接上拉电阻

注：表 5-3 中 OM[1:0]、nXBREQ、nXBACK 并未与存储器芯片连接,仅是总线控制器引脚信号。

表 5-4 S3C2410A 存储器控制器引脚信号

信 号	I/O	含 义
nSRAS	O	SDRAM 行地址(row address)选通
nSCAS	O	SDRAM 列地址(column address)选通
nSCS[1:0]	O	SDRAM 片选(chip select)
DQM[3:0]	O	SDRAM 数据屏蔽(data mask)
SCLK[1:0]	O	SDRAM 时钟
SCKE	O	SDRAM 时钟允许
nBE[3:0]	O	高字节/低字节允许
nWBE[3:0]	O	写字节允许

表 5-3 中地址总线为 ADDR[26:0],而图 5-1 中地址总线为 ADDR[29:0],其中 ADDR[29:27]经译码产生 nGCS[7:0]或 nSCS[1:0]信号。

表 5-4 中第 3 行 nSCS1 与表 5-3 中 nGCS7 是同一个引脚 F17 发出的信号,nSCS0 与 nGCS6 是同一个引脚 F16 发出的信号。在 bank7 或 bank6 使用 SDRAM 时,从这两个引脚出来的信号为 nSCS1 和 nSCS0,当 bank7 或 bank6 使用 ROM/SRAM 时,从这两个引脚出来的信号是 nGCS7 和 nGCS6。

S3C2410A 的 A16 引脚对应的信号为表 5-4 中的 nBE3:nWBE3:DQM3,C15 引脚对应 nBE2:nWBE2:DQM2,B16 引脚对应 nBE1:nWBE1:DQM1,A17 引脚对应 nBE0:nWBE0:DQM0。同一个引脚连接不同的 ROM/SRAM/SDRAM 时,S3C2410A 发出的信号含义不同,在随后的内容中说明。

2. 地址总线与存储器芯片地址引脚的连接

对 ROM/SRAM/SDRAM,地址总线中的 ADDR[29:27]经译码器产生 nGCS[7:0]或 nSCS[1:0]信号,某一时刻只有一个信号有效。而地址总线中的 ADDR[26:0]应该与各 bank 的存储器芯片对应引脚连接,但 ADDR1 和 ADDR0 在某个 bank 实际使用的数据总线宽度不同的情况下,可能不连接存储器芯片;并且地址总线中的 ADDR[26:0]与存储器芯片地址引脚的连接也可能不是一一对应关系,详见表 5-5。在本章,地址总线中



的 ADDR[26:0]有时也简单写作 A[26:0]。

表 5-5 地址总线与存储器芯片引脚连接方法

存储器芯片 地址引脚	某 bank 数据总线宽度为 8 位时连接的地址总线	某 bank 数据总线宽度为 16 位时连接的地址总线	某 bank 数据总线宽度为 32 位时连接的地址总线
A0	ADDR0	ADDR1	ADDR2
A1	ADDR1	ADDR2	ADDR3
A2	ADDR2	ADDR3	ADDR4
A3	ADDR3	ADDR4	ADDR5
⋮	⋮	⋮	⋮

表 5-5 中,当某 bank 数据总线宽度为 8 位时,地址总线中的 ADDR0 与芯片地址引脚 A0 连接,ADDR1 与 A1 连接,以此类推,一一对应连接。表 5-5 中当某 bank 数据总线宽度为 16 位时,地址总线中的 ADDR0 不与存储器芯片连接,而用 ADDR1 与芯片地址引脚 A0 连接。表 5-5 中当某 bank 数据总线宽度为 32 位时,地址总线中的 ADDR[1:0]不与存储器芯片连接,而用 ADDR2 与芯片地址引脚 A0 连接。

S3C2410A 存储器是按字节编址的,也就是说存储器的一个存储单元,保存的内容为 1B;每个存储单元有一个唯一、确定的地址。为了与 8/16/32 位数据总线相适应,地址总线中的 ADDR1、ADDR0 才有表 5-5 中连接或不连接的几种情况,其含义与 80x86 中存储器数据总线宽度不同时,存储器分体、地址总线低位使用或不使用的含义是一样的。

3. 存储器数据总线宽度的确定

对不同的应用场合或设备,使用的嵌入式系统数据总线的宽度,或许有不同的要求。S3C2410A 支持 8/16/32 位数据总线宽度。同一个 bank 的数据总线宽度必须相同,不同 bank 的数据总线宽度可以不同,并且有以下特征:

- bank0 在不使用 Nand Flash 时,数据总线宽度可以选择 16 位或 32 位,由 OM[1:0] 输入引脚在 Reset 时的逻辑电平决定;
- bank1~bank7 中的每个 bank 的数据总线宽度可以分别设置,可选择 8 位、16 位或 32 位中的一种,设置方法在特殊功能寄存器中讲述。

4. bank0 与 ROM 芯片的连接

在不使用 Nand Flash 作为引导 ROM 时,参考图 5-1 左半部分,使用 bank0 作为引导 ROM 区,可以连接 Nor Flash 或 EEPROM 等。由于 Nor Flash 片内带有 SRAM 接口,因此可以直接与存储器控制器连接。另外,Nor Flash 芯片价格比 EEPROM 低,所以通常使用 Nor Flash 芯片较多。

加电之前,bank0 数据总线宽度必须通过 OM[1:0]提前设置好,只能设置为 16 位或 32 位。另外,信号 nGCS0 作为 bank0 的选择信号。

对于图 5-2 和图 5-3, 请注意地址总线、数据总线与芯片引脚连接方法的不同; 区别什么情况下使用 nWE 或 nWBE[3:0] 信号。

1) bank0 使用 16 位数据总线与 ROM 芯片的连接

图 5-2 表示 bank0 与一片 ROM、数据总线为 16 位时的连接。

ROM 指 Nor Flash 或 EEPROM。

2) bank0 使用 32 位数据总线与 ROM 芯片的连接

图 5-3 表示 bank0 与 4 片 ROM、数据总线为 32 位时的连接。

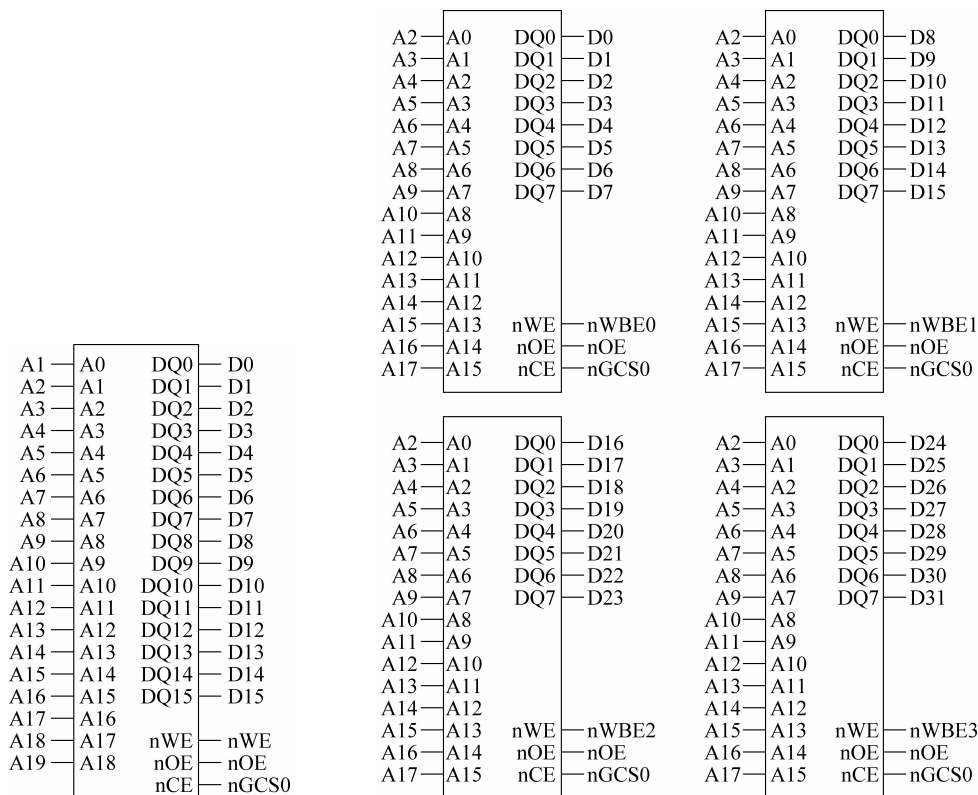


图 5-2 bank0 使用 16 位数据总线
时与 ROM 芯片的连接

图 5-3 bank0 使用 32 位数据总线时与
ROM 芯片的连接

5. bank1~bank7 与 SRAM 芯片的连接

图 5-4 给出了使用 2 片 SRAM、32 位数据总线, 连接 bank1 的一个例子。

虽然 bank0~bank7 都允许连接 SRAM, 但 bank0 实际很少连接 SRAM, 而 bank6 和 bank7 常常与 SDRAM 连接。

图 5-4 中 nBE3、nBE2、nBE1 和 nBE0 分别连接芯片的 nUB 和 nLB 引脚, 表示选择高字节(nUB)或低字节(nLB)。这是由于在 32 位数据总线时, 一次总线访问周期可以控制只传送 1 字节、半字(2 字节)或字(4 字节)数据的原因。

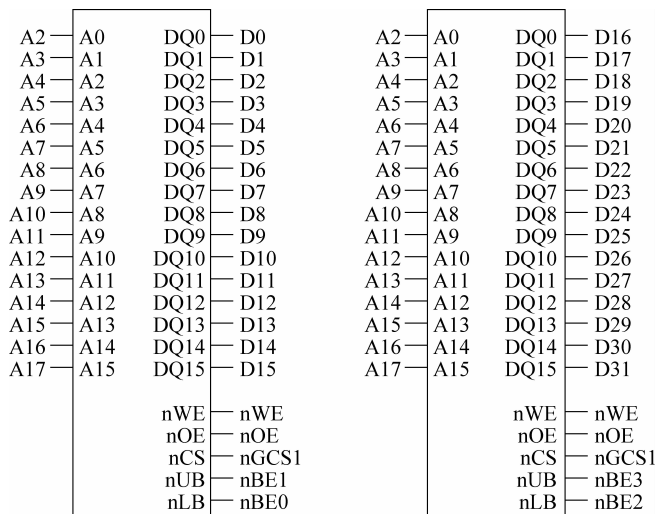


图 5-4 bank1 使用 32 位数据总线时与 SRAM 芯片的连接

6. bank6 或 bank7 与 SDRAM 芯片的连接

在 SDRAM 芯片内部,通常分为 2 个体或 4 个体,也用 bank 表示,但与存储器的 bank 不同,它们一般称为片内 bank。另外,SDRAM 地址还分行地址和列地址,行地址的长度(位数)可以与列地址的长度(位数)相等(对称地址)或不等(非对称地址)。S3C2410A 特殊功能寄存器中允许设置列地址长度,详见 5.1.4 节中 BANKCON6 和 BANKCON7 寄存器含义。

从 S3C2410A 送出的地址,高位部分连接 SDRAM 芯片的片内 bank 选择引脚 BA,具体连接方法见表 5-6。

1) SDRAM 片内 bank 选择引脚与地址总线的连接

表 5-6 给出了当 S3C2410A 存储器实际 bank 大小不同、数据总线宽度不同、芯片容量不同、芯片内部构成和使用的芯片数量不同时,片内 bank 选择使用的芯片引脚与高位地址总线连接的例子。

表 5-6 芯片内 bank 选择使用的地址总线

存储器 bank 实际大小	存储器 bank 数据总线宽度	芯片容量	芯片内部构成/使用的片数	芯片内 bank 选择 使用的地址总线
8MB	16 位	64Mb	(1M×16 位×4bank)×1 片	ADDR[22:21]
16MB	32 位	64Mb	(1M×16 位×4bank)×2 片	ADDR[23:22]
32MB	32 位	64Mb	(4M×8 位×2bank)×4 片	ADDR[24]
	16 位	128Mb	(4M×8 位×4bank)×2 片	ADDR[24:23]
	32 位		(2M×16 位×4bank)×2 片	
	8 位	256Mb	(8M×8 位×4bank)×1 片	
	16 位		(4M×16 位×4bank)×1 片	

续表

存储器 bank 实际大小	存储器 bank 数据总线宽度	芯片容量	芯片内部构成/使用的片数	芯片内 bank 选择 使用的地址总线
64MB	32 位	128Mb	$(4\text{M} \times 8 \text{ 位} \times 4\text{bank}) \times 4 \text{ 片}$	ADDR[25;24]
	16 位	256Mb	$(8\text{M} \times 8 \text{ 位} \times 4\text{bank}) \times 2 \text{ 片}$	
	32 位		$(4\text{M} \times 16 \text{ 位} \times 4\text{bank}) \times 2 \text{ 片}$	
	8 位	512Mb	$(16\text{M} \times 8 \text{ 位} \times 4\text{bank}) \times 1 \text{ 片}$	
128MB	32 位	256Mb	$(8\text{M} \times 8 \text{ 位} \times 4\text{bank}) \times 4 \text{ 片}$	ADDR[26;25]
	16 位	512Mb	$(16\text{M} \times 8 \text{ 位} \times 4\text{bank}) \times 2 \text{ 片}$	
	32 位		$(8\text{M} \times 16 \text{ 位} \times 4\text{bank}) \times 2 \text{ 片}$	

表 5-6 中第一行的含义为 S3C2410A 的 bank6 或 bank7 使用 SDRAM 时,当 bank 实际大小为 8MB 时,该 bank 总线宽度为 16 位,使用的芯片容量为 64Mb,芯片内部为 $1\text{M} \times 16 \text{ 位} \times 4\text{bank}$,只用一片,那么地址总线 ADDR[22;21]与芯片的片内 bank 选择引脚 BA1、BA0 连接。具体连接见图 5-5。

表 5-6 中第 2 行的含义,解释方法同上,具体连接见图 5-6。

另外,也可以通过计算,直接算出哪几条高位地址总线应该和芯片的 bank 选择引脚连接。

例如,存储器 bank 实际大小为 32MB,32MB 寻址空间使用的地址总线为 ADDR[24;0],如果存储器芯片片内有 2 个 bank,则 bank 选择只使用一位地址总线,即最高位 ADDR[24];如果存储器芯片片内有 4 个 bank,则 bank 选择使用最高 2 位地址总线 ADDR[24;23],与芯片的 bank 选择引脚连接。读者使用这种方法可以对表 5-6 中各行进行验证。

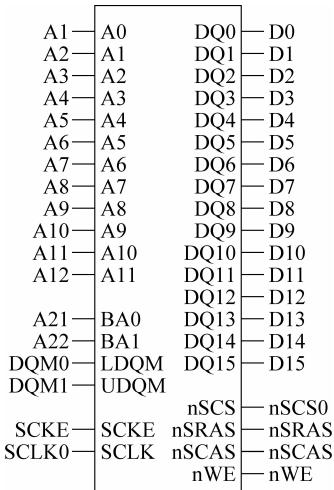


图 5-5 bank6 使用 16 位数据总线时与 SDRAM 芯片的连接

2) bank6 使用 16 位数据总线与 SDRAM 芯片的连接

图 5-5 中存储器 bank 实际大小为 8MB,使用 1 片,片内为 $1\text{M} \times 16 \text{ 位} \times 4\text{bank}$ 芯片。8MB 需要 23 条地址总线,即 ADDR[22;0],其中 ADDR[22;21]与芯片 BA1、BA0 连接;由于数据总线为 16 位,所以地址总线 ADDR[0]不与芯片连接;地址总线 ADDR[12;1]分 2 次分别传送行地址信号和列地址信号。

3) bank6 使用 32 位数据总线与 SDRAM 芯片的连接

图 5-6 中存储器 bank 实际大小为 16MB,由 2 片组成,每片为 $1\text{M} \times 16 \text{ 位} \times 4\text{bank}$ 。由于数据总线为 32 位,所以地址总线 ADDR[1;0]不与芯片连接。

图 5-5 和图 5-6 中 DQM3、DQM2、DQM1 和 DQM0,表示对数据总线的高 8 位和低 8

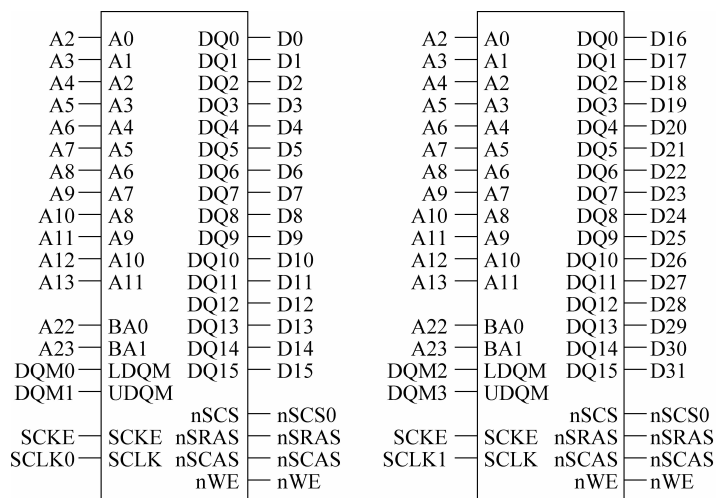


图 5-6 bank6 使用 32 位数据总线时与 SDRAM 芯片的连接

位屏蔽与否,在存储器访问周期读写 1 字节、半字(2 字节)或字(4 字节)数据时,这些信号的状态不同。

5.1.3 存储器总线周期举例

存储器控制器有 13 个特殊功能寄存器,它们中的一些寄存器,通过设置不同的值,可以允许/禁止 nWAIT;也可以改变 ROM/SRAM/SDRAM 的总线读写周期的时间长度等。

另外,虽然特殊功能寄存器不能控制 nXBREQ/nXBACK 的定时关系,但是也在这一节一并介绍。

1. nXBREQ/nXBACK 与其他信号之间的定时关系

nXBREQ 称为总线保持请求信号,低电平表示有其他总线主设备请求控制局部总线,响应信号为 nXBACK。nXBACK 称为总线保持响应信号,低电平表示 S3C2410A 允许其他总线主设备控制和占用局部总线,这时 S3C2410A 不对数据总线、地址总线和存储器控制器输出信号(SCKE、nGCS、nOE、nWE 和 nWBE)进行控制。S3C2410A 与这些总线和信号之间处于高阻状态,与 SCLK 也处于高阻状态。

当 nXBREQ 信号由低电平变为高电平,经过一个 CLK 周期,响应信号 nXBACK 也变为高电平,S3C2410A 恢复对总线和存储器控制器输出信号的控制。

图 5-7 给出了 nXBREQ/nXBACK 与其他信号之间的定时关系。

2. nWAIT 引脚信号对总线读写周期的影响

在 5.1.4 节中,通过对 BWSCON 寄存器中的 WS7,WS6,...,WS1 设置不同的值,表示允许 bank7,bank6,...,bank1 使用 WAIT(等待)功能与否。换句话说,除了 bank0 以

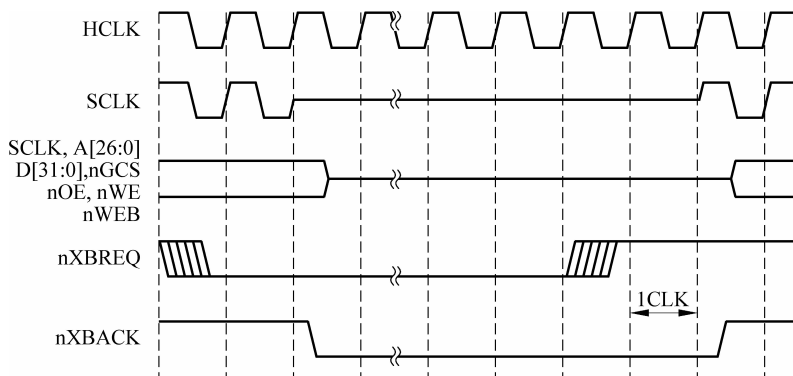


图 5-7 nXBREQ/nXBACK 与其他信号之间的定时关系

外,其他各 bank,如果存储器芯片工作速度比总线读写周期规定的时间所要求的速度慢时,存储器 bank 应该发出 nWAIT 信号到 S3C2410A, S3C2410A 在规定的存取周期 (T_{acc})前一个周期结束处,检测 nWAIT 信号,如果为低电平,则将相应信号扩展一个 HCLK 时长,然后继续检测 nWAIT,直到这个信号变为高电平,则不再扩展相应信号。

如图 5-8 所示,存取周期 $T_{acc} = 6$,在第 5 个存取周期结束处, S3C2410A 采样 nWAIT 引脚信号,如果为低电平,则扩展相应信号。

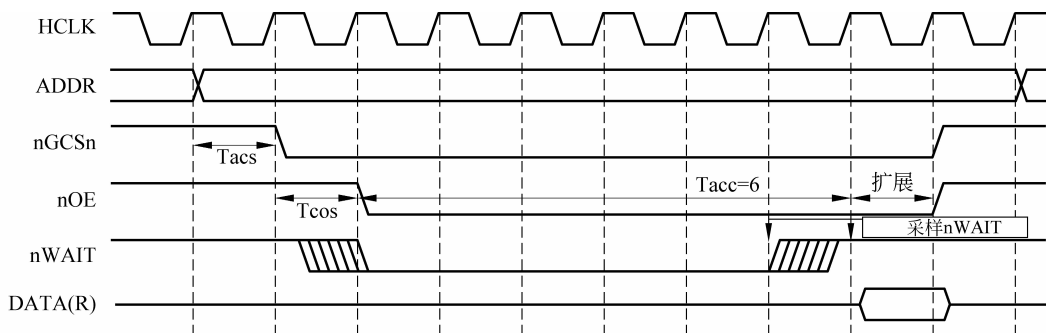


图 5-8 S3C2410A 外部 nWAIT 信号对总线读周期的影响 ($T_{acc} = 6$)

图 5-8 为总线读周期。nWAIT 对总线写周期的影响与图 5-8 相似,不再画出。

3. ROM/SRAM 总线读写周期定时举例

可以对存储器特殊功能寄存器设置不同的值,改变总线读写周期的定时关系。

1) ROM/SRAM 单个读周期

单个读周期指 S3C2410A 发出一次读存储器数据操作后,间隔一段时间再访问存储器。

在特殊功能寄存器中设定了具体数值以后, S3C2410A 发出的单个总线读周期信号定时关系如图 5-9 所示。

图 5-9 中 T_{acs} 、 T_{cos} 、 T_{acc} 、 T_{coh} 、 T_{cah} 、PMC 和 ST 的含义见表 5-7,它们的时间长度都是 HCLK 的整倍数,均可在随后讲述的特殊功能寄存器中设定它们的值。