

从第 2 章的内容我们得知,平板显示的有源矩阵驱动对 TFT 器件的特性、制备工艺和设计方法等提出了相应的技术要求。为此,我们必须研究和开发出不同种类 TFT 技术以应对不同的应用需求。从原理上讲,TFT 技术最核心的内容是其器件物理,即 TFT 的器件结构(含材料的选择和内部缺陷态分布等)与其电学特性之间的对应关系原理。TFT 的器件结构,简单讲就是数层不同形状和材料的薄膜堆积而成的半导体器件。因此,讨论 TFT 的器件物理,首先要弄清楚构成 TFT 器件的这些薄膜材料的基本物理特性,具体包括有源层(Active Layer, AL)、栅绝缘层(Gate Insulator, GI)、保护层(Passivation Layer, PL)、栅电极(Gate Electrode, GE)、源漏电极(Source/Drain Electrode, S/D)和像素电极(Pixel Electrode, PE)等。从电学特性上区分,上述材料包括半导体(AL)、绝缘体(GI, PL)和导体(GE, S/D, PE)等。其中,起核心作用的材料便是半导体有源层,目前实际生产中采用最多的是非晶硅(a-Si)和多晶硅(p-Si),因此本章便从这两种材料的物理特性讲起,接着再讲解 TFT 中常用的绝缘层材料和电极层材料特性,最后简单介绍在 TFT 技术中最常用的基板材料——玻璃基板和柔性基板。

3.1 非晶硅材料物理

在电子工业中使用的材料基本上都是固体。从结构的有序度划分,固体可分为单晶体、多晶体和非晶体。非晶硅(a-Si)是非晶体的一种,所以非晶体具有的共性非晶硅全都具备。因此,在详细讲解 a-Si 的材料物理前先简单介绍非晶体的基本概念和相关物理特性。

3.1.1 非晶体简介

单晶体是最简单也是目前为止研究最清楚的,因此在讲解非晶体和多晶体时一般都会以单晶体的结构作为参照。如图 3.1(a)所示,单晶体的原子排列是非常有规律的,如果选出一个基本结构单元并按照此单元重复,便可获得完整的单晶体,这样的结构特点称为长程有序。图 3.1(b)给出了非晶体的基本结构,我们可以很容易分辨出非晶体的结构与单晶体截然不同,不具有长程有序的特点。实际上,非晶体的结构特点是短程有序,相关内容将在后续章节中详细介绍。

在长程有序的基础上,根据单晶体的对称性特点可以进一步将其划分为 7 大晶系,即三斜、单斜、正交、四方、菱方、六方和立方。其中,立方晶系最常见,大部分半导体材料都属于

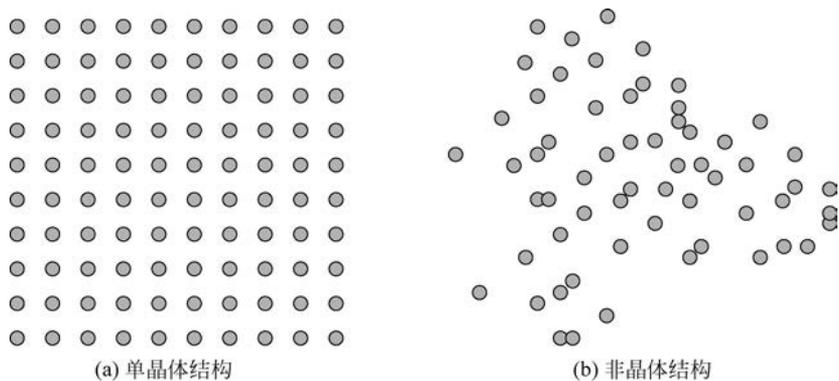


图 3.1 单晶体结构和非晶体结构

立方晶系。根据基本单元的特点立方晶系又可划分为简单立方、体心立方和面心立方三种结构,如图 3.2 所示。经常使用的半导体单晶体,如硅、锗、砷化镓和氮化镓等都是以面心立方为基础的晶体结构。

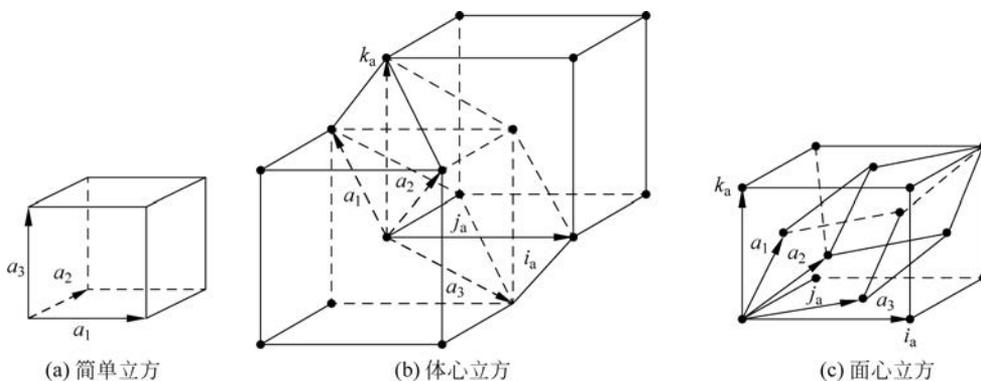


图 3.2 立方晶系

事实上,单晶体的结构也并非十全十美的,其中往往会存在一定的缺陷。比较常见的缺陷包括空位(vacancy)、间隙原子(interstitial)和位错(dislocation)等,如图 3.3 所示。一般而言,单晶体的晶格格点位置处都会有原子分布,如果由于某些原因导致格点原子缺失,便将这种缺陷称为空位,如图 3.3(a)所示。另外,如果在晶格格点的间隙位置多出了一个原子,便将这种缺陷称为间隙原子,如图 3.3(b)所示。空位和间隙原子都属于点缺陷,位错则属于线缺陷。图 3.3(c)所示的是最常见的刃型位错,即一排原子中的部分缺失导致的缺

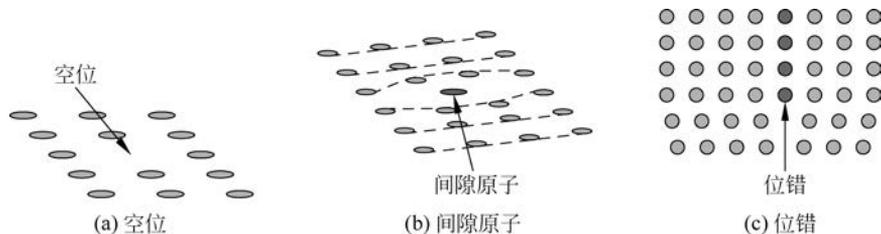


图 3.3 单晶体中的缺陷

陷。除了点缺陷和线缺陷还有面缺陷,3.2节详细介绍的晶界便是面缺陷的一种。上述这些缺陷的存在势必会在单晶体的能带上有所反映,并在一定程度上影响其电学特性。

有时为了改变单晶体的电学性质而有意加入一些杂质原子,这种做法一般称为掺杂。如图3.4(a)所示,如果杂质原子替代基体原子而位于晶格格点可能形成替代型杂质(substitutional impurity);如图3.4(b)所示,如果杂质原子位于基体晶格原子的间隙位置便形成间隙型杂质(interstitial impurity)。这些杂质原子同样会在单晶体的能带中形成能级并显著影响其电学特性。

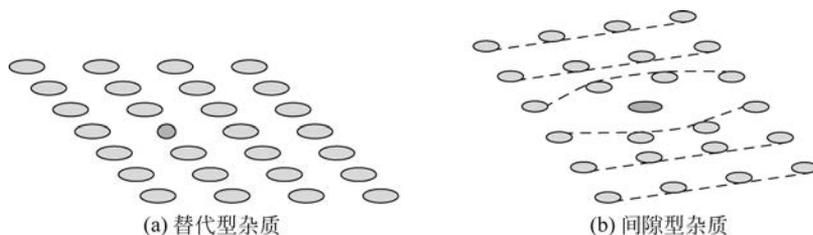


图 3.4 单晶体中的杂质原子

单晶体的构成有赖于原子间的价键结合,根据结合特点的不同,价键一般可分为共价键、离子键和金属键。常见元素的半导体材料都是由共价键结合而成的,化合物半导体则会在一定程度上存在离子键结合。

以上简单介绍了单晶体的结构特点,其中大部分特点对非晶体也同样适用。例如,非晶体也同样由价键构成,其中也存在缺陷和杂质原子等。另外,非晶体在结构上与单晶体也存在显著不同,这主要体现在有序度上。如图3.1(b)所示,非晶体的原子在总体上是杂乱无章的,只在最近邻原子间存在一定的有序度,这种结构称之为短程有序。事实上,液体的结构便是短程有序。当液体缓慢冷却时,原子有充足的时间进行扩散运动并达到理想的位置,因此最终形成晶体;当液体快速冷却时,原子没有充足的时间进行扩散运动,所以在形成固体时保留了液体的短程有序特点,最后形成的是非晶体。从非晶体的形成过程可以得到两个重要结论:①非晶体在热力学上是不稳定的,处于“亚稳态”,所以外界条件变化时有转化成晶体的趋势;②非晶体中的缺陷比率远远高于单晶体。

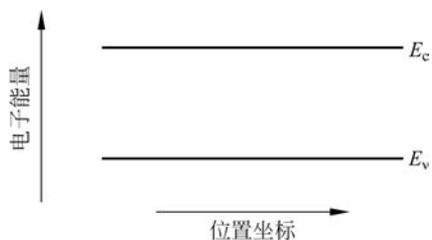


图 3.5 单晶体的能带示意图

下面再回到单晶体电学特性的介绍上来。根据单晶体的晶体结构和势场分布,可以求解薛定谔方程组,进而获得单晶体的基本电学结构。为方便起见,一般采用能带图来描述单晶体材料的电学结构特点。如图3.5所示,单晶体一般都具有清晰的禁带结构,禁带中具有极少的缺陷能级。当然,如果对单晶体进行掺杂,禁带中可能出现较多的杂质能级。根据单晶体能带特点的不同,可将固体再划分为

导体、绝缘体和半导体。简单地讲,价带全满导带全空且禁带宽度较大($>4.0\text{eV}$)的材料为绝缘体;价带全满导带全空且禁带宽度较小($<4.0\text{eV}$)的材料为半导体;在导带中半充满或导带和价带存在重叠情况的材料一般都是导体。实际上,上述这种划分绝缘体、半导体和导体的方法并不仅限于单晶体,对于多晶体和非晶体一般也适用。

非晶体的情况与单晶体相比存在显著不同。前面讲过,非晶体是长程无序的,这必然导致在非晶体中的势场存在较强的能量起伏,使电子难以自由移动。非晶体的原子排列存在短程有序,即在近邻范围内原子的排列与单晶体是非常类似的,这就决定了非晶体也会形成与单晶体类似的能带结构。当势场的能量起伏较小时,电子仍能在导带中自由移动并形成导电;当势场的能量起伏非常严重时,电子将无法在能带中自由移动,这种情况称为电子被“局域化”了。电子的局域化现象体现在能带上便是在非晶体的禁带中形成缺陷态。如图 3.6 所示,非晶体一般仍能形成比较明确的禁带,但禁带中会存在大量的缺陷态。如果缺陷态分布在导带底或价带顶附近,我们称之为带尾态(tail states);如果缺陷态分布在费米能级附近,我们称之为深能级态(deep states)。这些缺陷态会显著影响非晶体的电学性质,使其在电学特性上与单晶体存在较明显的区别。需要强调的是,这种区别并非本质上的区别,只是量变意义上的区别。实践证明,决定物质本质特性的是其短程结构。非晶体材料与其对应的单晶体材料在短程结构上是基本相同的。因此,如果某种材料在单晶体时是半导体,在非晶体时也一定是半导体。正是因为这个原因,非晶硅与单晶硅一样也是半导体材料。接下来详细讲解非晶硅材料的结构和电学特性。

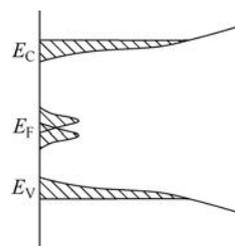


图 3.6 非晶体能带结构示意图

3.1.2 非晶硅材料结构

非晶硅是最常用的非晶体材料之一,可以用作 TFT 的有源层和薄膜太阳能电池中的半导体层等。在正式讲解非晶硅结构之前先简单介绍单晶硅材料的基本结构特点以作为参照。事实上,在短程范围内非晶硅的结构与单晶硅是基本相同的。

众所周知,单晶硅在集成电路和太阳能电池等领域得到了非常广泛的应用,而且硅又是地壳中含量最丰富的化学元素之一。上述这些因素导致单晶硅成为到目前为止人类研究最透彻的一种材料。图 3.7 是单晶硅晶包结构和价键结构的示意图。如图 3.7(a)所示,单晶硅属于金刚石结构,其晶胞包括 8 个原子。其中,8 个顶点上各有一个原子,分摊计算后相当于每个晶胞有 1 个顶点原子;6 个面心各有 1 个原子,分摊计算后相当于每个晶胞有 3 个面心原子;晶胞内部还有 4 个原子。这样将顶点原子、面心原子和晶胞内部原子加和后计算出每个晶胞包含 8 个原子。如果考虑单晶硅最基本的结构单元,则如图 3.7(b)所示,4 个硅原子构成正四面体结构。事实上,这也正是单晶硅的共价键结构示意图,其中键长 0.235nm ,键角 $109^{\circ}28'$ 。

单晶硅的原子序数是 14,最外层包括 4 个电子。这 4 个电子中分别有 2 个电子属于 s 亚层,另外 2 个电子属于 p 亚层。但当硅原子组合成硅晶体后,因为轨道杂化的原因,这 4 个电子参与形成了对称的价键结构,如图 3.7(b)所示。假设单晶硅晶体的原子数目为 N ,则 $4N$ 个电子会形成两种状态,即反成键态(anti-bonding state)和成键态(bonding state);前者扩展成导带,后者扩展成价带,如图 3.8 所示。单晶硅的禁带位于导带和价带之间,宽度约为 1.10eV 。本征单晶硅的电子和空穴浓度相同,均约为 10^{10}cm^{-3} 。如果在单晶硅中掺杂 P、As 等元素将使其电子浓度显著高于空穴浓度,从而形成 N 型单晶硅;如果在单晶硅中掺杂 B 等元素将使其空穴浓度显著高于电子浓度,从而形成 P 型单晶硅。单晶硅中缺

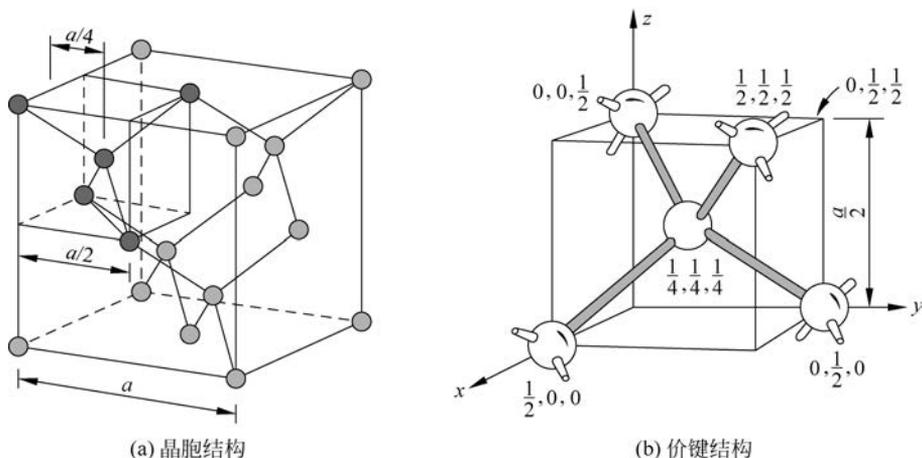


图 3.7 单晶硅晶包结构和价键结构

陷浓度极低,所以禁带中基本上没有缺陷态存在。关于单晶硅材料详细的特性参数可参考附录 C。

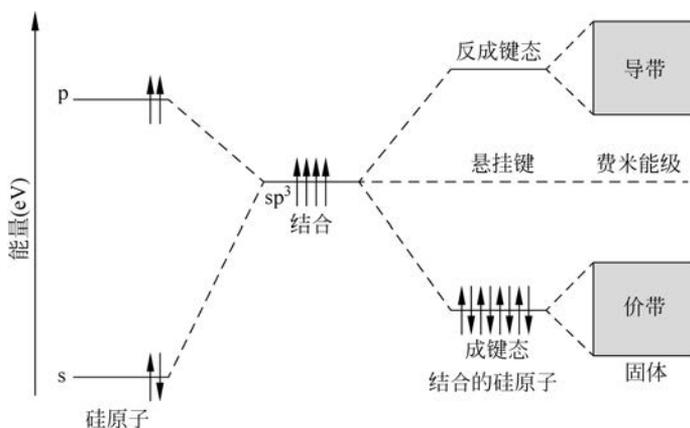


图 3.8 单晶硅晶体的能带结构

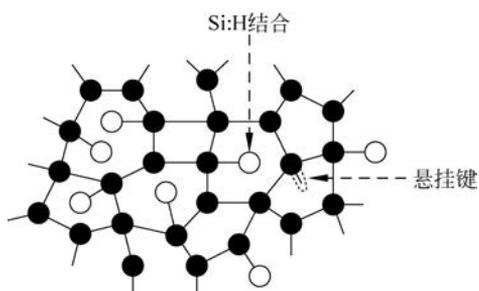


图 3.9 非晶硅的晶体结构示意图

与单晶硅相比,非晶硅的晶体结构发生了较大的变化。如图 3.9 所示,非晶硅的原子分布从总体上看是杂乱无章的,即长程无序。但是从某一个原子出发,观察其最近邻原子的分布状况,则很容易发现存在着与单晶硅类似的情况,这便是所谓的短程有序。与单晶硅类似,非晶硅原子的周围一般也包括 4 个最近邻原子并形成共价键。但与单晶硅不同之处在于,非晶硅的共价键往往是不理想的。前面提到过,单晶硅共价键的键长是 0.235nm,键角为 $109^{\circ}28'$; 非晶硅的键长和键角则围绕上述值在一定范围内浮动。其中键长浮动范围较小,小于 $\pm 1\%$; 键角的浮动范围

其中键长浮动范围较小,小于 $\pm 1\%$; 键角的浮动范围

则相当大,约为±10%。键角偏离 109°28' 越大,共价键的结合力越弱。通常称键角偏离较大的价键为弱键(weak bonds)。

非晶硅在价键结构上还有一点与单晶硅显著不同。单晶硅原子必须与周边 4 个硅原子形成共价键,非晶硅则不一定。如图 3.9 所示,一个非晶硅原子可能只与周边 3 个原子形成共价键,剩下的一个价键处于悬空状态,我们形象地称之为悬挂键(dangling bond)。在非晶硅中悬挂键大量存在并使非晶硅的电学特性变得极差。如图 3.10(a)所示,非晶硅的悬挂键会在禁带中形成大量的缺陷态,这些缺陷态都是局域化态(localized states),即处于其中的电子都是无法移动的。为了解决这一问题,通常加入氢原子以修补这些缺陷态。氢原子最外层有 1 个电子,悬挂键最外层也只有一个电子,两者结合后恰好可以达到互补的效果。如图 3.10(b)所示,掺氢的非晶硅(简称氢化非晶硅, a-Si:H)禁带中的缺陷态显著减少。在实际生产中,一般采用的都是非晶硅,通常氢原子的掺入量为 10 at. % 以下。如果氢原子掺入量超过 10 at. %,可能出现一个硅原子与两个氢原子结合的情况,这种价键结构的 a-Si:H 是非常不稳定的;如果氢原子的掺入量超过 20 at. %,非晶硅薄膜中可能会出现氢集中析出并导致孔洞的出现,这样的材料显然是无法使用的。因此,在实际生产中必须严格控制氢原子的掺入量。

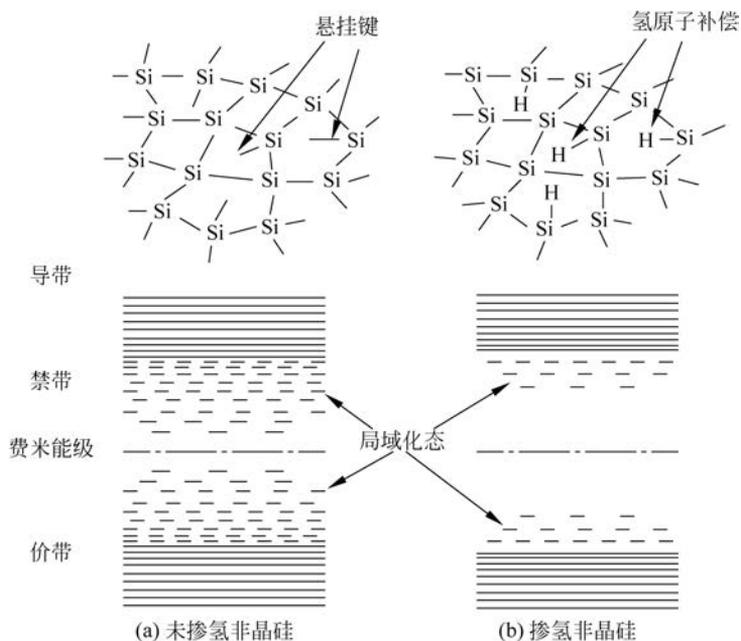


图 3.10 未掺氢非晶硅与掺氢非晶硅的结构和能带示意图(摘自参考文献[1])

图 3.11 是非晶硅能带态密度(Density of States, DOS)的示意图。首先,非晶硅与单晶硅一样具有清晰的禁带(E_g),但是非晶硅的禁带宽度($\sim 1.8\text{eV}$)略大于单晶硅($\sim 1.1\text{eV}$)。其次,与单晶硅一样,非晶硅的共价键也会形成扩展态(extended states),包括导带(conduction band)和价带(valence band),扩展态中的载流子(导带中的电子和价带中的空穴)是可以自由移动的。非晶硅的能带态密度与单晶硅相比也存在显著的不同,这主要表现在禁带中的态密度分布特点上。本征单晶硅的禁带非常“干净”,基本上没有缺陷态的分布。

但是非晶硅的情况则完全相反,在禁带内会存在大量的缺陷态或局域化态。前面提到过,在非晶硅的共价键中存在很多键角偏差较大的弱键,这些弱键分别在 E_c 和 E_v 附近导致大量的带尾态,如图 3.11 所示。此外,尽管通过掺氢可以显著降低非晶硅中的悬挂键,但仍然会有大量的悬挂键存在在非晶硅中,并导致在费米能级附近的深能级缺陷态,如图 3.11 所示。

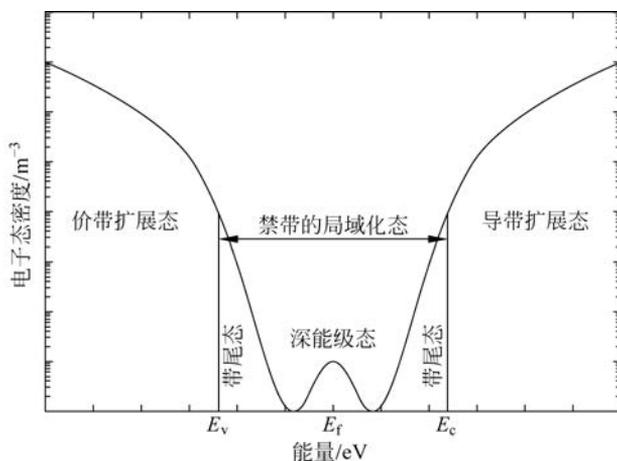


图 3.11 非晶硅的能带态密度示意图(摘自参考文献[1])

根据图 3.10 和图 3.11 可以发现,非晶硅的能带结构最大的特点是在其禁带中存在大量的缺陷态,这些缺陷态依照其起源的不同可以划分为带尾态(由弱键引起)和深能级缺陷态(由悬挂键引起)。此外,还可以从其他角度对这些缺陷态进行划分。首先我们可以以费米能级为界将禁带划分为上下两个部分。在禁带上半部分的缺陷态一般在没有电子填充时是电中性的,被电子填充时带负电,因为其与受主的特性比较类似,所以通常称之为“类受主态”(acceptor-like states);在禁带下半部分的缺陷态一般在没有电子填充时是带正电的,被电子填充时呈电中性,因为其与施主的特性比较类似,所以一般称之为“类施主态”(donor-like states)。类受主态一般位于费米能级的上面,所以通常没有被电子占据;如果由于某种原因导致费米能级相对上移并越过类受主态,则这些类受主态将被电子占据,因此认为类受主态具有俘获电子的功能。与此相反,类施主态一般位于费米能级的下面,所以通常被电子占据;如果由于某种原因导致费米能级相对下移并越过类施主态,则这些类施主态将失去电子(或被空穴占据),因此认为类施主态具有俘获空穴的功能。需要特别指出的是,因为非晶硅禁带内的类施主态和类受主态的密度并不相同,导致被俘获的电子数目略少于空穴数目,因此自由电子的数目略大于自由空穴,即本征非晶硅在电学特性上呈现弱 N 型。这一点与单晶硅是不同的。

实验证明,非晶硅禁带中的缺陷态符合指数函数分布或高斯函数分布。为简单起见,这里都采用指数函数加以描述。据前述,非晶硅禁带中的缺陷态可分为类受主态和类施主态,而这两种态又分别可划分为带尾态和深能级态。因此,需要描述的缺陷态密度($g(E)$)应包含类受主态态密度($g_A(E)$)和类施主态态密度($g_D(E)$)。前者又包含类受主带尾态(acceptor-like band tail states)态密度和类受主深能级态(acceptor-like deep states)态密度;后者又包含类施主带尾态(donor-like band tail states)态密度和类施主深能级态(donor-like deep states)态密度。综上所述, $g_A(E)$ 可以用以下指数函数描述:

$$g_A(E) = g_{tc} \exp\left(\frac{E - E_C}{E_{tc}}\right) + g_{dc} \exp\left(\frac{E - E_C}{E_{dc}}\right) \quad (3.1)$$

式中, E_C 为导带底能级, g_{tc} 和 E_{tc} 是与类受主带尾态态密度相关的参数, g_{dc} 和 E_{dc} 是与类受主深能级态态密度相关的参数。与式(3.1)类似, g_D 也可以用以下指数函数描述:

$$g_D = g_{tv} \exp\left(\frac{E_V - E}{E_{tv}}\right) + g_{dv} \exp\left(\frac{E_V - E}{E_{dv}}\right) \quad (3.2)$$

式中, E_V 为价带顶能级, g_{tv} 和 E_{tv} 是与类施主带尾态态密度相关的参数, g_{dv} 和 E_{dv} 是与类施主深能级态态密度相关的参数。

在本征单晶硅中, 在价带的电子跃迁至导带后会形成可以自由移动的电子和空穴, 而在禁带内一般不存在载流子。非晶硅的情况则存在显著不同。一方面, 因为扩展态的存在, 本征非晶硅内也具有一定浓度的自由电子和空穴; 另一方面, 因为非晶硅的禁带内存在大量的缺陷态, 所以较多的电子和空穴会被俘获在这些缺陷态内。正因为如此, 一般禁带内的缺陷态也称之为“俘获态”。如前所述, 类受主态可以俘获电子, 类施主态可以俘获空穴。这些被俘获的电子和空穴是不能自由移动的, 一般情况下对导电是没有帮助的。由此可以推断, 在本征非晶硅中的自由载流子的浓度要远远低于本征单晶硅。下面将分别推导出在非晶硅中自由载流子和被俘获载流子浓度的物理方程。

众所周知, 电子属于费米子, 因此符合费米分布的基本规律, 即电子占据能级 E 的概率为

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (3.3)$$

式中, E_F 是费米能级, T 为绝对深度。导带扩展态态密度可表示为

$$g_E(E) = g_{fc} \exp\left(\frac{E - E_C}{E_{fc}}\right) \quad (3.4)$$

式中, g_{fc} 和 E_{fc} 是与导带扩展态分布相关的参数。在导带扩展态内的自由电子浓度可以表示为

$$n_{free} = \int_{E_C}^{\infty} g_E(E) f(E) dE \quad (3.5)$$

将式(3.3)和式(3.4)代入式(3.5)中可得

$$n_{free} = n_{fi} \exp\left(\frac{\psi}{v_{th}}\right) \quad (3.6)$$

式中, $\psi = E_F - E_i$, 即费米能级与本征费米能级之间的能量差距; n_{fi} 是本征自由电子浓度; $v_{th} = kT$, 即玻耳兹曼常数与绝对温度的乘积。价带扩展态态密度可表示为

$$g_H(E) = g_{fv} \exp\left(\frac{E_V - E}{E_{fv}}\right) \quad (3.7)$$

式中, g_{fv} 和 E_{fv} 是与价带扩展态分布相关的参数。而在价带扩展态内的自由空穴密度可以表示为

$$p_{free} = \int_{-\infty}^{E_V} g_H(E) (1 - f(E)) dE \quad (3.8)$$

将式(3.3)和式(3.7)代入式(3.8)可得

$$p_{\text{free}} = p_{\text{fi}} \exp\left(-\frac{\psi}{v_{\text{th}}}\right) \quad (3.9)$$

式中, p_{fi} 是本征自由空穴浓度。被俘获载流子浓度的计算原理与自由电子基本相同, 其中被类受主态俘获的电子浓度可根据以下方程计算:

$$n_{\text{t}} = \int_{E_{\text{V}}}^{E_{\text{C}}} g_{\text{A}}(E) f(E) \text{d}E \quad (3.10)$$

将式(3.1)和式(3.3)代入式(3.10)中可得

$$n_{\text{t}} = n_{\text{ti}} \exp\left(\frac{\psi}{v_{\text{nt}}}\right) + n_{\text{di}} \left(\frac{\psi}{v_{\text{nd}}}\right) \quad (3.11)$$

式中, n_{ti} 和 v_{nt} 是与类受主带尾态分布相关的参数, n_{di} 和 v_{nd} 是与类受主深能级态分布相关的参数。同理, 在类施主缺陷态中俘获的空穴则可表示为

$$p_{\text{t}} = \int_{E_{\text{V}}}^{E_{\text{C}}} g_{\text{D}}(E) (1 - f(E)) \text{d}E \quad (3.12)$$

将式(3.2)和式(3.3)代入式(3.12)中可得

$$p_{\text{t}} = p_{\text{ti}} \exp\left(-\frac{\psi}{v_{\text{pt}}}\right) + p_{\text{di}} \exp\left(-\frac{\psi}{v_{\text{pd}}}\right) \quad (3.13)$$

式中, p_{ti} 和 v_{pt} 是与类施主带尾态分布相关的参数, p_{di} 和 v_{pd} 是与类施主深能级态分布相关的参数。

至此, 我们推导出了在非晶硅中所有载流子浓度的表达式, 包括: ①由式(3.6)和式(3.11)分别表示的自由电子浓度和俘获电子浓度; ②由式(3.9)和式(3.13)分别表示的自由空穴浓度和俘获空穴浓度。对于电子而言, 无论是自由电子浓度还是俘获电子浓度均随着 ψ 的增加而增加; 对于空穴而言, 无论是自由空穴浓度还是俘获空穴浓度均随着 ψ 的增加而减少。下面以电子为例, 详细分析在扩展态、带尾态和深能级态的电子是如何随着 ψ 的变化而变化的。相关分析结果对理解第4章将要讲解的 a-Si TFT 的器件物理具有较大帮助。

表 3.1 给出了非晶硅材料中电子浓度表达式式(3.6)和式(3.11)中各物理参数的取值范围。根据指数函数的变化规律以及表 3.1 中给出的各参数的相互比对关系, 可以得出如下定性的结论: ①本征态非晶硅的绝大部分电子都被俘获在深能级缺陷态中; ②随着 ψ 的逐渐增加越来越多的电子会被深能级态、带尾态和扩展态所俘获; ③被带尾态俘获电子的增长速度高于深能级态, 而自由电子的增长速度又高于带尾态; ④当 ψ 较大时, 被带尾态俘获的电子数占主导地位; ⑤当 ψ 足够大时, 自由电子的数目将远大于被俘获的电子数目, 此时非晶硅的电导率较大。实际上, 构成非晶硅 TFT 最核心的结构 MIS 电容所感生的电子浓度随栅极电压的变化而变化的基本规律正是与上述定性结论相吻合的。更进一步讲, 非晶硅 TFT 沟道载流子浓度随栅极电压的变化也符合上述基本规律。

表 3.1 非晶硅材料中电子浓度表达式参数

扩展态/带尾态/深能级态	本征态密度/cm ⁻³	指数斜率/mV
扩展态	$n_{\text{fi}} \sim 10^{10}$	$v_{\text{th}} \sim 25.9$
带尾态	$n_{\text{ti}} \sim 6.2 \times 10^{13}$	$V_{\text{nt}} \sim 30$
深能级态	$n_{\text{di}} \sim 10^{15}$	$V_{\text{nd}} \sim 85$

前面提到, 本征非晶硅呈弱 N 型, 但在实际生产中, 往往还需要强 N 型非晶硅, 即

n^+ a-Si, 所以需要对非晶硅进行掺杂。起初科研人员认为, 非晶硅是不能进行掺杂的, 因为非晶硅的共价键不像单晶硅一样受到键角、键长和价键数目的约束。但实验证明, 非晶硅是可以进行掺杂的, 例如在非晶硅中掺磷即可以获得 n^+ a-Si。理论研究证明, 非晶硅的掺杂物理机制与单晶硅完全不同, 掺杂效果不仅与杂质浓度有关, 而且与弱键数目和悬挂键数目有关。事实上, 随着掺杂的增加, 悬挂键的数目也会相应增加, 并导致费米能级的位置发生变化。在实际生产中, 非晶硅的掺杂一般采用原位掺杂的方法, 即在非晶硅成膜时通入含有掺杂原子的气体(如磷烷等), 在成膜的同时也一并完成掺杂工艺。

3.1.3 非晶硅电学特性

非晶硅在短程序结构上与单晶硅基本相同, 因此本征非晶硅也与本征单晶硅一样呈现典型的半导体特性。此外, 因为非晶硅在禁带内存在大量的缺陷态, 所以其电学特性与单晶硅也存在显著的不同点。下面介绍非晶硅材料在不同温度范围内的导电物理机制。

1) 极低温度范围

在极低温(接近 0K)的情况下, 单晶硅材料基本上是不导电的, 因为此时电子的能量极低, 无法实现从价带跃迁到导带并形成自由载流子。非晶硅的情况则有所不同, 因为其禁带内存在大量的缺陷态, 所以在极低温时可以通过变程跳跃(variable range hopping)的物理机制实现导电。如图 3.12 所示, 在非晶硅的费米能级以下(同时非常接近费米能级)的深能级态上的电子所具有的能量与费米能级以上(同时非常接近费米能级)的深能级态的电子能量非常接近, 所以在外电场的作用下, 上述电子可以实现从前一种缺陷态跃迁到后一种缺陷态, 在宏观上表现为有微小的电流产生。

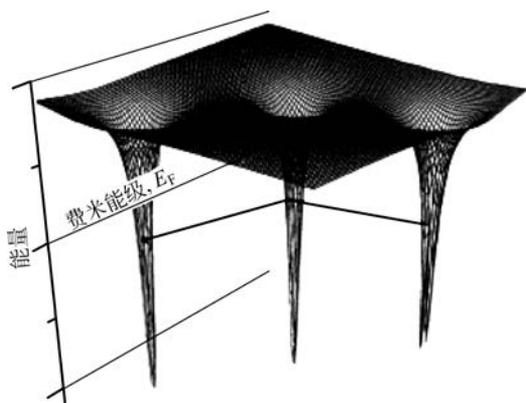


图 3.12 非晶硅极低温时导电物理机制示意图(摘自参考文献[1])

非晶硅通过变程跳跃机制导电的电导率可以表示为

$$\sigma_h = \sigma_{h0} \exp\left(-\frac{\alpha_h}{T^{\frac{1}{4}}}\right) \quad (3.14)$$

式中, σ_{h0} 是电导率系数, α_h 是常数。根据式(3.14), 在极低温的范围内, 非晶硅的电导率随着温度的增加而增加。

2) 中等温度范围

当温度继续升高时, 例如在室温左右时, 电子的能量已经高到可以从类施主带尾态跃迁

到类受主带尾态；进入类受主带尾态的电子被局域化在弱键附近，同时在类施主带尾态会留下被局域化在弱键附近的空穴。上述电子和空穴在外加电场的作用下，可以从一个缺陷态跳跃到另一个缺陷态，从而在宏观上表现为有一定大小的电流产生。这种导电物理机制称为“带尾态跳跃”(band tail hopping)。非晶硅在中等温度范围内的电导率可表达为

$$\sigma_t = \sigma_{t0} \exp\left(-\frac{E_{Ct} - E_F}{kT}\right) \quad (3.15)$$

式中， E_{Ct} 是类受主带尾态的平均能级；参数 σ_{t0} 与带尾态内跳跃概率有关，一般与带尾态密度和态间波函数重叠程度有关。

需要特殊强调的是，非晶硅室温电导率取决于带尾态跳跃机制，所以其数值较低，约为 $10^{-8} \Omega^{-1} \text{m}^{-1}$ 。

3) 高温范围

当温度继续升高，例如在 500 K 左右时，在价带内的电子具有足够的能量跃迁至导带内，从而在扩展态内形成较多的电子和空穴。在扩展态内的载流子不再被局域化，属于自由电子和自由空穴。因此，此时非晶硅的导电为扩展态导电(extended states conduction)物理机制。宏观表现的导电电流要远大于前面提到的两种物理机制。研究表明，非晶硅在高温时的电导率可由以下方程表示：

$$\sigma_e = \sigma_{e0} \exp\left(-\frac{E_C - E_F}{kT}\right) \quad (3.16)$$

式中， σ_{e0} 为高温导电电导率系数。

需要着重指出的是，尽管非晶硅高温时是自由载流子参与导电，但因其晶格结构呈现长程无序，电子或空穴运动时极易遭到晶格散射，所以非晶硅的载流子迁移率相对较低。与单晶硅的情况(电子迁移率 $\sim 1350 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ ，空穴迁移率 $\sim 480 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)不同，非晶硅的电子迁移率不到 $1 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ ，空穴迁移率更是只有 $0.02 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ 。

与所有的非晶体材料一样，非晶硅的电学特性也处于亚稳态。外界环境条件一旦发生变化，其电学特性也会发生变化。最典型的例子便是 SWE (Staebler-Wronski Effect) 效应，即随着照光强度的增加，非晶硅的电阻率会显著下降，如图 3.13 所示。

非晶硅电学特性的不稳定归根结底来自其内部缺陷态的不稳定。外界环境的变化可以为非晶硅提供一定的能量，在此能量的作用下，非晶硅内的缺陷态密度将发生变化。例如，链状(chain-like)结构，即一个硅原子同时与两个氢原子连接的结构，是非常不稳定的，当外界环境发生变化时，非常可能与周边的价键发生反应而产生新的悬挂键，即



式中，D 表示悬挂键。需要强调的是，式(3.17)所示的反应是可逆的。当外加光照时反应由左至右进行，缺陷态产生；当对非晶硅进行退火处理时，反应由右至左进行，即缺陷态因消灭而数量减少，如图 3.14 所示。

如果从更广泛的角度讨论非晶硅的不稳定性，一般认为非晶硅中的悬挂键、弱键和氢原子含量之间都是相互关联的，如图 3.15 所示。当非晶硅中氢原子含量发生变化时，悬挂键和弱键的数量也随之而变，反之亦然。更为重要的是，非晶硅的掺杂、导电及电学稳定性都与这三个因素密切相关。因此，要想获得稳定的非晶硅材料，必须建立图 3.15 所示的三元素之间相对稳定的平衡关系。显然，在非晶硅中三元素可以建立多种状态下的平衡，但有些

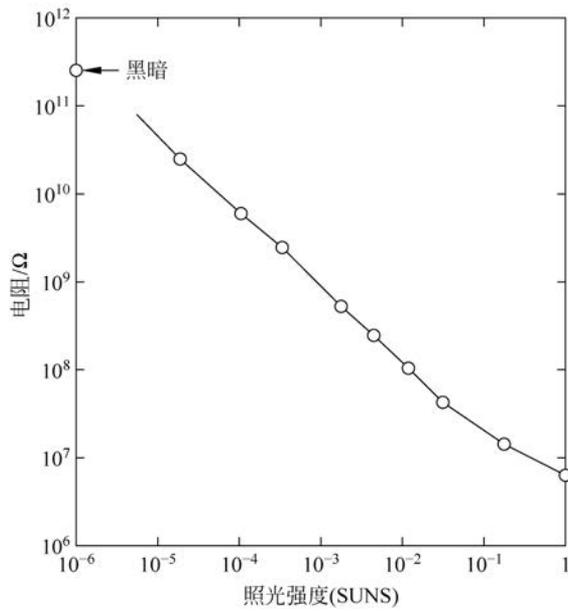


图 3.13 非晶硅材料的 SWE 效应

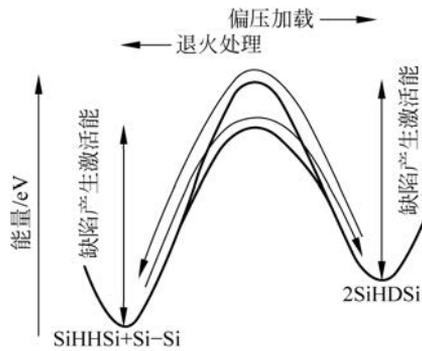


图 3.14 非晶硅中缺陷态产生物理机制示意图

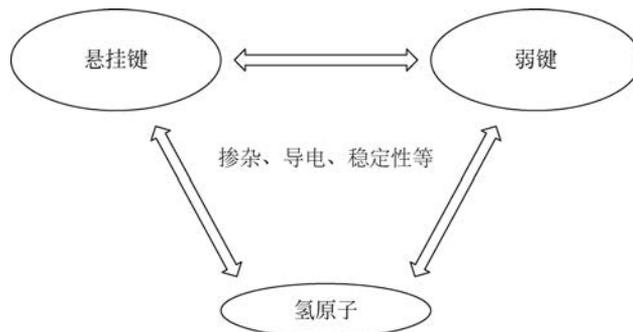


图 3.15 非晶硅不稳定性机理示意图：弱键、悬挂键和氢原子之间的关系

平衡很容易被打破,这种状态下的非晶硅材料便是不稳定的。因此,工艺探索的目的便是发现能够获得相对比较稳定平衡关系的工艺条件,相关内容将在第5章和第6章中有所涉及。

3.2 多晶硅材料物理

目前最常见的薄膜晶体管有源层材料是3.1节介绍的非晶硅。除此之外,多晶硅(p-Si)薄膜因为具有较高的迁移率也在TFT技术中得到了越来越广泛的应用。实际上,多晶硅材料还在IC、太阳能电池等技术领域中发挥了重要作用。从材料的结构特点分类上来说,多晶硅属于多晶体中的一种,所以多晶体所具有的结构和物理特性多晶硅都具备。当然,多晶硅也具有一些自身所独有的结构和特性。为了更全面和深入地理解多晶硅材料的结构和物理特性,先简单介绍多晶体的基本定义和相关结构特点,然后再全面而深入地讲解多晶硅材料的结构特点和电学特性。

3.2.1 多晶体简介

前面介绍过单晶体的基本结构和分类,本节介绍多晶体的相关内容。简单地讲,多晶体与单晶体都属于晶体的范畴,但前者在自然界中更为普遍存在。如图3.16所示,多晶体是由许多晶粒(grain)和晶界(grain boundary)共同构成的晶体结构。晶粒中的原子排列与单晶体完全相同,是长程有序的。晶界内的原子排列则是非常混乱的。晶界是结晶时直接产生的,因为结晶时结晶中心不止一个,当各结晶中心进一步长大并相遇时,即在汇合处形成晶界。由此可见,多晶体晶粒的大小(或晶界的多寡)与结晶时结晶中心的数量有密切的关系。如果结晶中心较多,便会形成较小的晶粒(或较大的晶界体积比例);反之,便会形成较大的晶粒(或较小的晶界体积比例)。

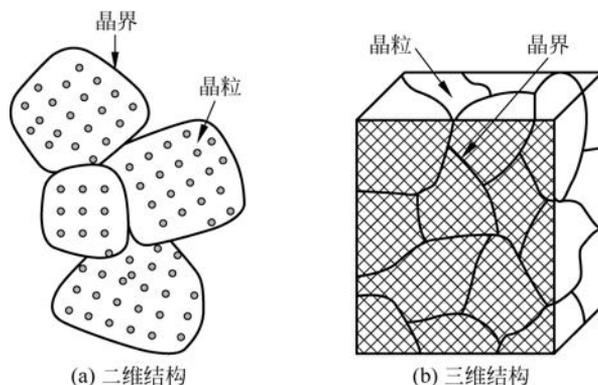


图 3.16 多晶体结构示意图

从结构上讲,多晶体最显著的特点便是具有大量的晶界。因此,只有对晶界的结构有一个清晰的理解才能真正掌握多晶体的结构特点。事实上,由于晶界两边的晶粒质点排列取向有一定差异,两者都力图使晶界上的质点排列符合于自己的取向,当达到平衡时,就形成某种过渡的排列方式。在多晶体研究的早期,科研人员提出了许多理论模型来描述晶界结构,具体包括以下几种。

(1) 皂泡模型。晶界由 3~4 个原子间距厚的区域组成,晶界层内原子排列较差,具有比较松散的结构,原子间的键被打断或被严重扭曲,具有较高的界面能量。皂泡模型过分夸张了晶界结构的无序性。

(2) 过冷液体模型。晶界层中的原子排列接近于过冷液体或非晶态物质,在应力的作用下可引起黏性流动,但只有认为晶界层很薄(不超过两三个原子厚度)时才符合实验结果。根据晶界的过冷液体模型,多晶体即可简单地看作单晶体和非晶体的混合物。这一概念后续还会用到。

(3) 小岛模型。晶界中存在原子排列匹配良好的岛屿,散布在排列匹配不好的区域中,这些岛屿的直径约为数个原子间距,用小岛模型同样也能解释晶界滑动的现象。

上述模型都分别具有其合理性,也同时具有与实际情况不符合之处。到目前为止,仍然没有非常完善的晶界理论模型。另外,也可以根据晶界两边晶粒取向差的大小将晶界分为以下两大类。

(1) 小角度晶界。一般而言,如果晶界两边晶粒原子排列取向差小于 10° ,称这种晶界为小角度晶界。根据形成方式的不同,小角度晶界又可划分为倾转晶界和扭转晶界两种;前者可认为由刃型位错构成,而后者则可认为由螺型位错构成。

(2) 大角度晶界。与小角度晶界不同,大角度晶界的两边晶粒原子排列取向差一般都大于 10° 。大角度晶界的结构相对比较复杂,根据其界面原子排列特点,可以将大角度晶界划分为共格界面、半共格界面和非共格界面三种。如果界面的原子恰好位于两晶粒的晶格节点上,即界面处原子的阵点位置刚好重合便形成共格界面。共格界面是最简单的特殊大角度晶界。实际上,最常见的大角度晶界应该是非共格界面,即两晶粒之间界面处原子无重合点阵关系。此外,如果界面处原子的重合状态介于上述两种情况之间则称为半共格界面。半共格界面可以采用刃型位错周期性地调整补偿的方法加以描述。

至此,我们可以对晶界的特性加以总结。晶界上的质点具有一定的排列规律,但比正常晶格的规律性要差很多。晶界中存在着大量空位、位错与键变形等缺陷,导致晶界处于高能状态并具有许多特殊性质。具体而言,晶界的特点可总结如下:

- (1) 晶界内质点排列偏离了理想点阵,因此晶界属于面缺陷。
- (2) 由于晶界能量高而容易富集杂质,使晶界的熔点低于晶粒。
- (3) 晶界内质点容易迁移,是扩散的快速通道。
- (4) 晶界是固态相变时优先成核区域。
- (5) 晶界结构疏松,容易受到腐蚀(热腐蚀、化学腐蚀等)。

在实际生产和科研中,可以利用上述第(5)条性质对多晶体表面进行化学腐蚀,从而能够清晰地观察到晶界的具体位置和形状,如图 3.17 所示。

为了能够定量地研究多晶体的结构和特性,有必要定义一些与多晶体结构密切相关的物理量,比较常见的有两个:晶界能和晶粒尺寸。

如前所述,晶界上的原子排列是不规则的,存在畸变,从而使系统的自由能增高。晶界能(grain boundary energy)定义为形成单位面积界面时系统自由能的变化(dF/dA),它等于界面区单位面积的能量减去无界面时该区单位面积的能量。小角度晶界的能量主要来自位错能量(形成位错的能量和将位错排成有关组态所做的功),而位错密度又决定于晶粒间的位向差,所以小角度晶界能 γ 也和位向差 θ 有关。大角度晶界能在 $0.25 \sim 1.0 \text{ J/m}^2$ 范围

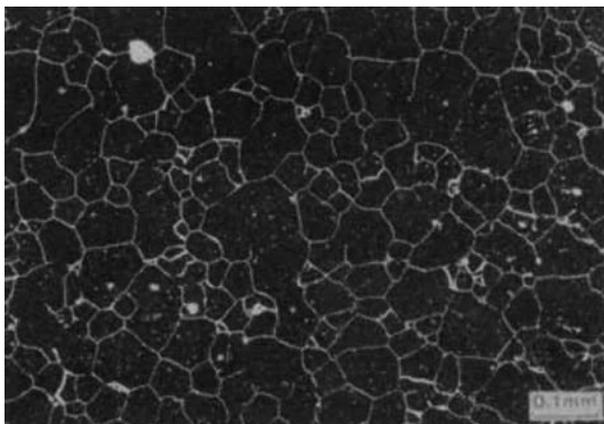


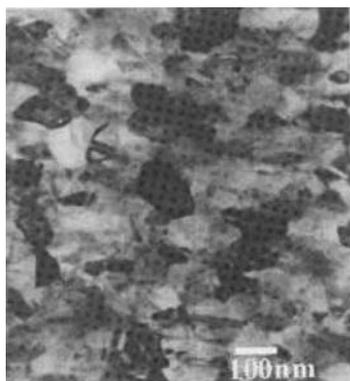
图 3.17 多晶体扫描电子显微镜照片

内(金属),与晶粒之间的位向差无关,大体上为定值。

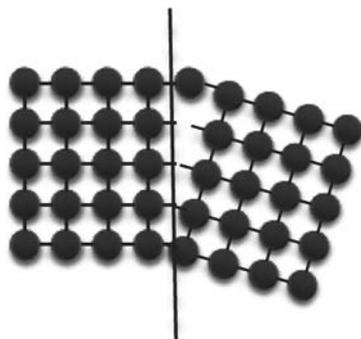
多晶体的晶粒尺寸的定义则有些困难,因为多晶体的晶粒大小一般是不均匀的。为了方便起见,通常选择一定数量的晶粒进行直径测量,然后通过取平均值的方法计算其晶粒尺寸。如果晶粒尺寸大于 $1\mu\text{m}$,通常称之为超大晶粒;如果晶粒尺寸小于 100nm ,通常称之为纳米晶粒;介于上述两个尺寸之间的晶粒称为中等尺寸晶粒。需要说明的是,TFT 有源层用多晶硅薄膜的晶粒尺寸一般在中等尺寸晶粒范围,具体原因将在 3.2.2 节中讲解。

3.2.2 多晶硅材料结构

图 3.18(a)为多晶硅薄膜的透射电子显微镜(TEM)照片。从中可以清楚地看到,薄膜中存在大量尺寸在数十纳米的多晶硅晶粒,晶粒之间的界面便是晶界。需要指出的是,不同工艺方法制备的多晶硅薄膜的结构会存在一定的差别,但基本结构是一致的。图 3.18(b)画出了多晶硅晶体结构。我们注意到,晶粒的结构与单晶硅并无区别,但是晶界中则可能存在大量的结构缺陷,包括悬挂键、弱键和点缺陷等。非晶硅的缺陷均匀分布在薄膜内,而多晶硅的缺陷则主要分布在晶界内,这是两者之间存在的区别之一。



(a) 透射电子显微镜照片



(b) 多晶硅晶体结构示意图

图 3.18 多晶硅薄膜的透射电子显微镜照片和多晶硅晶体结构示意图

在 TFT 中使用的多晶硅薄膜的晶粒尺寸一般都要求在数百纳米的范围内,这主要与 TFT 对有源层材料特性的要求有关。TFT 器件要求其有源层内存在的缺陷态越少越好,因为多晶硅的缺陷态主要集中分布在晶界内,这就要求晶界的体积百分比越低越好,显然大尺寸晶粒比较有利于降低多晶硅的缺陷态密度。不同 TFT 器件之间的特性又不能相差太多,即其均一性必须满足应用上的要求。如果多晶硅的晶粒尺寸过大,在 TFT 的沟道范围内(沟道长度约 $4\mu\text{m}$)可能只覆盖一两个晶粒,这种情况下多晶硅 TFT 的特性均一性无法得到保证。综合以上两点考虑,一般倾向于将多晶硅薄膜的晶粒尺寸控制在数百纳米的范围内。

图 3.19 是多晶硅薄膜缺陷态密度分布示意图。与非晶硅的情况相类似,多晶硅的禁带内也存在带尾态和深能级态两种缺陷态。但是多晶硅的缺陷态分布与非晶硅仍存在显著的不同。首先,非晶硅的缺陷态是均匀分布在薄膜内的,而多晶硅只分布在晶界内,晶粒内基本上无缺陷态分布。其次,因为晶界体积只占多晶硅总体积的一部分,所以多晶硅总的缺陷态密度要比非晶硅低很多。为了更形象地理解多晶硅的缺陷态分布特点,给出本征多晶硅的能带结构示意图,如图 3.20 所示。为了简便起见,将多晶硅的晶粒都画成尺寸完全一致的六面体。虽然这与实际情况并不相符,但并不影响原理上的分析和讲解。

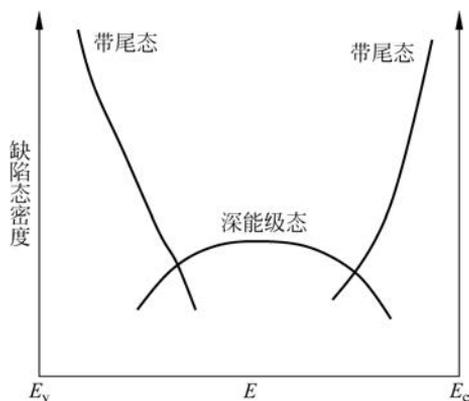


图 3.19 多晶硅薄膜缺陷态密度分布示意图

首先,多晶硅的禁带宽度(~ 1.20 到 1.60eV)介于单晶硅($\sim 1.10\text{eV}$)和非晶硅(~ 1.75 到 1.85eV)之间。其次,本征多晶硅的费米能级 E_{F_0} 大致位于禁带宽度的中央位置。事实上,本征多晶硅与本征非晶硅一样也呈弱 N 型,这说明其禁带中的类受主缺陷态与类施主缺陷态也并非完全对称的。显然,在这一点上多晶硅更类似于非晶硅而不是单晶硅。更为重要的是,正如我们前面强调的一样,多晶硅的缺陷态基本都分布在晶界内,在晶粒内部基本上无缺陷态的分布。如图 3.20 所示,在热平衡的条件下本征多晶硅内所有位置的费米能级都是相等的。在费米能级以下的类施主缺陷态(包括带尾态和深能级态)都是基本上填满的;在费米能级以上的类受主态(包括带尾态和深能级态)则基本上是空的。而晶粒内部则在禁带中基本无载流子存在,这一点与单晶硅是完全一致的。一般而言,多晶硅晶界内缺陷态的存在会导致本征多晶硅的自由载流子浓度低于本征单晶硅。另外,因为多晶硅内缺陷态密度低于非晶硅,本征多晶硅的自由载流子浓度应该高于非晶硅。由此也可以得知,本征多晶硅的电阻率也应该介于本征单晶硅和本征非晶硅之间。

多晶硅要想得到更广泛的应用必须能够通过掺杂调整其载流子类型和浓度。实验证明,多晶硅可以进行 N 型掺杂(例如采用 P、As 等)和 P 型掺杂(例如采用 B 等),这一点上与单晶硅非常类似。此外,多晶硅的掺杂效率远低于单晶硅,即多晶硅的大部分掺杂原子是无效的,这主要由以下两个效应所决定。

1) 杂质分凝

由于多晶硅的晶粒与晶粒间界结构不同,晶粒内原子与晶界处原子的化学势也就不同,

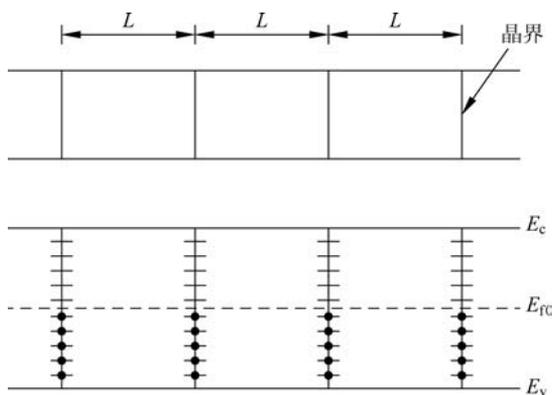


图 3.20 本征多晶硅能带结构示意图

杂质将在晶界处分凝,因而所掺杂质将有部分优先沉积在晶界处,从而使晶粒内的掺杂浓度低于均匀掺杂的情况,直到晶界饱和为止。需要强调的是,分凝在晶界处的杂质原子在电学上是不活动的,即无法有效地电离并产生载流子。

2) 载流子陷阱

随着掺杂浓度的增加,晶界的杂质分凝将逐渐饱和。之后掺杂原子将主要沉积在晶粒内部并可进行正常电离而产生载流子。但这些产生的载流子将首先被晶界内的缺陷态俘获,这是因为晶界原子的排列无序且存在大量的悬挂键和弱键等缺陷态,形成了高密度的陷阱(接近于硅表面态密度)。陷阱在俘获载流子之前是电中性的,一旦俘获载流子就带电并在其周围形成了一个多子势垒区,如图 3.21 所示。势垒区阻挡载流子从一个晶粒向另外一个晶粒运动,因此使载流子迁移率降低。

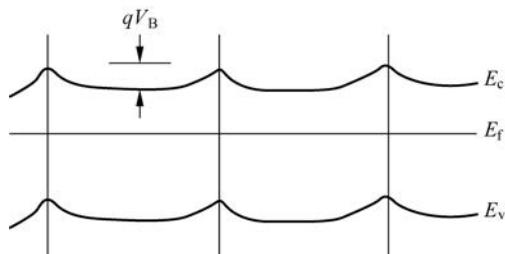


图 3.21 载流子陷阱效应对多晶硅能带的影响

由于上述两个效应的影响,在同等掺杂水平的情况下,多晶硅薄膜中的载流子浓度和迁移率都将远小于单晶硅中的载流子浓度和迁移率。

3.2.3 多晶硅电学特性

如图 3.22 所示,单晶硅的载流子迁移率随着载流子浓度的增加而降低,因为较高的载流子浓度可以增强对载流子的散射作用。多晶硅的载流子迁移率则与其掺杂浓度之间呈现比较复杂的关系。如图 3.22 所示,随着 B 掺杂浓度的增加,多晶硅的空穴迁移率开始降低,在掺杂浓度为 10^{18} cm^{-3} 左右达到最低值,之后随着掺杂浓度的增加,多晶硅的载流子迁移率将迅速增加并逐渐接近于单晶硅的迁移率数值。

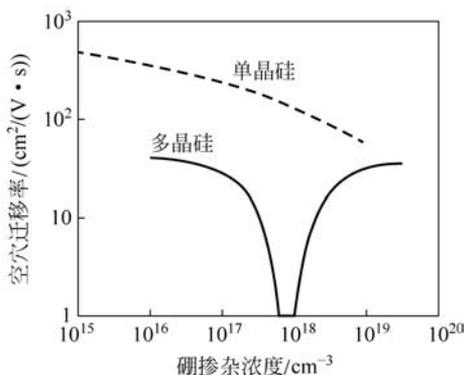


图 3.22 多晶硅的空穴迁移率与掺杂浓度之间的关系(图片摘自参考文献[21])

为何多晶硅材料的迁移率与载流子浓度之间呈现这种先减后增的复杂关系？先以 N 型多晶硅材料为例,对这一规律作出定性的解释。如图 3.23 所示,当施主掺杂浓度较低时,晶粒内电离出的电子都被晶界内的缺陷态所俘获,因此晶粒内留下正离子,而晶界处带负电。这样的电场分布会导致在晶界处形成势垒 E_B ,而且 E_B 的高度随着掺杂浓度的增加而增加。因为电子迁移率与势垒高度成反比,所以在此情况下电子迁移率随着掺杂浓度的增加而降低。当施主掺杂浓度增加到某一临界值 N_D^* 时,晶粒电离出的电子数目恰好完全被晶界内的缺陷态所俘获,如图 3.24 所示,此时晶粒内的施主恰好全部电离而势垒的高度达到了最大值,即电子迁移率达到了最小值。如果继续增加施主的掺杂浓度,如图 3.25 所示,因为晶粒内电离出的电子数目大于晶界内的缺陷态数目,所以只要在晶界附近区域(耗尽区)的施主电离出的电子便可满足完全填满晶界内缺陷态的要求,而晶粒中间位置仍然呈电中性。随着施主掺杂浓度的增加,电中性区域的体积越来越大,从而导致势垒 E_B 的高度变小,即电子迁移率也随之增大。另外,如图 3.23~图 3.25 所示,随着施主掺杂浓度的增加,费米能级 E_f 逐渐接近 E_c ,即表示自由电子的数目也逐渐增加。因为电阻率同时取决于载流子浓度和迁移率,所以可以推测多晶硅的电阻率与掺杂浓度之间也将呈现比较复杂的关系。

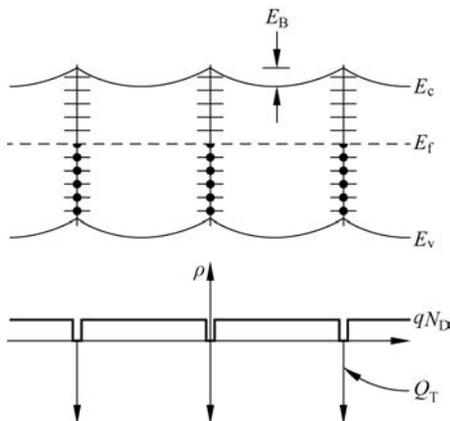


图 3.23 轻微掺杂时多晶硅的能带图和电荷分布示意图

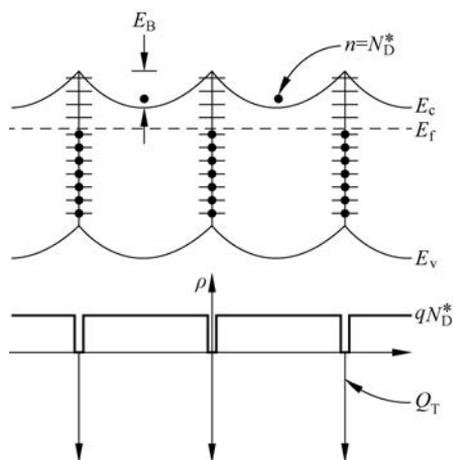


图 3.24 中等掺杂时多晶硅的能带图和电荷分布示意图

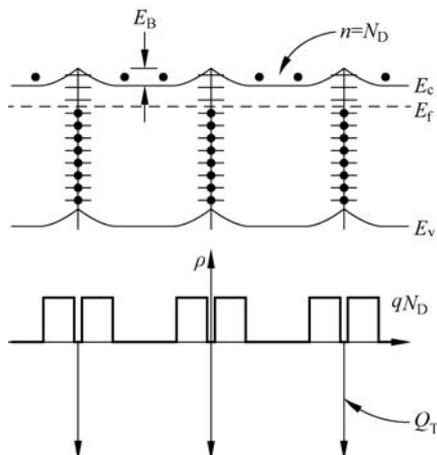


图 3.25 重度掺杂时多晶硅的能带图和电荷分布示意图

J. Y. Seto 等人在 1975 年首先建立了理论模型(简称 Seto 模型)用于定量解释多晶硅的迁移率与掺杂浓度之间的关系。该理论模型的基本假设如下:

- (1) 多晶硅晶粒较小,且都呈完全一致的立方体形状。
- (2) 在多晶硅中的掺杂是均匀的且所有掺杂原子全部电离。
- (3) 晶粒内的能带结构与单晶硅一致。
- (4) 晶界内存在缺陷态,N 型薄膜的缺陷态是类受主型,P 型薄膜的缺陷态是类施主型。
- (5) 缺陷态为大致位于禁带中央的单能级,起始为电中性,俘获载流子后带电。

图 3.26 为该模型提出的多晶硅结构模型示意图。其中, N_D 是掺杂的施主浓度,单位为 cm^{-3} ; N_T 是晶界的缺陷态密度,单位为 cm^{-2} ; L_G 是晶粒尺寸,单位为 cm ; X 是电荷耗尽区宽度,单位为 cm 。

在空间电荷耗尽区($0 < x < X/2$)泊松方程的表达式为

$$\frac{d^2\varphi}{dx^2} = -\frac{qN_D}{\epsilon_s\epsilon_0} \quad (3.18)$$

式中, ϵ_0 为真空介电常数, ϵ_s 为多晶硅的相对介电常数。在空间电荷区之外 ($X/2 < x < L_G/2$) 泊松方程的表达式为

$$\frac{d^2\varphi}{dx^2} = 0 \quad (3.19)$$

如果对式 (3.18) 进行积分求解, 很容易获得在空间电荷区的电势表达式, 即当 $0 < x < X/2$ 时

$$\varphi(x) = -\frac{qN_D}{2\epsilon_s\epsilon_r} \left(\frac{X}{2} - x\right)^2 + \varphi\left(\frac{X}{2}\right) \quad (3.20)$$

式中, $\varphi(X/2)$ 为空间电荷区边界的电势值。事实上, 空间电荷区之外区域的电势均为此值, 即当 $X/2 < x < L_G/2$ 时, 求解式 (3.19) 可得

$$\varphi(x) = \varphi\left(\frac{X}{2}\right) \quad (3.21)$$

同时运用式 (3.20) 和式 (3.21) 可以获得多晶硅晶界处的势垒高度:

$$E_B = -q \left[\varphi(0) - \varphi\left(\frac{X}{2}\right) \right] = \frac{qN_D X^2}{8\epsilon_s\epsilon_0} \quad (3.22)$$

根据前面定性分析的结果, 存在一个临界的掺杂浓度 N_D^* , 当 $N_D = N_D^*$ 时晶粒内电离出的电子恰好完全填满晶界内的类受主缺陷态, 即

$$N_D^* = \frac{N_T}{L_G} \quad (3.23)$$

当 $N_D < N_D^*$ 时, $X = L_G$, 代入式 (3.22) 中可得

$$E_B = \frac{qN_D L_G^2}{8\epsilon_s\epsilon_0} \quad (3.24)$$

当 $N_D > N_D^*$ 时, $X = N_T/N_D$, 代入式 (3.22) 中可得

$$E_B = \frac{qN_T^2}{8\epsilon_s\epsilon_0 N_D} \quad (3.25)$$

根据式 (3.24), 当掺杂浓度低于 N_D^* 时, 势垒高度随着掺杂浓度的增加而增加; 根据式 (3.25), 当掺杂浓度高于 N_D^* 时, 势垒高度随着掺杂浓度的增加而降低。如果将式 (3.24) 和式 (3.25) 相结合可得出势垒高度与掺杂浓度的完整关系曲线, 如图 3.27 所示。我们注意到, 随着掺杂浓度的增加, 晶界处势垒高度呈现先增加后降低的变化规律。

显然, 图 3.27 给出的多晶硅晶界势垒高度与掺杂浓度之间的关系与图 3.22 所示的多晶硅载流子迁移率与掺杂浓度之间的关系完全相符, 因为晶界处势垒高度与载流子迁移率之间呈现反比的关系, 即势垒越高载流子迁移率越低。如图 3.27 所示, 最高的势垒发生在临界掺杂浓度时, 将式 (3.23) 代入式 (3.24) 或式 (3.25) 中均可获得最大的势垒高度值为

$$E_B^* = \frac{qN_T L_G}{8\epsilon_s\epsilon_r} \quad (3.26)$$

事实上, 采用 J. Y. Seto 等人提出的理论模型还可以计算多晶硅中载流子浓度的空间

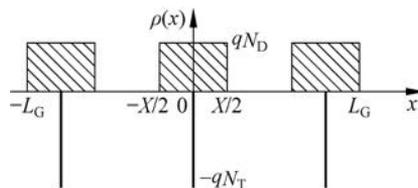


图 3.26 J. Y. Seto 等人在 1975 年提出的多晶硅结构模型示意图

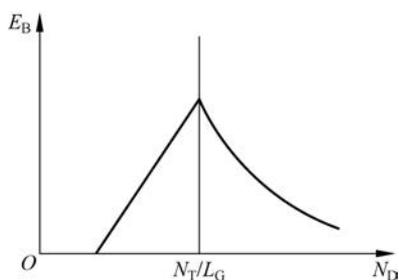


图 3.27 多晶硅晶界势垒高度与掺杂浓度之间的关系曲线

分布,在此不再介绍。

接下来讨论多晶硅的导电理论。一般而言,可以采用热发射(thermionic emission)理论描述多晶硅的导电现象,其基本方程为

$$J = qn v_c \exp \left[-\frac{q}{kT} (V_B - V) \right] \quad (3.27)$$

式中, q 为基本电荷电量, n 为载流子浓度, $v_c = (kT/2\pi m)^{1/2}$, V_B 为势垒高度。根据式(3.27)可以推导出正向电流密度为

$$J_F = qn v_c \exp \left[-\frac{q}{kT} \left(V_B - \frac{1}{2}V \right) \right] \quad (3.28)$$

负向电流密度为

$$J_R = qn v_c \exp \left[-\frac{q}{kT} \left(V_B + \frac{1}{2}V \right) \right] \quad (3.29)$$

根据式(3.28)和式(3.29),可以推导出多晶硅中的电流密度为

$$J = J_F - J_R = 2qn v_c \exp \left(-\frac{qV_B}{kT} \right) \sinh \left(\frac{qV}{2kT} \right) \quad (3.30)$$

将式(3.30)简化后可以获得多晶硅电导率的表达式为

$$\sigma = \frac{J}{E} = \frac{LJ}{V} = \frac{q^2 n v_c L}{kT} \exp \left(-\frac{qV_B}{kT} \right) \quad (3.31)$$

由式(3.31)可知,多晶硅的电导率随着晶界势垒高度的增加而降低。此外,电导率与温度之间呈现比较复杂的关系。根据式(3.31)可以得到多晶硅晶界载流子迁移率为

$$\mu_{\text{eff}} = \frac{q v_c L}{kT} \exp \left(-\frac{qV_B}{kT} \right) \equiv \mu_0 \exp \left(-\frac{qV_B}{kT} \right) \quad (3.32)$$

从式(3.32)可知,多晶硅晶界载流子迁移率与晶界势垒高度成反比关系。晶粒内的载流子迁移率 μ_G 则与单晶硅类似,因此多晶硅材料总的载流子迁移率可表示为

$$\frac{1}{\mu} = \frac{1}{\mu_G} + \frac{1}{\mu_0 \exp \left(-\frac{qV_B}{kT} \right)} \quad (3.33)$$

此外,多晶硅晶界在强电场的作用下会因 Fowler-Nordheim 效应而产生大量的电子空穴对,从而形成较大的漏电流,这正是 p-Si TFT 漏电流明显高于 a-Si TFT 的原因之一。

多晶硅的电学稳定性要优于非晶硅,但在外界偏置电压或光照下,多晶硅的电学特性仍然会发生较大的变化。以光照为例,多晶硅薄膜在光照的条件下,光生载流子通过晶粒间界陷阱,经历 SRH 俘获和发射过程,从而调变晶粒间界的电荷,使晶界势垒 V_B 降低,因此晶界势垒控制的多子电流得到增强。这是多晶硅光电导现象的物理本质。需要强调指出的是, V_B 的降低与光生载流子的产生率有关,因而与位置有关。

3.3 薄膜晶体管绝缘层材料

在 TFT 器件中,除作为有源层的半导体材料外,作为栅绝缘层、中间层和保护层的绝缘层材料也非常重要。如果绝缘层的材料特性达不到要求,TFT 器件也无法表现出良好的电学特

性,甚至无法正常工作。一般而言,在 TFT 中使用的绝缘层材料在特性上有以下要求。

(1) 较好的绝缘特性和致密性。这一点对 TFT 器件的操作特性和稳定特性非常重要。

(2) 适当的介电常数。通常栅绝缘层希望具有较大的相对介电常数,而保护层则希望具有较小的相对介电常数。

(3) 与有源层之间可形成较好的界面特性。这一点对 TFT 器件的操作特性影响非常大。

(4) 较快的成膜速率。这一点对生产效率有影响。

(5) 较好的刻蚀特性。因为绝缘层一般也需要进行图形化,所以这一点是工艺上的基本要求。

根据上述特性要求并结合成膜技术的实际情况,通常在 TFT 生产中采用最多的绝缘层材料是等离子体增强化学气相沉积(PECVD)的氮化硅薄膜和氧化硅薄膜。下面先简单讲解绝缘材料介电特性和漏电特性的基本原理,之后再介绍 TFT 中使用的氮化硅和氧化硅薄膜的基本特性。

3.3.1 绝缘层介电特性

众所周知,绝缘层材料通常也都是电介质。一般来说,电中性的分子中带负电的电子(或负离子)与带正电的原子核(或正离子)束缚得很紧,不能自由运动,从而构成束缚电荷或极化电荷。电介质分子可用电偶极子模型来描述,即每个分子中的正电荷集中于一点,称为正电荷重心;负电荷集中于另一点,称为负电荷重心;两者共同构成电偶极子。

电介质可分为极性电介质和非极性电介质。极性电介质由有极分子构成,即分子正负电中心不重合,有固有电偶极矩;非极性电介质由无极分子构成,即分子正负电中心重合,无固有电偶极。

如图 3.28 所示,当在电场中加入电介质后,电场强度将由 E_0 减小到 E ,同时电势差将由 U_0 减小到 U 。相关变化满足如下方程:

$$E = \frac{E_0}{\epsilon_r} \quad (3.34)$$

$$U = \frac{U_0}{\epsilon_r} \quad (3.35)$$

式中, ϵ_r 成为相对介电常数,其值大于 1。

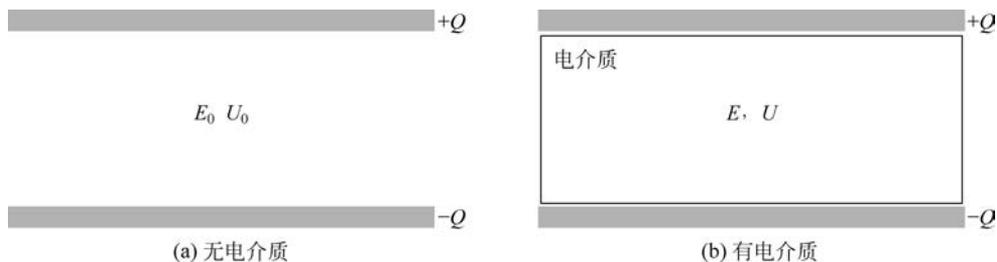


图 3.28 无电介质和有电介质情况下的电场分布

电介质中电场变弱的主要原因是电介质发生了极化(polarization),即在外电场作用下,电

介质表面出现正负电荷层的现象。不同种类的电介质会采用不同的极化机制。极性电介质采用取向极化物理机制。如图 3.29(a)所示,当没有外加电场时,极性电介质中的固有电偶极矩因热运动而混乱分布,导致电介质不带电。当对极性电介质施加外电场时,如图 3.29(b)所示,电介质中的固有电偶极矩沿外场取向并与热混乱运动达到平衡。电极化的最终结果导致在极性电介质端面产生极化电荷,因此形成内部电场并对外加电场起到削弱作用。

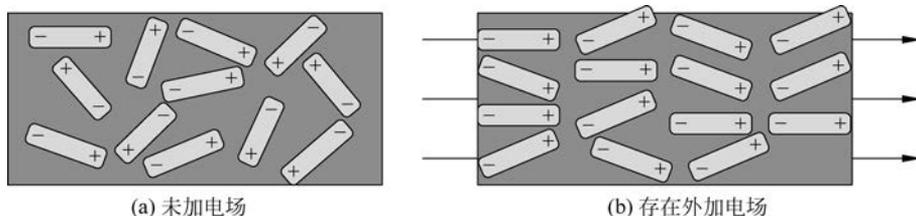


图 3.29 极性电介质极化过程示意图

非极性电介质一般采用位移极化物理机制。在无外电场存在时,非极性电介质不存在固有电偶极矩,因此电介质不带电。当对非极性电介质施加外电场时,如图 3.30 所示,通过电子云的移动可以产生电偶极矩。电极化的最终结果导致在非极性电介质端面产生极化电荷,因此形成内部电场并对外加电场起到削弱作用。



图 3.30 非极性电介质极化过程示意图

最常用来描述电极化效果的物理量是电极化强度,即电介质中某点附近单位体积内分子电偶极矩的矢量和:

$$\vec{P} = \lim_{\Delta V \rightarrow 0} \frac{\sum \vec{p}_i}{\Delta V} \quad (3.36)$$

各向同性的线性电介质的电极化强度满足以下方程:

$$\vec{P} = \epsilon_0 \chi_e \vec{E} \quad (3.37)$$

式中, χ_e 是电极化率,可用以下方程表示:

$$\chi_e \equiv \epsilon_r - 1 \quad (3.38)$$

如果将各向同性的线性电介质插入两个电极板之间,便可形成平板电容器,其电容值可用式(3.39)计算:

$$C = \epsilon_r \epsilon_0 \frac{S}{d} \quad (3.39)$$

式中, S 是电极板面积, d 是电极板间距。式(3.39)在 TFT 器件特性计算中会经常被用到。

3.3.2 绝缘层漏电特性

显然,作为 TFT 的栅绝缘层必须具有良好的绝缘特性。如果栅绝缘层的漏电流过大,会增加 TFT 的关态漏电流,进而对 TFT 的实际应用产生非常不利的影

对绝缘层材料的漏电物理机制加以研究,并采取有效手段尽量降低绝缘层的漏电流。一般而言,绝缘层的漏电物理机制包括以下几种。

1) 离子导电(Ionic Conduction, IC)

绝缘层中通常会存在一定数量的带电离子。在外加电场的作用下,这些离子会沿电场方向漂移,从而形成导电电流。离子导电的电流密度可表示为

$$J = n_i \mu_i E_E \quad (3.40)$$

式中, E_E 是外加电场强度, n_i 是绝缘层内离子浓度, μ_i 是离子迁移率,可用式(3.41)表达:

$$\mu_i = \mu_0 \exp\left(-\frac{E_S}{kT}\right) \quad (3.41)$$

式中, μ_0 是迁移率系数, k 是玻耳兹曼常数, T 是绝对温度, E_S 是活化能。根据式(3.41),随着温度的增加,绝缘层中离子导电的迁移率和漏电流均会增加。

2) 空间电荷限制导电(Space Charge Limited Conduction, SCLC)

SCLC 漏电流物理机制通常在室温或室温以下的绝缘层中发挥重要作用。在此温度范围的绝缘层一般都具有一些自由电荷。在外加电场的作用下,这些自由电荷会重新分布并形成一定电流,同时电荷重新分布也会影响到总电场的分布,并因此对总电流产生影响,上述物理机制决定的绝缘层导电称为空间电荷限制导电,其电流密度可表示为

$$J = \frac{9}{8} \epsilon_0 \epsilon_r \mu \frac{V^2}{\tau^3} \quad (3.42)$$

式中, ϵ_0 是真空介电常数, ϵ_r 是相对介电常数, μ 是载流子迁移率, V 是外加电压, τ 是绝缘层厚度。根据式(3.42), SCLC 电流与绝缘层的相对介电常数成正比,与绝缘层的厚度成反比。

3) 隧穿导电

一般而言,当绝缘层与半导体接触时会形成一定势垒,当势垒宽度较窄时,电子在电场的作用下可以直接穿越势垒而形成隧穿漏电流,其电流密度可以表示为

$$J = E_E^2 \exp\left(\frac{-B\varphi_b^{\frac{3}{2}}}{E_E}\right) \quad (3.43)$$

式中, E_E 是外加电场强度, φ_b 是势垒高度, B 是与材料相关的参数。根据式(3.43),随着势垒高度的增加,隧穿漏电流会相应降低。

4) 肖特基热发射导电

金属与绝缘层接触会形成势垒,载流子的传输受到势垒的阻挡。在热能的作用下,载流子可以越过势垒而形成导电电流,这种导电物理机制称为肖特基热发射。金属/绝缘层界面势垒的高度会随着外电场的增强而有所降低,其基本方程式为

$$J = \gamma T^2 \exp\left(\frac{A\sqrt{E_E} - B\varphi_b}{kT}\right) \quad (3.44)$$

式中, k 是玻耳兹曼常数, T 是绝对温度, γ 是热发射参数, A 和 B 是常数, E_E 是电场强度, φ_b 是势垒高度。根据式(3.44)可知,随着势垒高度的降低,电流密度增加。此外,环境温度升高可以增加肖特基热发射电流大小。

5) 欧姆导电

尽管绝缘材料的禁带宽度非常大($>4\text{eV}$),在室温下仍然会有一些数量的电子从价带跃迁到导带从而形成自由载流子,当然在这种情况下产生的载流子浓度一般要远远小于半导体材料。对于非晶体绝缘材料而言,禁带内的缺陷态有助于这种载流子的产生。因为电子可以借助于禁带中缺陷态的帮助,通过间接的方式从导带跃迁到价带,这样会相对容易一些。如果对绝缘材料施加外电场,自由载流子会沿电场运动而形成电流,这种导电机制便是欧姆导电。相关电流密度可表示为

$$J = E_{\text{E}} \exp\left(-\frac{E_{\text{A}}}{kT}\right) \quad (3.45)$$

式中, k 是玻耳兹曼常数, T 是绝对温度, E_{E} 是电场强度, E_{A} 是欧姆导电驱动能。根据式(3.45)可知,欧姆导电电流的大小与外加电场和环境温度成正比。

3.3.3 氮化硅薄膜

氮化硅薄膜是薄膜晶体管中应用最广泛的绝缘层材料。在 a-Si TFT 中,栅绝缘层和保护层一般都采用氮化硅薄膜;在 p-Si TFT 中,缓冲层、中间层和绝缘层也全部或部分采用氮化硅薄膜。单晶氮化硅材料的晶体结构如图 3.31 所示,一般可分为 $\alpha\text{-Si}_3\text{N}_4$ 和 $\beta\text{-Si}_3\text{N}_4$ 两种结构。在 TFT 中使用的氮化硅薄膜一般采用 PECVD 沉积,通常为非晶体结构,而且其原子比例也在一定范围内变化,因此通常将其标记为 a-SiN_x。式中下角标 x 表示硅氮原子比例不确定,在一定范围内变动。

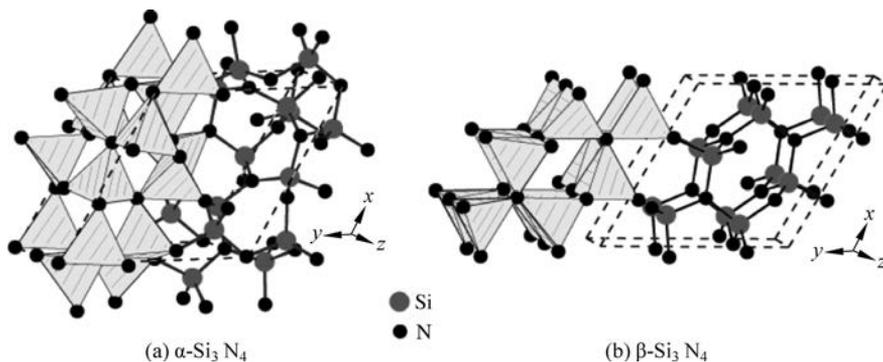


图 3.31 单晶氮化硅材料的晶体结构

一方面,氮化硅薄膜的禁带宽度不高,约为 5.3eV ,所以其绝缘特性并不十分理想;另一方面,氮化硅的相对介电常数较高,约为 7.5 ,这一点比较适合作为栅绝缘层。此外,氮化硅薄膜的致密性较好,这一特点非常适合作为保护层材料。关于氮化硅详细的材料特性请见附录 D。

3.3.4 氧化硅薄膜

氧化硅薄膜也是薄膜晶体管中常用的绝缘材料。在 p-Si TFT 中,栅绝缘层一般都采用氧化硅薄膜。此外,p-Si TFT 的缓冲层、中间层和保护层也全部或部分采用氧化硅薄膜。晶体 SiO_2 的结构如图 3.32 所示。在 TFT 中使用的氧化硅薄膜一般均由 PECVD

沉积而成,是非晶结构,而且硅氧原子比也不是严格的 $1:2$ 。因此通常将其标记为 $a\text{-SiO}_x$,下角标 x 表示硅氧原子比例并不固定,在一定范围内变动。

氧化硅薄膜的禁带宽度较大,约为 9.0eV ,说明氧化硅薄膜的绝缘特性较好,比较适合作 TFT 的栅绝缘层材料。尽管氧化硅薄膜的相对介电常数比氮化硅小,但其致密性比氮化硅差,因此一般不单独采用氧化硅薄膜作为 TFT 的保护层材料。需要强调的是,PECVD 制备的氧化硅薄膜的膜质与其工艺条件存在密切关系,这方面内容将在第 5 章中详细介绍和讲解。关于氧化硅详细的材料特性可参考附录 D。

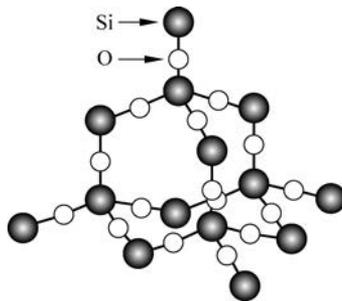


图 3.32 氧化硅晶体结构示意图

3.4 薄膜晶体管电极材料

理论和实践都证明,电极材料对 TFT 器件和阵列的特性及实际应用会产生重大的影响。第 2 章中介绍的 AMLCD 的 RC 延迟现象便与 TFT 的电极材料的选择密切相关。一般而言,针对 TFT 技术中使用的电极材料的特性会作如下要求。

- (1) 较低的电阻率。这一点与其在平板显示中的应用密切相关。
 - (2) 与有源层可形成好的欧姆接触(针对 S/D 电极而言)。这一点对 TFT 的操作特性影响较大。
 - (3) 较好的透明性(针对像素电极而言)。这一点会影响 AMLCD 的省电特性。
 - (4) 成膜速率较快,同时成膜均一性较好。这一点与生产成本和合格率有关。
 - (5) 较好的刻蚀特性。TFT 中的电极一般都需要进行图形化,因此这一点是工艺上的基本要求。
 - (6) 符合环保的要求。一些可能污染环境的重金属材料需要慎重使用。
- 根据上述各项要求,当前生产中栅电极和 S/D 电极一般采用铝合金薄膜,而像素电极则选用最常见的透明导电薄膜-氧化铟锡(ITO)合金。接下来将首先简单介绍导电材料的基本原理,然后再逐一介绍在 TFT 实际生产中用到的导电材料。

3.4.1 导电材料简介

世界上最好的导电材料是金属,其导电理论可以用量子力学加以解释,但更简便的理论是 1900 年由特鲁德首先提出后经洛伦兹等人加以发展的金属经典电子理论。金属材料的电学结构如图 3.33 所示,其基本理论模型框架如下:

- (1) 金属中的正离子按一定的方式排列为晶格;
- (2) 从原子中分离出来的外层电子成为自由电子;
- (3) 自由电子的性质与理想气体中的分子相似,因而形成自由电子气;
- (4) 大量自由电子的定向漂移形成电流。

有了上述理论模型,便可以利用经典物理的知识对金属的导电规律加以描述。其中,金属的电导率可用如下方程描述:

$$\sigma = ne^2\lambda/vm_e \quad (3.46)$$

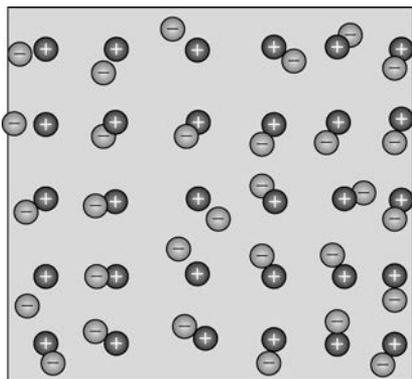


图 3.33 金属材料的电学结构

式中, n 是电子浓度, e 是基本电荷电量, λ 是电子平均自由程, v 是电子热运动速率, m_e 是电子质量。从电导率表达式知: 电导率与自由电子的浓度成正比, 与电子的平均自由程也成正比。此外, 式(3.46)还可定性地说温度升高时电导率下降的原因。当外界环境温度升高时, 电子的热运动速率 v 增大, 根据式(3.46), 金属的电导率相应下降。

除金属外, 常用的导体材料还包括一些氧化物薄膜。与金属键不同, 导电氧化物薄膜一般主要由离子键构成, 当然也包含一些共价键的成分。最常见的导电氧化物材料是 ITO, 它在包括平板显示的

许多行业中得到了非常广泛的应用。

3.4.2 TFT 用铝合金薄膜

TFT 电极材料的选择最基本的依据是电阻率。一般而言, 我们希望电极的电阻率越小越好。图 3.34 给出了不同元素的电阻率。从图 3.34 中我们注意到, 电阻率最小的金属元素是 Ag ($\sim 1.6 \mu\Omega \cdot \text{cm}$), 但遗憾的是, Ag 极易发生污染且非常难于刻蚀, 因此银电极并未在 TFT 生产中得到实际应用。世界上电阻率仅大于 Ag 的金属元素是 Cu ($\sim 1.7 \mu\Omega \cdot \text{cm}$), 铜金属也存在易污染的缺点。虽然铜制程在 IC 中已成为标准工艺, 但在 TFT 的实际生产中仍未普及。要想将铜薄膜大规模地用在 TFT 的电极中还有许多技术难题有待克服。电阻率处于第三位的金属元素是 Au ($\sim 2.2 \mu\Omega \cdot \text{cm}$), 因为其属于贵重货币金属, 很难在实际生产中得到广泛应用。电阻率仅略大于 Au 的金属元素便是 Al, 铝具有价格低、与玻璃黏附性好和电阻率较低等优点, 尽管其存在电迁移等技术难题, 目前均已找到了有效的解决方法。因此, 铝是当前 TFT 金属电极的首选材料。

H																		He
Li 9.4	Be 4											B	C	N	O	F	Ne	
Na 4.7	Mg 4.4											Al 2.65	Si	P	S	Cl	Ar	
K 7	Ca 3.4	Sc 55	Ti 40	V 20	Cr 12.7	Mn 160	Fe 9.7	Co 6	Ni 7	Cu 1.7	Zn 5.9	Ga 14	Ge	As	Se	Br	Kr	
Rb 12	Sr 13	Y 56	Zr 42	Nb 15	Mo 5	Tc 20	Ru 7.1	Rh 4.3	Pd 10	Ag 1.6	Cd 7	In 8	Sn 11	Sb 40	Te	I	Xe	
Cs 20	Ba 35	Lu 56	Hf 30	Ta 13	W 5	Re 18	Os 8.1	Ir 4.7	Pt 10.6	Au 2.5	Hg 96	Tl 15	Rb 21	Bi 130	Po 43	At	Rn	
Fr	Ra 100	Lr	Rf	Db	Sg	Bh	Hs	Mt	Ds	Uuu	Uub	Uut	Uuq	Uup	Uuh	Uus	Uuo	
La 64	Ce 74	Pr 70	Nd 64	Pm 75	Sm 94	Eu 90	Gd 130	Tb 120	Dy 91	Ho 94	Er 86	Tm 70	Yb 28					
Ac	Th 15	Pa 18	U 28	Np 120	Pu 150	Am	Cm	Bk	Cf	Es	Fm	Md	No					

图 3.34 不同元素的电阻率

众所周知,纯金属元素很难在工业生产中使用,一般多采用合金材料。在纯金属中添加一定数量的合金元素可以显著改变其物理和化学特性。事实上,如果采用纯铝薄膜作为电极,在器件退火过程中很容易发生小丘(Hillock)现象,即在退火过程中,铝金属薄膜的膨胀系数($\sim 23.6 \times 10^{-6}/^{\circ}\text{C}$)与玻璃基板的膨胀系数($0.4 \times 10^{-6}/^{\circ}\text{C}$)存在较大差异,在两者界面间会产生压缩应力,为释放上述应力便会有小丘产生,如图 3.35(a)所示。如果采用纯铝薄膜作为 TFT 的金属电极,这种小丘的出现可能会对薄膜晶体管产生致命的影响,因为这些小丘可能穿过绝缘层而导致不同层间的电极短路。

解决铝电极小丘问题的最有效办法是合金化。科研人员经过广泛而深入的研究最终确定在铝中添加少量的钕元素可以有效地抑制小丘的产生。如图 3.35(b)所示,Al-2at%Nd 合金薄膜在退火后基本上观察不到明显的小丘产生。在生产中为了确保万无一失,通常在铝合金电极的表面还覆盖一层 MoNb 合金以彻底断绝小丘可能对 TFT 器件造成的不良影响。以倒置错排(inverted staggered)型 TFT 器件结构为例,因为栅电极在最底层,所以采用 AlNd/MoNb 的双层金属电极;S/D 电极则处于 TFT 器件的中间位置,因此必须选用 MoNb/AlNd/MoNb 这种类似三明治的金属电极结构。

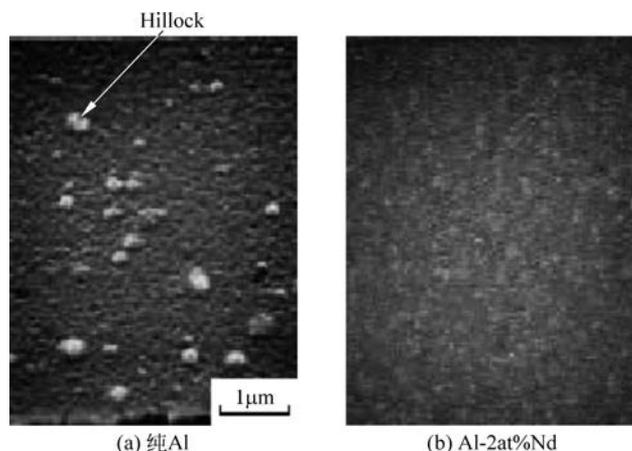


图 3.35 纯 Al 和 Al-2at%Nd 合金退火后的表面形貌图

3.4.3 ITO

ITO 是最常见的透明导电薄膜,在 TFT 中用作像素电极材料。ITO 为 $\text{In}_2\text{O}_3/\text{SnO}_2$ 混合物,其中 SnO_2 的含量一般为 5%~15%之重量百分比,而以 10%含量所沉积的 ITO 薄膜阻值最低,故 ITO 靶材的 SnO_2 含量以 10%重量百分比为主流。

In_2O_3 的禁带较宽,约为 3.75eV。通过理论计算可知,在用波长大于 330nm 的可见光照射 ITO 表面时,由于光子的能量不足以使 In 的 4d10 价带电子跃迁到导带,故 ITO 表面为透明状态。事实上,ITO 薄膜在 400~800nm 的可见光范围内是高度透明的。这一点恰好满足了平板显示对 TFT 像素电极透明性的要求。

ITO 良好的导电特性是通过在 In_2O_3 中掺入高价 Sn^{4+} 得以实现的, Sn^{4+} 与 In^{3+} 的半径相近, Sn^{4+} 可置换部分 In^{3+} ,易变价的 Sn^{4+} 可俘获一个电子而变成 Sn^{3+} ,而该被俘获的电子是被弱束缚的,成为载流子的主要来源之一。

ITO 薄膜材料具有复杂的立方铁锰矿结构。其晶体结构根据不同的制备方法可能呈非晶体或多晶体。ITO 的制备方法很多,但实际生产中一般都采用磁控溅射的方法。ITO 的溅射成膜中通常会通入一定流量的氧气以提高膜质,因此实际上是一种反应溅射的过程。

3.5 平板显示用玻璃基板简介

在实际生产中,TFT 一般都制备在玻璃基板上。虽然近年来有采用塑料等柔性基板的技术趋势,但玻璃仍然是当前平板显示用基板的首选。从原理上讲,玻璃是一种在凝固时基本不结晶的无机熔融物,最常见的是硅酸盐玻璃。从结构上讲,玻璃一般由玻璃形成体、玻璃中间体和玻璃调整体构成。平板显示用玻璃的最大特点是无碱,因为钠和钾等碱离子可扩散进入 TFT 中而对其特性产生致命的破坏作用。此外,平板显示用玻璃基板一般都较薄,厚度小于 0.5mm。在平板显示中因不同的用途对玻璃基板的要求也有所区别。以 TFT-LCD 为例,TFT 阵列基板与 CF 基板所用的玻璃一般都会采用同一厂家同一批次的产品,这是为了确保两者电学和光学特性相匹配的缘故。对于 TFT 阵列基板而言,除前面提到的无碱要求外,一般还要求其热膨胀特性与非晶硅比较类似,以及在曝光工艺中使用的紫外线可以有效地穿透玻璃基板等;此外,因为 TFT 制备中会经历很多的加热过程,所以要求 TFT 阵列基板的热稳定性必须符合生产的实际要求。对于 CF 基板而言,首先,必须要求其光学透过率较高;其次,因为彩膜的主要功能是实现 AMLCD 的彩色化,所以 CF 玻璃基板本身的色彩特性不能对这一功能的实现产生干扰作用;最后,因为 CF 的制备同样需要经历一些加热或化学处理过程,所以一般要求 CF 玻璃基板的热稳定性和化学稳定性能够满足实际生产的要求。

玻璃的制备方法较多,平板显示用玻璃基板一般采用溢流融流法制备,如图 3.36 所示。高温加热而熔融的玻璃液体经过模具后迅速冷却而凝固成玻璃基板。



图 3.36 溢流融流法制备玻璃示意图

3.6 柔性基板简介

要想实现 TFT 背板乃至整个显示面板的“柔性化”，必须选择可以柔性变形的基板材料。通常柔性基板需要具备较好的机械强度、耐热性、耐化学性、水氧阻隔性和尺寸稳定性等。可以用来选择的柔性基板包括金属箔片、超薄玻璃和塑料基板等。

在柔性显示研发的早期阶段，人们尝试在以不锈钢为代表的金属箔片上制备 a-Si TFT 器件和阵列。事实上，选择金属箔片作为柔性基板具有非常显著的优势，包括可承受非常高的工艺温度 ($>1000^{\circ}\text{C}$)、水氧阻隔性极好、耐化学腐蚀和稳定性较好等。此外，在金属箔片上加工制作 TFT 器件也具有非常不利的影响因素，其中最突出的一点是金属箔片的表面粗糙度较大 ($>0.5\mu\text{m}$)，因此必须首先对其进行表面抛光处理，如机械抛光和电化学抛光等。为了绝缘金属箔片，在其上须事先沉积一层较厚的氧化硅 (约 $5\mu\text{m}$)。上述工艺操作都比较显著地提高了制造工艺成本。从实际应用的角度来看，金属箔片柔性基板具有较大的限制，无法满足动态弯曲、卷曲的功能需求。

如果将玻璃基板减薄到 0.1mm 以下，便能表现出良好的柔性特征。采用超薄玻璃作为柔性基板的优势是不言而喻的，一方面，传统刚性基板相关的技术积累能够得到很好的继承和发展；另一方面，玻璃基板所固有的光透过率高、温度稳定性好、耐化学腐蚀和水氧阻隔性好等优点仍能得到保持。然而，超薄玻璃的工艺局限性也非常大，主要表现在对微裂纹非常敏感，制造和应用过程中比较容易破碎。另外，超薄玻璃柔性基板的应用范围比较狭窄，无法实现折叠和卷曲，一般仅适合弯曲 (尤其是固定弯曲) 的应用场合。

塑料基板是当前柔性显示实际生产中采用的主流材料，尽管其在耐热性和致密性等特性指标上仍有待继续改善，但绝佳的柔韧性和耐冲击性使其成为柔性基板的最佳选择。大量的塑料材料被尝试作为柔性基板使用，包括 PET、PC、PEN、COP 和 PI 等；其中 PI (聚酰亚胺) 是应用最多的柔性基板材料。PI 的分子结构具有两个重要特点：① 聚合物骨架具有较强的刚性和有序性；② 骨架中具有较大的聚酰亚胺环密度。上述特点决定了 PI 具有较好柔韧性的同时可能实现较强的耐高温特性。经过持续不断的研究和开发，当前作为基板材料的棕色 PI 的玻璃化温度已经超过 400°C ，热膨胀系数降低到 $28 \times 10^{-6}/^{\circ}\text{C}$ ，基本满足了柔性 TFT 背板制造工艺的要求。接下来针对实际生产中采用的 PI 基板相关工艺方法加以简单介绍。

柔性 TFT 背板的制造一般也从玻璃基板开始，比较常见的做法是将 PI 液涂布在玻璃基板上，经过高温固化后形成平整的 PI 基板，然后在这样的基板 (玻璃+PI) 上完成 TFT 背板乃至显示面板的制作，最后采用激光剥离 (Laser Lift-Off, LLO) 技术将 PI 基板与玻璃基板分离。LLO 技术的原理与 5.2.1 节介绍的 ELA 技术比较类似，也是利用激光高能量密度和高穿透率的特点对玻璃和 PI 之间的结合处进行加热，破坏两者的结合力，从而使它们分离。

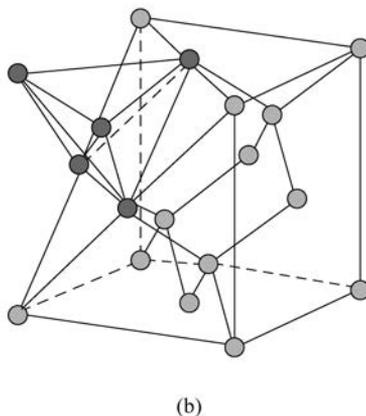
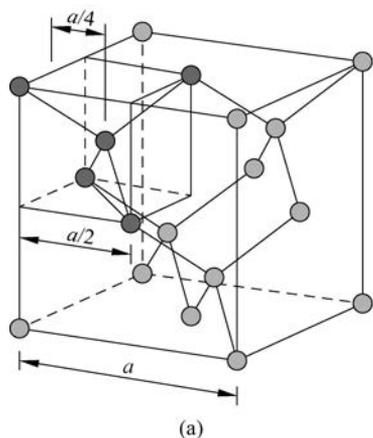
3.7 本章小结

薄膜晶体管可以看作多层半导体薄膜、绝缘层薄膜和导电电极薄膜按照一定规律堆积在基板上而成的电子器件，因此 TFT 器件的电学特性与这些薄膜材料的特性密不可分。

本章主要讲解了在 TFT 中最常见的半导体材料、绝缘层材料、电极材料及基板等相关的基本原理和实际应用情况。作为 TFT 有源层的半导体材料(包括非晶硅和多晶硅)的晶体结构、能带结构和电学特性等是本章的重点内容。通过学习读者应掌握非晶硅和多晶硅禁带中缺陷态产生的机理及定量描述方法等。此外,对于 TFT 中经常采用的绝缘层材料(包括氮化硅和氧化硅等)和电极材料(包括铝合金和 ITO 等)相关的机理和实际材料特性也应该具有基本的理解和掌握。这些内容都是后续学习薄膜晶体管器件物理的重要理论基础。关于玻璃基板的内容读者作一般了解即可。

习题

1. 从晶体结构的角度划分固体一般可分为哪几类? 各有何特点?
2. 如何才能形成非晶体?
3. 非晶体中的电子为何会被局域化?
4. 下图是单晶硅的晶体结构示意图。已知硅原子直径 $d=0.235\text{nm}$, 请计算其晶格常数 a 的大小。假设硅原子形状为圆球且在最近距离处恰好接触。



5. P 型单晶硅的电阻率是 $0.5\Omega \cdot \text{cm}$, 请计算其空穴和电子浓度。假设 $\mu_n = 1450\text{cm}^2/(\text{V} \cdot \text{s})$, $\mu_p = 500\text{cm}^2/(\text{V} \cdot \text{s})$ 。
6. 请计算单晶硅光照的极限波长。已知 $h=6.63 \times 10^{-34} \text{J} \cdot \text{s}$, $c=3 \times 10^{10} \text{cm/s}$ 。
7. 请定性画出非晶硅材料的态密度(density of states)与能量 E 之间的关系曲线,并在图中标出各部分曲线的含义。
8. 请定性画出非晶硅中电子(含自由电子和被俘获电子)与费米势 ψ 之间的关系曲线。
9. 非晶硅为何必须掺氢? 对掺氢的含量有何要求?
10. 非晶硅掺杂的物理机制是什么?
11. 请定性描述非晶硅在不同温度范围内导电的物理机制。
12. 非晶硅的稳定特性如何? 为什么?
13. 针对晶界的早期物理模型有哪些?
14. 晶界有哪些物理和化学性质?
15. 如何理解晶界能和晶粒尺寸这两个物理概念?

16. 多晶硅的能带结构与非晶硅有何异同?
17. 请定性解释为何多晶硅材料的自由载流子浓度远低于其掺杂浓度。
18. 请定性解释图 3.22 中所示的多晶硅载流子迁移率与掺杂浓度之间的关系。
19. 请画出 J. Y. Sato 物理模型中电场强度和电势能的分布示意图。
20. 多晶硅薄膜在较强电场的作用下会发生什么物理现象?
21. 绝缘材料的漏电物理机制包括哪些?
22. TFT 对其绝缘材料的特性作何要求?
23. 作为 TFT 绝缘层的氮化硅和氧化硅各有何优劣之处?
24. TFT 对其电极材料的特性作何要求?
25. 为何当前应用最广泛的 TFT 金属电极是铝薄膜?
26. 何为小丘现象? 如何有效防止?
27. ITO 是一种既透明又导电的材料, 试阐述其相关机理。
28. 请以 TFT-LCD 为例说明平板显示用玻璃基板的特性要求。
29. 为何实际生产中多采用塑料作为柔性基板?

参考文献

- [1] Kuo Y. Thin film transistors: Materials and processes[M]. Kluwer Academic Publishers, 2004.
- [2] Kagan C R, Andry P. Thin-film transistors[M]. Boca Raton: CRC Press, 2003.
- [3] 谷至华. 薄膜晶体管(TFT)阵列制造技术[M]. 上海: 复旦大学出版社, 2007.
- [4] 申智源. TFT-LCD 技术: 结构, 原理及制造技术[M]. 北京: 电子工业出版社, 2012.
- [5] Brodsky M H. Amorphous semiconductors[M]. Berlin: Springer-Verlag, 1985.
- [6] Overhof H, Thomas P. Electronic transport in hydrogenated amorphous semiconductors[M]. Berlin: Springer-Verlag, 2006.
- [7] 罗晋生, 戎霏伦. 非晶半导体[M]. 西安: 西安交通大学出版社, 1986.
- [8] 王阳元, 卡明斯, 赵宝瑛. 多晶硅薄膜及其在集成电路中的应用[M]. 北京: 科学出版社, 1988.
- [9] Pierret R F. Semiconductor fundamentals[M]. Reading: Addison-Wesley Publishing Company, 1996.
- [10] Sze S M, Li Y, Ng K K. Physics of semiconductor devices[M]. New York: John Wiley & Sons, 2021.
- [11] Anderson B L, Anderson R L. 半导体器件基础[M]. 北京: 清华大学出版社, 2008.
- [12] 刘树林, 张华曹, 柴常春. 半导体器件物理[M]. 北京: 电子工业出版社, 2005.
- [13] 曹培栋, 亢宝位. 微电子技术基础[M]. 北京: 电子工业出版社, 2001.
- [14] 钱佑华, 徐至中. 半导体物理[M]. 北京: 高等教育出版社, 1999.
- [15] 孟庆巨, 刘海波. 半导体器件物理[M]. 北京: 科学出版社, 2005.
- [16] 刘永, 张福海. 晶体管原理[M]. 北京: 国防工业出版社, 2002.
- [17] 刘恩科, 朱秉升, 罗晋生. 半导体物理学[M]. 北京: 国防工业出版社, 1994.
- [18] 李言荣, 恽正中. 电子材料导论[M]. 北京: 清华大学出版社, 2001.
- [19] 胡赓祥, 钱苗根. 金属学[M]. 上海: 上海科学技术出版社, 1980.
- [20] 余宗森, 田中卓. 金属物理[M]. 北京: 冶金工业出版社, 1982.
- [21] Seto J Y. The electrical properties of polycrystalline silicon films[J]. Journal of Applied Physics, 1975, 46: 5247-5259.
- [22] 闫晓林, 马群刚, 彭俊彪. 柔性显示技术[M]. 北京: 电子工业出版社, 2022.