

第 3 章

逻辑门电路

[主要教学内容]

1. MOS 管的基本工作原理。
2. CMOS 门电路的电路结构、工作原理和电气特性。
3. 双极型三极管的基本工作原理和开关特性。
4. TTL 门电路的电路结构、工作原理和电气特性。
5. 典型逻辑门电路实际使用中的一些问题。

[教学目的和要求]

1. 了解逻辑门电路的分类和特点。
2. 掌握典型逻辑门的功能、外特性和实际使用中的一些问题。
3. 了解正负逻辑的概念及相互关系。
4. 了解 TTL 与 CMOS 门的接口问题。

3.1 MOS 逻辑门电路

3.1.1 概述

我们把实现基本逻辑运算和复合逻辑运算的电子电路统称为逻辑门电路,简称门电路。作为基本逻辑运算和复合逻辑运算的有与、或、非、与非、或非、与或非、异或、同或等。因此,从逻辑功能上区分,门电路也有与门、或门、非门(习惯上经常称之为反相器)、与非门、或非门、与或非门、异或门、异或非门(也称为同或门)等几种。按开关管的类型分,门电路包括 MOS 逻辑门电路和 TTL 逻辑门电路。

MOS 逻辑门电路是在 TTL 逻辑门电路之后出现的一种广泛应用的数字集成器件。按照器件结构的不同形式,可以分为 NMOS、PMOS 和 CMOS 三种逻辑门电路。由于制造工艺的不断改进,CMOS 电路已成为占主导地位的逻辑器件,其工作速度已经赶上甚至超过 TTL 电路,它的功耗和抗干扰能力则远优于 TTL 电路。因此,几乎所有的超大规模存储器以及 PLD 器件都采用 CMOS 工艺制造,且费用较低。

早期生产的 CMOS 门电路为 4000 系列,后来发展为 4000B 系列,其工作速度较慢,与 TTL 不兼容,但它具有功耗低、工作电压范围宽、抗干扰能力强的特点。随后出现了

高速 CMOS 器件 74HC 和 74HCT 系列。与 4000B 系列相比,其工作速度快、带负载能力强。74HCT 系列与 TTL 兼容,可与 TTL 器件交换使用。另一种新型 CMOS 系列是 74VHC 和 74VHCT 系列,其工作速度达到了 74HC 和 74HCT 系列的两倍。对于 54 系列产品,其引脚编号及逻辑功能与 74 系列基本相同,所不同的是 54 系列是军用产品,适用的温度范围更宽,测试和筛选标准更严格。

近年来,随着便携式设备(例如笔记本电脑、数码相机、手机等)的发展,要求使用体积小、功耗低、电池耗电少的半导体器件,因此先后推出了低电压 CMOS 器件 74LVC 系列,以及超低电压 CMOS 器件 74AUC 系列,并且半导体制造工艺可以使它们的成本更低、速度更快,同时大多数低电压器件的输入输出电平可以与 5V 电源的 CMOS 或 TTL 电平兼容。不同的 CMOS 系列器件对电源电压要求不一样,表 3-1 所示为几种 CMOS 集成电路的电源电压和电源最大电压额定值。

表 3-1 几种 CMOS 电路的电源电压值

类 型	电源电压/V	电源最大电压值/V
4000B	3~18	20
74HC	2~6	7
74HCT	4.5~5.5	7
74LVC	1.2~3.6	6.5
74AUC	0.8~2.7	3.6

CMOS 是数字逻辑电路的主流工艺技术,但 CMOS 技术却不适合用在射频和模拟电路中。因此 BiMOS 成为射频系统中用得最多的工艺技术。BiMOS 集成电路结合了 BJT 的高速性能和高驱动能力以及 CMOS 的高密度、低功耗和低成本等优点,它既可用于数字集成电路,也可用于模拟集成电路。BiMOS 技术主要用于高性能集成电路的生产。

目前使用的两种双极型数字集成电路是 TTL 和 ECL 系列。TTL 是应用最早、技术比较成熟的集成电路,曾被广泛使用。大规模集成电路的发展要求每个逻辑单元电路的结构简单,并且功耗低。TTL 电路不能满足这个条件,因此逐渐被 CMOS 电路取代,退出其主导地位。由于 TTL 技术在整个数字集成电路设计领域中的历史地位和影响,很多数字系统设计技术仍采用 TTL 技术,特别是从小规模到中规模数字系统的集成,因此推出了新型的低功耗和高速 TTL 器件,这种新型的 TTL 使用肖特基势垒二极管(BSD),以避免 BJT 工作在饱和状态,从而可以提高工作速度。

最早的 TTL 门电路是 74 系列。后来出现了改进型的 74H 系列,其工作速度提高了,但功耗却增加了。而 74L 系列的功耗降低了很多,但工作速度也降低了。为了解决功耗和速度之间的矛盾,推出了低功耗和高速的 74S 系列,它使用肖特基晶体三极管,使电路的工作速度和功耗均得到改善。之后又生产出 74LS 系列,其速度与 74 系列相当,但功耗却降低到 74 系列的 1/5。74LS 系列广泛应用于中、小规模集成电路。随着集成电路的发展,生产出进一步改进的 74AS 和 74ALS 系列。74AS 系列与 74S 系列相比,功耗相当,但速度却提高了两倍。74ALS 系列将 74LS 系列的速度和功耗又进一步提高。

而 74F 系列的速度和功耗介于 74AS 和 74ALS 之间,广泛应用于速度要求较高的 TTL 逻辑电路。

ECL 也是一种双极型数字集成电路,其基本器件是差分对管。在饱和型的 TTL 电路中,晶体三极管作为开关在饱和区和截止区切换,其退出饱和区需要的时间较长。而 ECL 电路中晶体三极管不工作在饱和区,因此工作速度较高。但 ECL 器件功耗比较高,不适合制成大规模集成电路,因此不像 CMOS 或 TTL 系列被广泛使用。ECL 电路主要用于高速或超高速数字系统或设备中。

砷化镓是继锗和硅之后发展起来的新一代半导体材料。由于砷化镓器件中载流子的迁移率非常高,因而其工作速度比硅器件快得多,并且具有功耗低和抗辐射的特点,已成为光纤通信、移动通信以及全球定位系统等应用的首选电路。

3.1.2 MOS 管的开关特性

MOS 管具有集成度高、输入阻抗高、功耗低、工艺简单且没有电荷存储效应等优点,在数字电路中具有后来者居上的地位;主要缺点是工作速度稍慢。与 NPN 半导体三极管类似,MOS 管的伏安特性曲线可以分为三个工作区域:非饱和区(可变电阻区)、截止区和饱和区(恒流区)。图 3-1(a)为 N 沟道增强型 MOS 管构成的开关电路,其实是 NMOS 管构成的反相器。其中, $v_i = v_{GS}$, $v_o = v_{DS}$, V_T 为开启电压。图 3-1(b)为 NMOS 管的输出特性曲线,其中斜线为直流负载线。

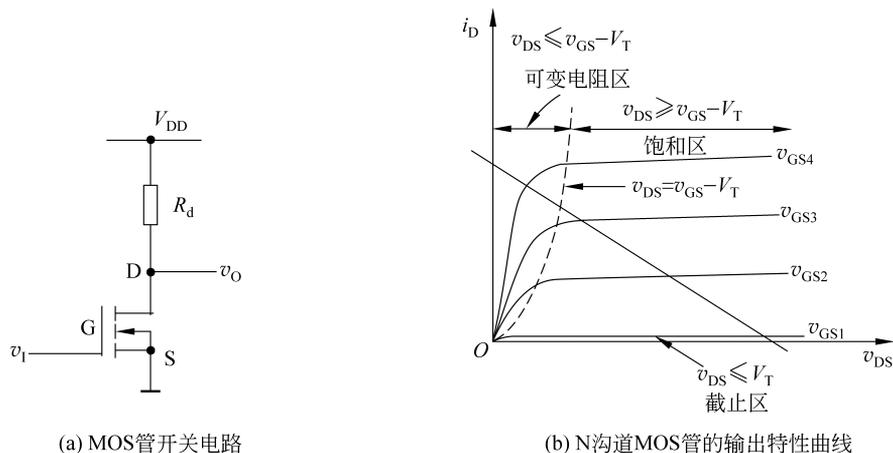


图 3-1 MOS 管开关电路及其输出特性曲线

当 $v_i < V_T$ 时,MOS 管处于截止状态, $i_D = 0$,输出电压 $v_o = V_{DD}$ 。此时器件不损耗功率。

当 $v_i > V_T$ 并且比较大,使得 $v_{DS} > v_{GS} - V_T$ 时,MOS 管工作在饱和区。随着 v_i 增加, i_D 增加, v_{DS} 随之下落,MOS 管最后工作在可变电阻区。从特性曲线的可变电阻区可以看到,当 v_{GS} 一定时,D、S 之间可近似等效为线性电阻。 v_{GS} 越大,输出特性曲线越倾斜,等效电阻越小。此时 MOS 管可以看成是一个受 v_{GS} 控制的可变电阻。 v_{GS} 的取值足够大时,使得 R_d 远远大于 D、S 之间的等效电阻时,电路输出为低电平。

由此可见, MOS 管相当于一个由 v_{GS} 控制的无触点开关, 当输入为低电平时, MOS 管截止, 相当于开关“断开”, 输出为高电平, 其等效电路如图 3-2(a) 所示; 当输入为高电平时, MOS 管工作在可变电阻区, 相当于开关“闭合”, 输出为低电平, 其等效电路如图 3-2(b) 所示。图中 R_{on} 为 MOS 管导通时的等效电阻, 约在 $1k\Omega$ 以内。

在图 3-1(a) 所示 MOS 管的开关电路的输入端, 加一个理想的脉冲波形, 如图 3-3(a) 所示。

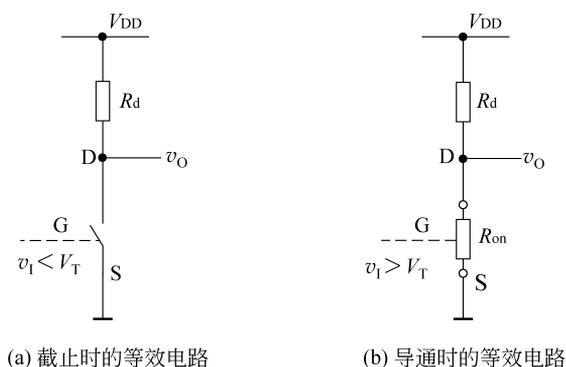


图 3-2 MOS 管的开关等效电路

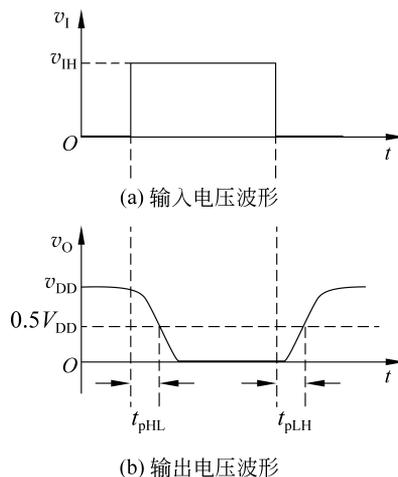


图 3-3 MOS 管的开关电路波形

由于 MOS 管中栅极与衬底之间的电容 C_{GB} 、漏极与衬底间的电容 C_{DB} 、栅极与漏极间的电容 C_{GD} 以及导通电阻等的存在, 使其在导通和闭合两种状态之间转换时不可避免地会受到电容充、放电过程的影响。输出电压 v_o 的波形已不是和输入一样的理想脉冲, 上升沿和下降沿都变得缓慢了, 而且输出电压的变化滞后于输入电压的变化。

3.1.3 CMOS 反相器和传输门

由于 CMOS 电路中巧妙地利用了 N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管特性的互补性, 因而不仅电路结构简单, 而且在电气特性上也有突出的优点。正因为如此, CMOS 电路的制作工艺在数字集成电路中得到了广泛的应用。

在 CMOS 逻辑电路中, 反相器(非门)和传输门是最基本的两种电路单元。各种逻辑功能门电路和很多更加复杂的逻辑电路都是在这两种单元的基础上组合而成的。

1. CMOS 反相器

图 3-4 是 CMOS 反相器的电路结构图。由该图可见, 它由一个 N 沟道增强型 MOS 管 T_N 和一个 P 沟道增强型 MOS 管 T_P 组成, 两管的栅极相连作为输入端, P 沟道管的源极接至电源的正端, N 沟道管的源极接至电源的公共端(电源的负

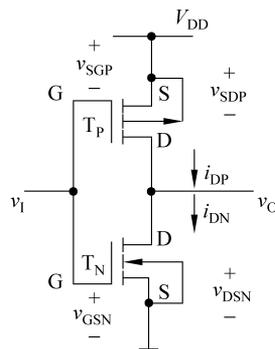


图 3-4 CMOS 反相器

端),两管的漏极相连作为输出端。按照图中标明的电压与电流方向, $v_1 = v_{GSN}$, $v_O = v_{DSN}$, 并设 $i_{DN} = i_{DP} = i_D$ 。为了使电路正常工作,要求电源电压 V_{DD} 大于两只 MOS 管的开启电压的绝对值之和,即 $V_{DD} > (V_{TN+} + |V_{TP}|)$ 。

假定电源电压 V_{DD} 为 +5V, 输入信号的高电平 V_{IH} 等于 5V, 低电平 $V_{IL} = 0V$, 并且 V_{DD} 大于 T_N 的开启电压 V_{TN} 和 T_P 开启电压 V_{TP} 的绝对值之和。当输入为低电平 $V_{IL} = 0$ 时, T_N 的 $v_{GS} = 0$, 所以 T_N 截止; 而 T_P 的 $v_{GS} = -V_{DD}$, 所以 T_P 导通。由于 T_N 的截止电阻远大于 T_P 的导通电阻, 所以反相器的等效电路可以用图 3-5(a) 表示, 故输出为高电平 $V_{OH} = V_{DD}$ 。

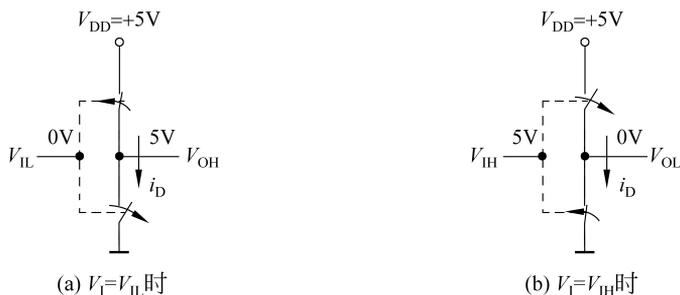


图 3-5 反相器的开关等效特性

当输入为高电平 $V_{IH} = V_{DD}$ 时, T_P 的 $v_{GS} = 0$, T_P 截止; 而 T_N 的 $v_{GS} = V_{DD}$, T_N 导通。这时反相器的等效电路可以画成图 3-5(b) 的形式, 故输出为低电平 $V_{OL} = 0$ 。

从图 3-5 的等效电路可以看到, 无论输入是高电平还是低电平, T_N 和 T_P 当中总有一个处于导通状态而另一个处于截止状态, 因此称这种电路结构为互补输出结构。而且不管输入是高电平还是低电平, 同时流过 T_N 和 T_P 的电流 i_D 始终近似等于 0。这是 CMOS 电路最大的一个优点。当然, 实际的 MOS 管截止内阻不会是无穷大, i_D 也不绝对等于 0, 但它的数值极小, 所以在分析输出的高、低电平时可以忽略不计。

CMOS 反相器电压传输特性是指其输出电压 v_O 随输入电压 v_1 变化所得到的曲线, 如图 3-6(a) 所示。电流传输特性是指漏极电流 i_D 随输入电压 v_1 变化的曲线, 如图 3-6(b) 所示, 图中 $V_{DD} = 5V$, $V_{TN} = |V_{TP}| = V_T = 1V$ 。根据 T_N 和 T_P 两管工作原理的不同, 可将传输特性曲线分为五段。在传输特性曲线的 AB 段或 EF 段, 根据 CMOS 反相器的两种极限情况分析可知, 不论输出为高电平或是低电平, 总有一只 MOS 管工作在截止区, 因此流过两管的电流接近于零值。

在 BC 段或 DE 段, T_N 和 T_P 两管中总有一个工作在饱和区, 另一个工作在可变电阻区。此时输出电流比较大, 传输特性变化比较快, 两管在 $v_1 = V_{DD}/2$ 处转换状态。

在 CD 段, 由于 T_N 和 T_P 两管均工作在饱和区, 此时 $v_1 = V_{DD}/2$, 电流 i_D 达到最大值。在两管均导通的过渡区域, 由于电流较大, 因而产生较大的功耗。使用时应避免使两管长时间工作在此区域, 以防止功耗过大而损坏。

当 $V_{TN} < v_1 < V_{DD} - |V_{TP}|$ 时, T_N 和 T_P 两管同时导通。考虑到电路是互补对称的, 一个器件可将另一个器件视为它的漏极负载。还应注意, 器件在饱和区呈现恒流特性, 两

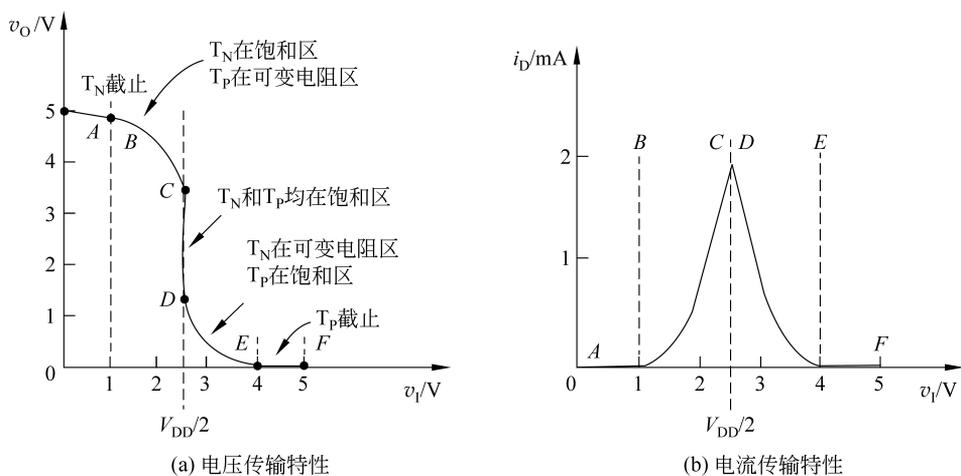


图 3-6 CMOS 反相器的电压和电流传输特性

管之一可当作高阻值的负载。因此,在过渡区域,传输特性变化比较急剧。两管在 $v_I = V_{DD}/2$ 处转换状态。

2. CMOS 传输门

CMOS 传输门是由一个 N 沟道增强型 MOS 管和一个 P 沟道增强型 MOS 管接成的双向开关,如图 3-7(a)所示。它的开关状态由加在 P 和 N 的控制信号决定。图 3-7(b)是它的逻辑符号。当 $P=0V$ 且 $N=V_{DD}$ 时,两个 MOS 管均为导通状态,A—B 间呈低导通电阻(可以达到 10Ω 以内),这样 A—B 间相当于开关接通。反之,若 $P=V_{DD}$ 、 $N=0V$,则两只 MOS 管同时截止,A—B 间相当于开关断开。

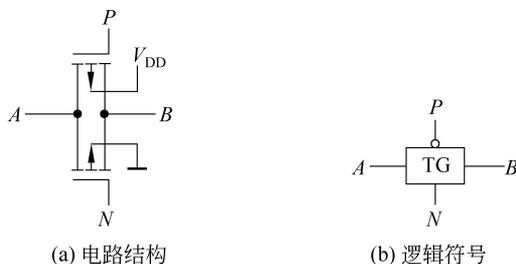


图 3-7 CMOS 传输门

3.1.4 CMOS 与非门、或非门和异或门

在反相器的基础上,通过在反相器上并联或串联而附加一些 MOS 管,就很容易构成与非门和或非门了。图 3-8 是与非门的电路结构和逻辑符号。

由图 3-8(a)可见:

当 $A=B=0$ 时, T_1 和 T_2 截止, T_3 和 T_4 导通, $L=1$ 。

当 $A=0$ 、 $B=1$ 时, T_1 截止, T_3 导通, $L=1$ 。

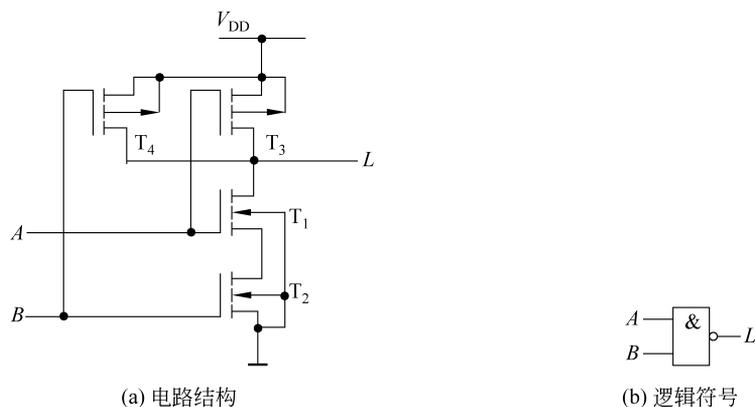


图 3-8 CMOS 与非门

当 $A=1, B=0$ 时, T_2 截止, T_4 导通, $L=1$ 。

当 $A=B=1$ 时, T_1 和 T_2 导通, T_3 和 T_4 截止, $L=0$ 。

因此, L 和 A, B 之间为与非关系, 即 $L = \overline{AB}$ 。

图 3-9 是或非门的电路结构。由该图可见, 只要 A, B 当中有一个是 1, L 就等于 0, 只有 A, B 同时为 0 时, L 才等于 1。因此, L 和 A, B 间为或非关系, 即 $L = \overline{A+B}$ 。

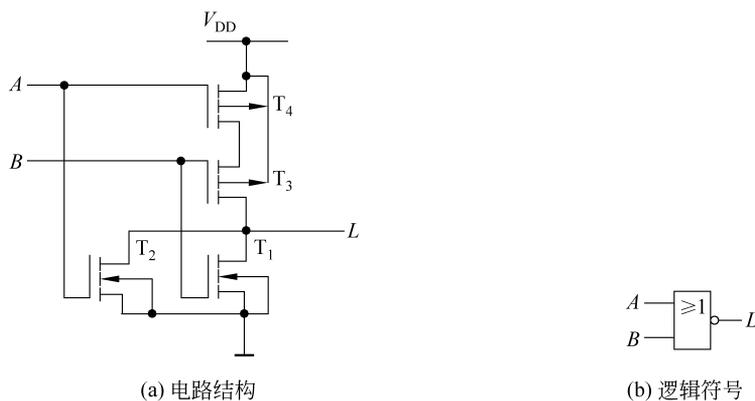


图 3-9 CMOS 或非门

CMOS 异或门电路如图 3-10 所示。它由一级或非门和一级与或非门组成。或非门的输出为 $X = \overline{A+B}$, 而与或非门的输出 L 则为输入 A, B 的异或, 即:

$$L = \overline{AB + X} = \overline{AB + \overline{A+B}} = \overline{AB + \overline{A}\overline{B}} = A \oplus B$$

3.1.5 CMOS 漏极开路门电路和三态输出门电路

在 CMOS 门电路的输出结构中, 除了已经讲过的互补输出结构以外, 还有漏极开路输出结构和三态输出结构。下面分别讨论。

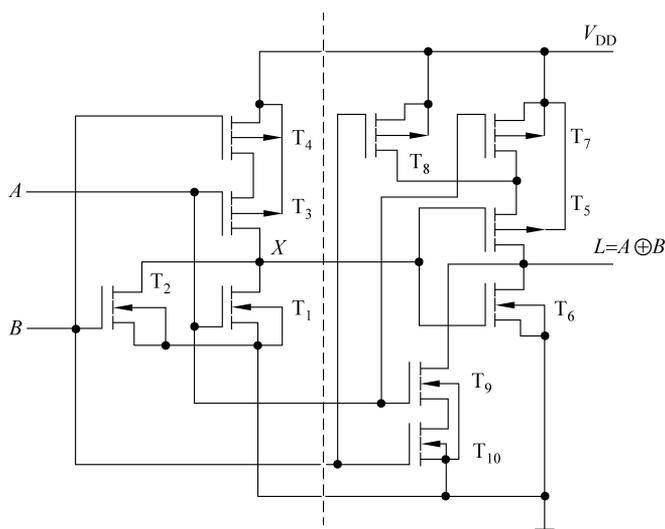


图 3-10 CMOS 异或门

1. CMOS 漏极开路门电路—OD 门

(1) 电路及逻辑符号。

漏极开路输出结构的门电路又称为 OD 门。所谓漏极开路是指 CMOS 门输出电路只有 NMOS 管,并且它的漏极是开路的。图 3-11 是漏极开路输出与非门的电路结构和逻辑符号。从它的输出端看进去是一只漏极开路的 MOS 管。这里用与非门逻辑符号里面的菱形标记表示它是漏极开路输出结构,同时用菱形下面的短横线表示当输入为低电平时输出端的 MOS 管是导通的,门电路的输出电阻为低电阻。

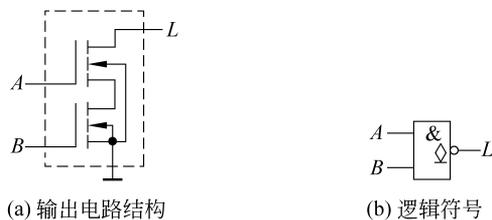


图 3-11 漏极开路(OD)与非门电路及其逻辑符号

(2) OD 门的典型应用。

OD 门在计算机中应用很广泛,它可实现“线与”逻辑、总线传输及逻辑电平的转换等。下面分别加以说明。

① 实现“线与”逻辑。

漏极开路输出门电路的一个特有功能是可以将它们的输出端直接相连,实现输出信号之间的逻辑与运算,图 3-12(a)为电路接线图,图 3-12(b)为电路逻辑图。我们把这种连接方式称为“线与”(Wire And)。由图中可以看出,只有在 Y_1 和 Y_2 同时为高电平时 L 才等于 1,因此 L 和 Y_1 、 Y_2 之间是与逻辑关系,即

$$L = Y_1 Y_2 = \overline{ABCD}$$

在使用这一类门电路时,需要在输出端与电源之间外接一个上拉电阻 R_P ,如图 3-12(a)所示。只要 R_P 的阻值远远小于 Y_1 或 Y_2 的截止电阻 R_{OFF} ,而又远远大于 Y_1 和 Y_2 的导通电阻 R_{ON} ,则输出的高、低电平将近似为 $V_{OH} = V_{DD}$ 、 $V_{OL} = 0$ 。

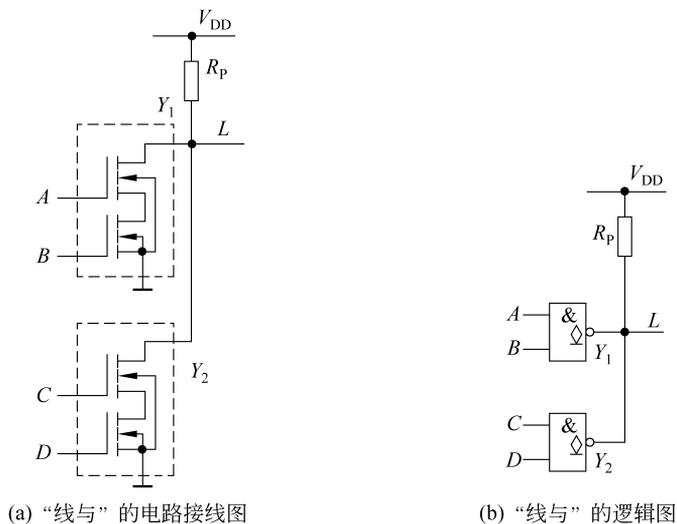


图 3-12 漏极开路与非门“线与”电路及其逻辑符号

下面讨论一下 R_P 阻值的计算方法。若将 n 个 OD 门接成“线与”结构,并考虑存在负载电流 I_L 的情况下,电路将如图 3-13 所示。

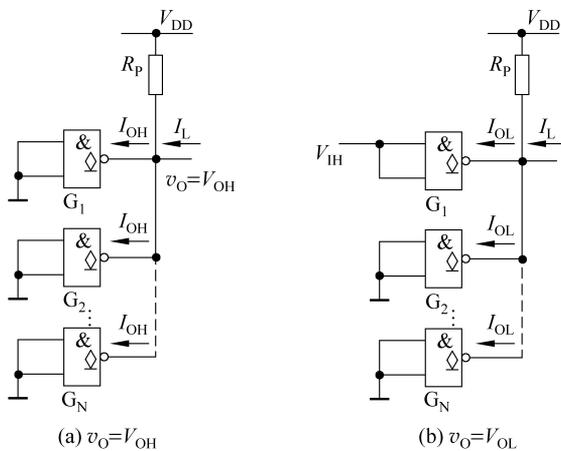


图 3-13 计算 R_P 取值范围所用的电路

由图 3-13(a)可见,当输出为高电平 V_{OH} 时,所有 OD 门输出端的 MOS 管全都处于截止状态。这些 OD 门输出管的漏电流 I_{OH} 和负载电流 I_L 同时流过 R_P ,并在 R_P 上产生压降。为保证输出电压高于要求的 V_{OH} 值, R_P 的阻值不能太大,必须满足:

$$v_O = V_{DD} - (nI_{OH} + |I_L|)R_P \geq V_{OH}$$

由此即可得 R_P 的最大允许值 $R_{P(\max)}$ 。

$$R_P \leq (V_{DD} - V_{OH}) / (nI_{OH} + |I_L|) = R_{P(\max)} \quad (3-1)$$

因为输出为高电平时负载电流 I_L 是 OD 门流出的, 和图 3-13(a) 箭头所标示的规定正方向相反, 所以应取其绝对值代入式(3-1)计算。

在输出为低电平 V_{OL} 的情况下, 当只有一个 OD 门的输出管导通时, 负载电流 I_L 和流过 R_P 的电流将全部流入这个 MOS 管, 如图 3-13(b) 所示。为了保证流入这个导通 OD 门的电流不超过允许的低电平输出电流最大值 $I_{OL(\max)}$, R_P 的阻值不能太小, 必须满足:

$$I_L + (V_{DD} - V_{OL}) / R_P \leq I_{OL(\max)}$$

由此得到 R_P 的最小允许值:

$$R_P \geq (V_{DD} - V_{OL}) / (I_{OL(\max)} - I_L) = R_{P(\min)} \quad (3-2)$$

例 3-1 计算图 3-14 所示电路中 OD 门外接上拉电阻 R_P 取值的允许范围。已知 $V_{DD} = 5V$, OD 门 $G_1 \sim G_3$ 输出端 MOS 管截止时的漏电流 $I_{OH} = 5\mu A$, 导通时允许流入的最大负载电流为 $I_{OL(\max)} = 4mA$ 。负载 $G_4 \sim G_7$ 是四个反相器, 它们的高电平输入电流为 $I_{IH} = 1\mu A$, 低电平输入电流为 $I_{IL} = -1\mu A$ (从输入端流出)。要求输出的高、低电平满足 $V_{OH} \geq 4.4V$, $V_{OL} \leq 0.2V$ 。

解: 根据式(3-1)得到:

$$\begin{aligned} R_{P(\max)} &= (V_{DD} - V_{OH}) / (nI_{OH} + |I_L|) \\ &= (5 - 4.4) / (3 \times 5 \times 10^{-6} + 4 \times 10^{-6}) \Omega \\ &= 31.6k\Omega \end{aligned}$$

根据式(3-2)又可得到:

$$\begin{aligned} R_{P(\min)} &= (V_{DD} - V_{OL}) / (I_{OL(\max)} - I_L) \\ &= (5 - 0.2) / (4 \times 10^{-3} - 4 \times 10^{-6}) \Omega \\ &= 1.2k\Omega \end{aligned}$$

故得到 R_P 允许的取值范围为 $1.2k\Omega \leq R_P \leq 31.6k\Omega$ 。

注意, 这种“线与”连接方法不能用于普通的互补输出门电路。以图 3-15 中的两个互补输出的与非门为例, 假定与非门 G_1 的两个输入为低电平, 而与与非门 G_2 的两个输入为高电平, 则 G_1 的 T_3 和 T_4 导通, T_1 和 T_2 截止, 而 G_2 的 T_7 和 T_8 截止, T_5 和 T_6 导通。如果将 G_1 和 G_2 的输出端相连, 则由于 T_3 、 T_4 、 T_5 和 T_6 都处于低内阻的导通状态, 流过它们的电流 I_L 将远远超过正常工作状态下的允许值。因此, 不能将它们的输出端并联使用。

② 实现总线传输。

漏极开路输出的门电路还可以用于接成总线结构的系统。例如在图 3-16 中, 三个漏极开路输出的与非门输出端接到了同一条总线上。只要任何时候 B_1 、 B_2 和 B_3 当中只有一个为 1, 就可以在同一条总线上传送相应的信号 \bar{A}_1 、 \bar{A}_2 和 \bar{A}_3 。

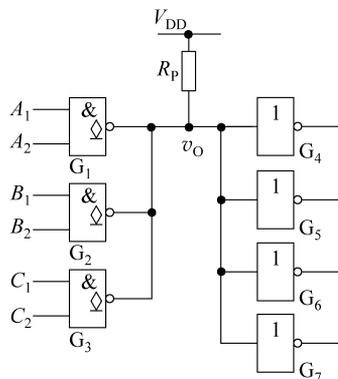


图 3-14 例 3-1 的电路图

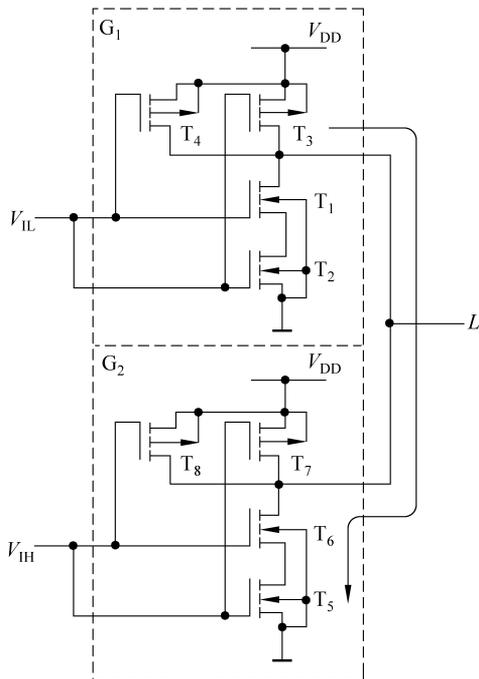


图 3-15 两个互补输出与非门输出并联情况

③ 实现逻辑电平的转换。

此外,利用漏极开路输出的门电路还能很方便地实现输入信号逻辑电平与输出信号逻辑电平的变换。由图 3-16 可知,输出的高电平 $V_{OH} = V_{DD}$ 。这个 V_{DD} 值可以不等于输入信号的高电平 V_{IH} 。我们完全可以根据对输出高电平的要求选定这个 V_{DD} 值。

④ 驱动发光二极管。

通常数字逻辑电路要外接指示电路。图 3-17 所示为 OD 与非门驱动发光二极管 D 的接口电路,当 OD 与非门输出低电平时,有较大的电流从 V_{CC} 经电阻 R 和发光二极管 D 到 OD 门输出端,发光二极管 D 导通发亮。当 OD 与非门输出高电平时,就不足以使二极管 D 发亮的电流流过,发光二极管就变暗。

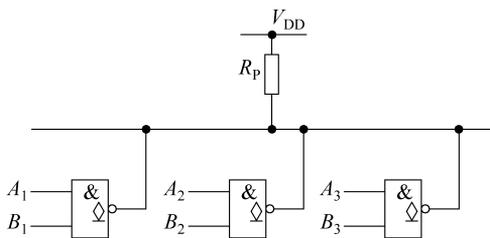


图 3-16 利用漏极开路输出门接成总线结构

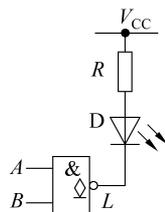


图 3-17 驱动发光二极管的接口电路

2. 三态(TSL)输出的门电路

三态门是一种计算机广泛使用的特殊门电路。它有三种输出状态:高电平 V_{OH} 、低

电平 V_{OL} 和高阻抗状态。其中 V_{OH} 和 V_{OL} 为工作态,高阻抗状态为禁止态。

注意: 三态门不是具有三个逻辑值,在工作状态下,它的输出可为逻辑“1”和逻辑“0”;在禁止态下,输出高阻表示输出端悬浮,此时该门电路与其他门电路无关,因此不是一个逻辑值。

图 3-18(a)所示为高电平使能的三态输出缓冲电路,其中 A 是输入端, L 是输出端, EN 是控制信号输入端,也称使能端。图 3-18(b)是它的逻辑符号。

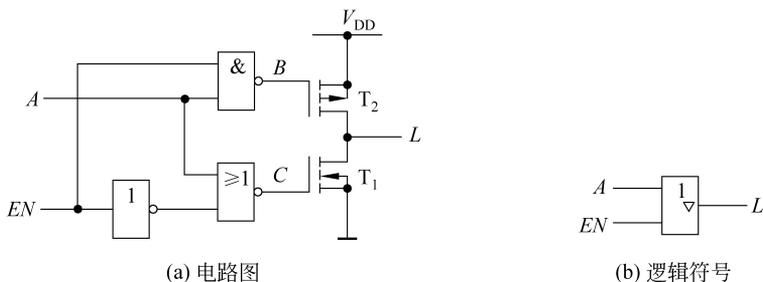


图 3-18 三态输出门电路及其逻辑符号

由图可见,当控制端 $EN=1$ 时,如果 $A=0$,则 $B=1, C=1$,使得 T_1 导通, T_2 截止,输出端 $L=0$;如果 $A=1$,则 $B=0, C=0$,使得 T_1 截止, T_2 导通,输出端 $L=1$ 。

当控制端 $EN=0$ 时,不论 A 的取值为何,都使得 $B=1, C=0$,则 T_1 和 T_2 均截止,电路的输出端出现开路,既不是低电平,又不是高电平,这就是第三种状态——高阻工作状态。

其他逻辑功能的门电路(如与非门、或非门等)也可以在输出端接入三态输出反相器,组成三态输出结构的门电路。

三态输出的门电路广泛地用于采用总线连接的数字系统中。例如在图 3-19 的总线结构电路中,只要轮流地令 EN_1 、 EN_2 和 EN_3 为 1,就可以用同一根总线(bus)轮流传送 A 、 B 、 C 三个数字信号。

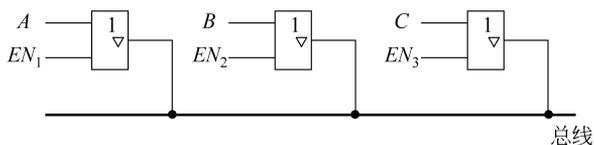


图 3-19 用三态输出门实现总线连接

3.1.6 CMOS 门电路的电气特性和参数

当选用各种数字集成电路器件组成所需要的数字电路时,不仅需要知道这些器件的逻辑功能,还需要了解它们的电气特性。只有这样,才能正确地处理这些集成电路之间以及它们和外围其他电路之间的连接问题。

1. 直流电气特性和参数

所谓直流电气特性(也称静态特性)是指电路处于稳定工作状态下的电压和电流特

性,通常用一系列电气参数来描述。对于不同系列产品,这些电气参数的具体数值也不相同,可查阅附录 B。下面以 74HC 系列 CMOS 集成电路为例,说明这些参数的物理意义。

(1) 输入高电平 V_{IH} 和输入低电平 V_{IL} 。

由图 3-6 中的 CMOS 反相器的电压传输特性上可以看到,在保证输出电平基本不变的情况下,允许输入高、低电平有一定范围的变化。因此,在指定的电源电压下,都给出输入高电平的最小值 $V_{IH(\min)}$ 和输入低电平的最大值 $V_{IL(\max)}$ 。在电源电压 V_{DD} 为 +5V 时,74HC 系列集成电路的 $V_{IH(\min)}$ 约为 3.5V, $V_{IL(\max)}$ 约为 1.5V。

(2) 输出高电平 V_{OH} 和输出低电平 V_{OL} 。

V_{OH} 和 V_{OL} 同样也各有一个允许的数值范围,所以同样也给出输出高电平的最小值 $V_{OH(\min)}$ 和输出低电平的最大值 $V_{OL(\max)}$ 。在 +5V 电源电压下,74HC 系列 CMOS 集成电路的 $V_{OH(\min)}$ 约为 3.84V(输出端接 TTL 负载), $V_{OL(\max)}$ 约为 0.33V(输出端接 TTL 负载)。

(3) 噪声容限 V_{NH} 和 V_{NL} 。

在将两个门电路互相连接使用时,前面一个门电路的输出即为后面一个门电路的输入信号,如图 3-20 所示。由于 G_1 输出高电平的下限值 $V_{OH(\min)}$ 高于 G_2 输入电压高电平下限值 $V_{IH(\min)}$,所以允许在高电平输入信号上叠加一定限度内的噪声电压,并称这个允许的限度为高电平噪声容限 V_{NH} 。由图 3-20 可知:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} \quad (3-3)$$

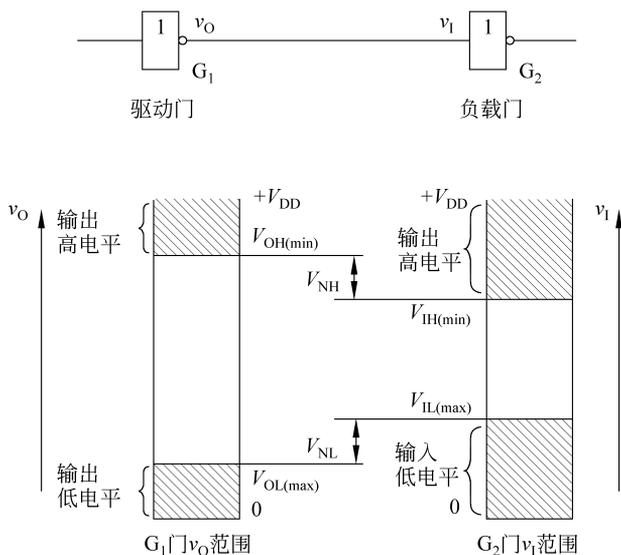


图 3-20 CMOS 电路的输入、输出电平和噪声容限

同理,定义低电平噪声容限为:

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} \quad (3-4)$$

在图 3-20 给定的高、低电平情况下,可以算出 74HC 系列门电路的噪声容限为:

$$V_{NH} = 3.84 - 3.5 = 0.34\text{V}$$

$$V_{NL} = 1.5 - 0.33 = 1.17\text{V}$$

2. 开关电气特性和参数

开关电气特性也称作动态特性,是指电路在状态转换过程中的电压和电流特性。用于描述开关特性的重要参数如下。

(1) 传输延迟时间 t_{pd} (propagation delay)。

图 3-21(a)所示为由保护电路和 MOS 管构成的 CMOS 反相器。由于 MOS 管开关状态的转换不是瞬间完成的,而且输出端又存在着负载电容 C_L ,所以当输入电压突变时,输出电压的变化要比输入电压的变化延迟一段时间,如图 3-21(b)所示。考虑到输入电压和输出电压的变化都不可能是理想的突变,需要经历一段上升时间或下降时间,所以便于计算起见,取输出波形下降沿和上升沿的中点与对应的输入波形对应沿中点之间的时间间隔,分别用 t_{PLH} 和 t_{PHL} 表示。

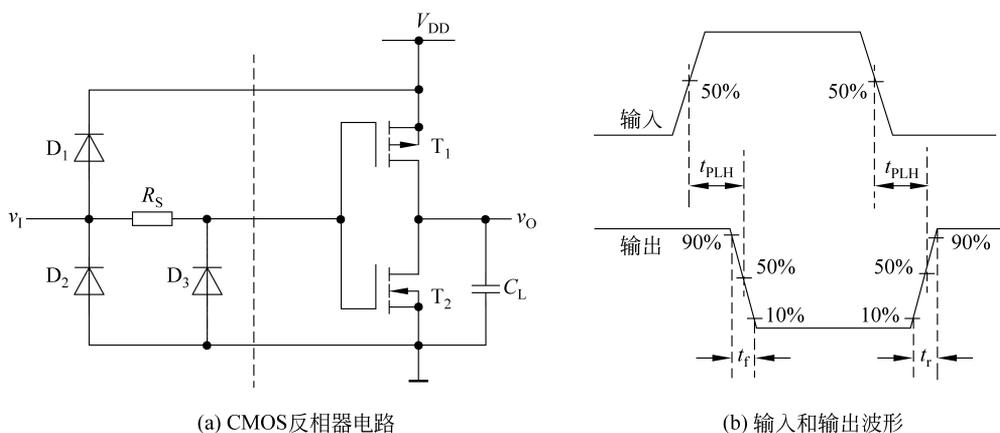


图 3-21 CMOS 门电路传输延迟时间

在 CMOS 门电路中,输出电压由高电平变为低电平时的传输延迟时间 t_{PHL} 和由低电平变为高电平时的传输延迟时间 t_{PLH} 相近,所以通常只给出一个 t_{pd} 参数。在 t_{PHL} 与 t_{PLH} 不相等时, t_{pd} 通常标示二者的平均值。此外,不仅是反相器,在所有各种门电路中都存在着传输延时的问题。传输延迟时间的大小与门电路的负载电容 C_L 有关,即电容 C_L 越大,传输延迟时间将越长,而且输出电压波形的上升和下降时间也越长。因此, C_L 越小,越有利于减小 t_{pd} 和改善输出电压波形。然而,在任何实际电路中, C_L 总是不可避免地存在着。 C_L 不仅包括输出端外接负载电路的电容,还包括门电路内部输出端的电容以及接线和封装的杂散电容。集成电路器件手册上给出的传输延迟时间都是在规定的 C_L 条件下测得的数据。在 $C_L = 50\text{pF}$ 的条件下,反相器 74HC04 的传输延迟时间 t_{pd} 约为 9ns。

(2) 功耗。

功耗分为静态功耗和动态功耗。静态功耗指的是当电路的输出没有状态转换时的功耗,即门电路空载时电源总电流 I_D 与电源电压 V_{DD} 的乘积。CMOS 电路处于稳定状态下的静态功耗 P_Q 是非常小的。这是因为无论输出保持在高电平还是低电平,电源电流都极小。例如 74HC04 集成电路中有 6 个反相器,静态下的电源电流在 $1\mu\text{A}$ 以下,所以这时的功耗几乎可以忽略不计。

动态功耗指的是电路在输出状态转换时的功耗。CMOS 电路在状态转换过程中产生的动态功耗要比静态功耗大得多。由图 3-21(a) 可以看到, 在输出电压 v_O 由低电平跳变为高电平的过程中, 电源电压 V_{DD} 经过 T_2 的导通内阻 $R_{ON(P)}$ 向 C_L 充电, 充电电流流经 $R_{ON(P)}$ 产生功率损耗。在 v_O 由高电平跳变为低电平的过程中, 电容上的电荷将通过 T_1 的导通内阻 $R_{ON(N)}$ 放电, 放电电流流经 $R_{ON(N)}$ 也产生功率损耗。可以证明, 由于 C_L 充、放电产生的功耗 P_L 可用下式计算:

$$P_L = C_L V_{DD}^2 f \quad (3-5)$$

式中, f 为输出电压变化的频率。

此外, 在电路的输出电平从高到低或从低到高的转换过程中, 输出端的一对 MOS 管会出现短暂时间内同时导通的状态, 因而有一个尖峰电流流过两个 MOS 管, 产生瞬变功耗 P_T 。 P_T 的大小和输入保护电路的电路参数、MOS 管的特性以及输入信号频率 f 有关。在输入信号的变化速度很快(低于规定的上升、下降时间)的情况下, 瞬变功耗可近似用下式计算:

$$P_T = C_{pd} V_{DD}^2 f \quad (3-6)$$

式中, C_{pd} 称为功耗电容, 它的数值由器件手册给出。需要说明的是 C_{pd} 并不是一个接在输出端的实际电容, 它只是一个用于计算瞬变功耗的等效参数。

综合以上两部分, 就得到了总的动态功耗 P_D 为:

$$P_D = P_L + P_T = (C_L + C_{pd}) V_{DD}^2 f \quad (3-7)$$

例 3-2 已知 CMOS 反相器的电源电压 $V_{DD} = 5V$, 静态电源电流 $I_{DD} = 0.2\mu A$, 负载电容 $C_L = 100pF$, 功耗电容 $C_{pd} = 20pF$, 输入信号频率 $f = 500kHz$, 试求反相器的动态功耗和静态功耗。

解: 根据式(3-7)得到动态功耗为:

$$\begin{aligned} P_D &= (C_L + C_{pd}) V_{DD}^2 f \\ &= (100 + 20) \times 10^{-12} \times 5^2 \times 5 \times 10^5 \text{ W} \\ &= 1.5 \text{ mW} \end{aligned}$$

静态功耗为:

$$\begin{aligned} P_Q &= V_{DD} I_D \\ &= 5 \times 0.2 \times 10^{-6} \text{ W} \\ &= 1\mu \text{ W} \end{aligned}$$

可见, 与动态功耗 P_D 相比, 静态功耗 P_Q 可忽略不计。

(3) 输入电容 C_1 。

CMOS 集成电路的输入电容 C_1 包含了输入级一对 MOS 管的栅极电容以及输入保护电路的接线杂散电容。74HC 系列门电路 C_1 的典型数值为 $3pF$ 。当输入信号来自前一级门电路时, 它将成为前一级门电路输出端的一个负载电容。

3. 扇入数与扇出数

门电路的扇入数取决于它的输入端的个数, 例如一个 3 输入端与非门, 其扇入数 $N_1 = 3$ 。

门电路的扇出数是指其在正常工作情况下, 所能带同类门电路的最大数目。扇出数的计算要稍复杂些, 这时要考虑两种情况, 一种是负载电流从驱动门流向外电路, 称为拉

电流负载;另一种是负载电流从外电路流入驱动门,称为灌电流负载。“拉”与“灌”形象地表明了负载的性质,下面分别予以介绍。

(1) 拉电流工作情况图。

图 3-22(a)所示为拉电流负载的情况,图中左边为驱动门,右边为负载门,负载门的输入电流为 I_{IH} 。当负载门的个数增加时,总的拉电流将增加,会引起输出高电压的降低。但不得低于输出高电平的下限值,这就限制了负载门的个数。这样,输出为高电平时的扇出数可表示如下:

$$N_{OH} = \frac{I_{OH}(\text{驱动门})}{I_{IH}(\text{负载门})} \quad (3-8)$$

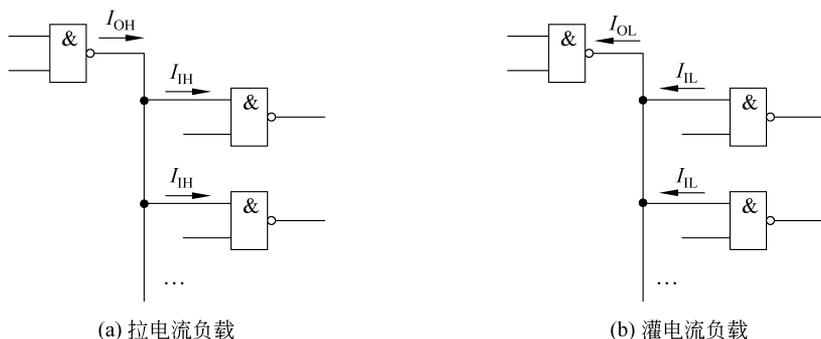


图 3-22 计算扇出数的两种情况

(2) 灌电流工作情况图。

图 3-22(b)所示为灌电流负载的情况,当驱动门的输出端为低电平时,负载电流 I_{OL} 流入驱动门,它是负载门输入端电流 I_{IL} 之和。当负载门的个数增加时,总的灌电流 I_{OL} 将增加,同时也将引起输出低电压 V_{OL} 的升高。当输出为低电平并且保证不超过输出低电平的上限值时,驱动门所能驱动同类门的个数由下式决定:

$$N_{OL} = \frac{I_{OL}(\text{驱动门})}{I_{IL}(\text{负载门})} \quad (3-9)$$

一般在逻辑器件的手册中并不给出扇出数,而必须用计算或实验的方法求得,并注意在设计时留有余地,以保证数字电路或系统能正常地运行。在实际的工程设计中,如果输出高电平电流 I_{OH} 与输出低电平电流 I_{OL} 不相等,则 $N_{OL} \neq N_{OH}$,常取二者中的最小值。

对于 CMOS 门电路扇出数的计算分两种情况,一种是带 CMOS 负载,另一种是带 TTL 负载。负载类型不同,数据手册中给出的输出高电平电流 I_{OH} 或者输出低电平电流 I_{OL} 也不同。当所带负载为 CMOS 电路时,根据数据手册,查得 74HC/74HCT 的输出电流 $I_{OH} = -20\mu\text{A}$, $I_{OL} = 20\mu\text{A}$, 输入电流 $I_{IH} = 1\mu\text{A}$, $I_{IL} = -1\mu\text{A}$ 。数据前的负号表示电流从器件流出,反之表示电流流入器件,计算时只取绝对值。所以 $N_{OH} = N_{OL} = 20\mu\text{A}/1\mu\text{A} = 20$,即最多可接同类型电路的输入端数为 20 个。

上述 CMOS 扇出数的计算是保证 CMOS 驱动门的高电平输出为 4.9V。如果允许其高电平输出降至 TTL 门的逻辑电平 3.84V(低电平亦然),则 I_{OH} 和 I_{OL} 分别为 -4mA 和 4mA ,此时计算出的扇出数为 4000,实际不可能达到这么大的数,因为 CMOS 门的输入

电容比较大,电容的充放电电流不能忽略。

74HCT 系列与 TTL 兼容,如果 CMOS 所带负载为 74LS 系列的 TTL 门电路,此时 $I_{OH} = I_{OL} = 4\text{mA}$,而 $I_{IH} = 0.02\text{mA}$, $I_{IL} = 0.4\text{mA}$,根据式(3-8)可计算高电平输出时的扇出数:

$$N_{OH} = \frac{I_{OH}}{I_{IH}} = \frac{4\text{mA}}{0.02\text{mA}} = 200$$

根据式(3-9)可计算低电平输出时的扇出数:

$$N_{OL} = \frac{I_{OL}}{I_{IL}} = \frac{4\text{mA}}{0.4\text{mA}} = 10$$

因此,根据上述两种情况的计算,取数值小的为扇出数,即 CMOS 最多可接 10 个 74LS 系列 TTL 门电路的输入端。这里考虑每个负载门只有一个输入端与驱动门相接,如果每个负载门有两个以上的输入端接入驱动门,则扇出数实为输入端数目。

值得指出的是,当负载为 CMOS 逻辑门时,其输入电容不能忽略。驱动门为高电平时,会向负载门的输入电容充电;而驱动门为低电平时,充电的电容会通过驱动门输出电阻放电。因此,增加负载门数量将导致总电容值的增加,致使充、放电时间增加,从而影响门电路的开关速度。

4. 各种系列 CMOS 数字集成电路的性能比较

到目前为止,各国生产的 CMOS 数字集成电路已有 4000 系列、HC/HCT 系列、AHC/AHCT 系列、LVC 系列和 ALVC 系列等定型产品,其中 4000 系列是最早投放市场的 CMOS 数字集成电路定型产品。由于当时生产工艺水平的限制,虽然它的工作电压范围比较宽(3~18V),但存在着传输延迟时间长(60~100ns)、负载能力弱的缺点。例如工作在 5V 的电源电压下时,允许的高电平输出电流和低电平输出电流的最大值只有 0.5mA。因此,现在已经很少使用 4000 系列产品了。

HC/HCT 系列是高速 CMOS 逻辑(High-speed CMOS Logic)系列的简称。经过改进制造工艺生产的 HC/HCT 系列产品大大缩短了传输延迟时间,同时也提高了负载能力。当电源电压为 5V 时,HC/HCT 系列的传输延迟时间约为 10ns,几乎是 4000 系列的十分之一;输出高、低电平时的最大负载电流达 4mA。

HC 系列和 HCT 系列的区别在于,HC 系列的工作电压范围较宽(2~6V),但它的输入、输出电平和负载能力不能和下面将要介绍的 TTL 电路完全兼容,所以适于用在单纯由 CMOS 器件组成的系统中。而 HCT 系列一般仅工作在 5V 电源电压下,在输入、输出电平以及负载能力上均可与 TTL 电路兼容,所以适于用在 CMOS 与 TTL 混合的系统中。

AHC/AHCT 系列是改进的高速 CMOS 逻辑(Advanced HC/HCT Logic)系列的简称。通过进一步改进生产工艺,AHC/AHCT 系列在电气性能上又有了进一步提高。它的传输延迟时间约为 HC/HCT 系列的三分之一,而负载能力提高了一倍。

LVC 系列是低压 CMOS 逻辑(Low-Voltage CMOS Logic)系列的简称。LVC 系列不仅能在很低的电源电压(1.65~3.6V)下工作,而且传输延迟时间非常短(在 5V 的极限电源电压下仅为 3.8ns),还可提供高达 24mA 的输出驱动电流。此外,LVC 系列还提供

了多种用于 3.3~5V 逻辑电平转换的器件。

ALVC 系列是改进的 LVC 逻辑(Advanced Low-Voltage CMOS Logic)系列的简称。它在电气性能上比 LVC 系列更加优越。LVC 和 ALVC 系列是目前 CMOS 电路中最新也是性能最好的产品,可以满足当今一些最先进的高性能数字系列设计的需要。

在诸多系列的 CMOS 电路产品中,只要产品型号最后的数字相同,它们的逻辑功能就是一样的。例如 74/54HC00、74/54HCT00、74/54AHCT00、74/54LVC00 和 74/54ALVC00 的逻辑功能是一样的,它们都是 4-2 输入与非门,即内部有四个两输入端的与非门。但是,它们的电气性能和参数就大不相同了。54HC00 和 74HC00 仅在允许的工作环境温度范围上有所区别,其他方面(逻辑功能、主要的电气参数、外形封装和引脚排列等)完全相同。54HC 系列的工作环境温度范围为 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$,而 74HC 系列的工作环境温度为 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。

3.2 TTL 逻辑门电路

TTL 逻辑门电路由若干三极管和电阻组成。这种门电路于 20 世纪 60 年代问世,随后经过电路结构和工艺方面的改进,至今仍广泛应用于各种数字电路或系统中。TTL 电路的基本环节是带电阻负载的三极管反相器(非门),为了改善它的开关速度和其他性能,往往还需要增加其他元器件。

3.2.1 三极管的开关特性

在数字电路中,晶体三极管和二极管一样也常作为开关使用。在模拟电路中已介绍了三极管的伏安曲线可分为三个工作区域:放大区、截止区和饱和区。对应这三个工作区域,三极管具有放大、截止和饱和三种工作状态。在模拟电路中,三极管主要工作于放大状态;在数字电路中,三极管作为开关元件,主要工作于截止和饱和这两种状态,而放大状态只是三极管从一种稳定状态向另一种状态转换的过渡状态。这就要求三极管要有良好的稳定开关特性、接通(饱和状态)和断开(截止状态)特性,以及良好的瞬态开关特性(经过放大区)。图 3-23 给出了 NPN 型硅三极管的开关等效电路。

当输入电平是负值即 $V_{\text{BE}} < 0$ 时,其发射结反向偏置, $V_{\text{BC}} < 0$,集电结也反向偏置,三极管截止。这时只有少数载流子形成极小的漂移电流,若将它们忽略,基极电路 $I_{\text{B}} \approx 0$,集电极电路 $I_{\text{C}} \approx 0$,由于集电极电阻 R_{C} 上无压降,输出电压 $V_{\text{CE}} = V_{\text{CC}}$ 。此时,C-E 间导通电阻很大,相当于开关断开。这种状态称为三极管的截止状态,也称为“关态”。即使输入电压 $v_{\text{i}} > 0$,但只要不超过死区电压 V_{r} ,三极管仍然处于截止状态。

如果输入电压 v_{i} 升高,使 $v_{\text{i}} > 0.5\text{V}$ (锗管为 0.2V),即超过死区电压 V_{r} ,三极管处于放大状态。此时基极电路 $I_{\text{B}} > 0$,集电极电路 $I_{\text{C}} = \beta I_{\text{B}}$,C-E 间导通电阻相当于一个受 I_{B} 控制的电流源的内阻。三极管导通后,发射结正向压降钳位 $V_{\text{BE}} = 0.7\text{V}$ (锗管为 0.3V),输出电压 $V_{\text{CE}} = V_{\text{CC}} - I_{\text{C}}R_{\text{C}}$,其值大于 V_{BE} ,因此放大状态下的集电结始终反向偏置。

放大区是晶体三极管开关转换时候的过渡状态,从截止到饱和或从饱和到截止,工作点迅速沿着负载线转移。晶体三极管的功耗也主要产生在放大区,转移时间越短,功耗

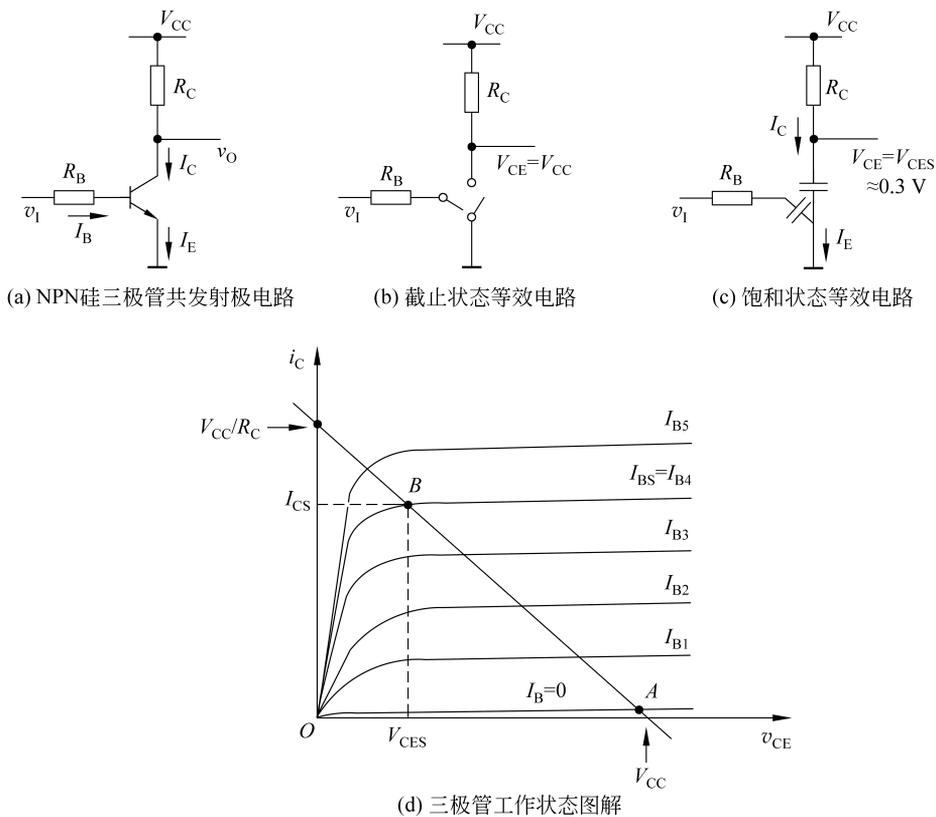


图 3-23 三极管的开关等效电路

越低。

三极管导通以后,随着输入电平 v_1 的增大,基极电流 I_B 和集电极电流 $I_C = \beta I_B$ 随之增大,输出电压 $V_{CE} = V_{CC} - I_C R_C$ 不断下降。而当 V_{CE} 下降至 $V_{BC} < 0$ 时,即硅管 0.7V 、锗管 0.3V 以下,发射结仍保持正偏,集电结则由反向偏置转为正向偏置,此时三极管进入饱和状态。在饱和状态下,C-E 间的压降很小(约 0.3V),称为三极管的饱和压降 V_{CES} 。此时,C-E 间导通电阻很小,相当于一个闭合的开关。晶体管饱和压降越小,越接近理想开关的接通。因此这种状态也称为三极管的“开态”。虽然饱和也是一种导通状态,但此时集电极饱和电流 $I_{CS} = \frac{V_{CC} - V_{CES}}{R_C}$,它不受 I_B 控制。

3.2.2 反相器的基本电路

1. 电路结构和工作原理

TTL 门电路的基本结构形式也是反相器。图 3-24 中给出了 74 系列(也称标准系列)TTL 反相器的电路结构。这个电路可以划分为输入级、倒相级和输出级三个组成部分。

输入级由 T_1 和 R_1 组成,它为后面的倒相级提供驱动信号。

倒相级由 T_2 和 R_2 、 R_3 组成。当 T_2 的基极电流增加时,集电极电流和发射极电流也随之增加, T_2 的发射极电位升高而集电极的电位下降。可见,由 T_2 的发射极和集电极输出的信号具有相反的变化方向,因此把这部分电路称为倒相级。

由 T_3 、 T_4 和 R_4 组成的输出级通常称为推挽式(push-pull)电路,也称为图腾柱(totem-pole)电路。其特点是提升开关速度和带负载能力。如果能够保证输出高电平时 T_3 导通、 T_4 截止,而输出低电平时 T_4 导通、 T_3 截止,就可以保证无论输出为高电平还是低电平,电路都具有很低的输出电阻,而且流过 T_3 和 T_4 支路的电流基本为零。

TTL 电路正常的工作电压规定为 5V。若输入为低电平 $V_{IL}=0.2V$,则电路的工作状态如图 3-25(a)所示。

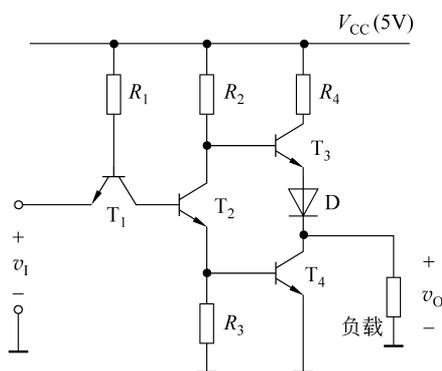


图 3-24 TTL 反相器的基本电路图

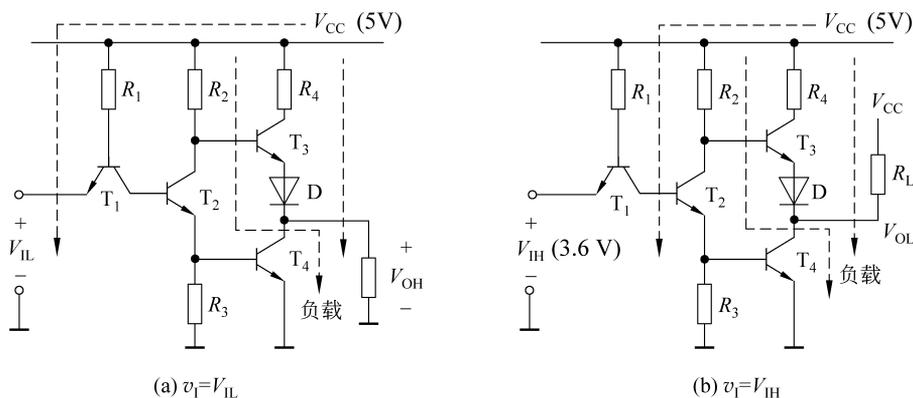


图 3-25 TTL 反相器工作状态分析

这时 T_1 的发射结(BE 结)导通,使 T_1 的基极电位为 $V_{B1}=0.2+0.7=0.9V$ 。因为只有在 V_{B1} 高于 T_1 的集电结(BC 结)开启电压与 T_2 的发射结开启电压之和($1.4V$)以后 T_2 才能导通,所以这时 T_2 截止。而要想使 T_4 导通, V_{B1} 需要大于 T_1 的 BC 结开启电压、 T_2 的 BE 结开启电压和 T_4 的 BE 结开启电压之和($2.1V$),因此 T_4 也处于截止状态。与此同时, T_3 工作在导通状态,故输出为高电平 V_{OH} 。图 3-25(a)中的虚线箭头表示实际的电流方向。在输出电流 $I_{OH}=-0.4mA$ (因为实际电流的方向与规定的 I_{OH} 正方向相反,所以写作 $-0.4mA$)时, T_3 的 BE 结和 D 均处于导通状态。设 T_3 的 BE 结和 D 的导通压降均为 $0.7V$,则得到:

$$V_{OH}=V_{CC}-V_{R2}-V_{BE3}-V_D$$

如果忽略 V_{R2} ,则得到:

$$V_{OH}=V_{CC}-V_{BE3}-V_D=5-0.7-0.7=3.6V$$