第3章

Quartus Prime 设计开发环境

CHAPTER 3

全球提供 FPGA 开发工具的厂商有近百家之多,大体分为两类:一类是专业软件公司 研发的 FPGA 开发工具,独立于半导体器件厂商;另一类是半导体器件厂商为了推广本公 司产品研发的 FPGA 开发工具,只能用来开发本公司的产品。本章介绍的 Quartus 开发工 具属于后者,早期的 Quartus 由原 Altera 公司研发,Quartus 版本 15.1 之前的所有版本称 作 Quartus II,从 Quartus 15.1 开始软件称作 Quartus Prime,Quartus Prime 由 Intel 公司 研发维护。Quartus Prime 是在 Quartus II软件基础上的优化,采用了新的高效能 Spectra-Q 引擎,减少了设计迭代;同时具有分层数据库,保留了 IP 模块的布局布线,保证了设计的 稳定性,避免了不必要的时序收敛投入,使其所需编译时间在业界最短,增强了 FPGA 和 SoC FPGA 的设计性能。

Quartus II 和 Quartus Prime 的主要功能基本相同,只是有些界面有所不同。本章以 Quartus Prime16.0的基本使用方法为例进行设计开发环境的介绍。Quartus Prime 16.0 提供的功能很多,读者可参考其他书籍或 Quartus Prime 用户手册,学习更多的内容。

3.1 Quartus Prime 概述

Quartus Prime 支持 Intel 公司的各系列可编程逻辑器件的开发,包括 Cyclone 系列、 Arria 系列、MAX 系列、Stratix 系列等。

Quartus Prime 提供了与第三方开发工具的无缝连接,支持 Cadence、Mentor、Synopsys 等专业软件公司的综合工具和校验工具,能读入和生成标准的 EDIF、Verilog HDL 及 Verilog HDL 网表文件。无论使用 PC、UNIX 或 Linux 工作站,Quartus Prime 都提供了方便的实体设计、快速的编译处理以及编程功能。

运行 Quartus Prime,可以看到 Quartus Prime 的管理器窗口如图 3-1 所示。管理器窗口主要包含项目导航窗口、任务窗口、消息窗口,可以通过 View→Utility Windows 菜单下的选项添加或隐藏这些窗口。

为了保证 Quartus Prime 的正常运行,第一次运行软件时,需要设置 license. dat 文件, 否则许多功能将被禁用。在 Quartus Prime 管理器窗口选择 Tools→License Setup…选项, 单击 License file 后的"…"按钮,在出现的对话框中选择 license. dat 文件或直接输入具有完 整路径的文件名,如图 3-2 所示。



58 ◀II FPGA系统设计——基于Verilog HDL的描述(微课视频版)





General	Ontine	License Setup		
EDA Tool Fonts Headers Internet Notif Libraries I IP Setting IP Ca Design Ti License S Preferre Process Tooling	Options & Footers Settings Connectivity ications gs tablog Search Locations enplates etup Select File	License file: D:\quartus1\quartus1\censes\quar Use LM_LICENSE_FILE variable: D:\quartus Current license Subscription Expiration: 2035.12 Host ID Type: NIC ID Host ID Value: d43d7e39364a	tur ijkense.dat skyuartus ViddelSim 10.4 selji IC Downlaad L Begin 30-day G IV Wait for floating licenses	ENSE.TXT keense race Period
Messages Colore	GO≏¶ « dr	uartus ► licenses ► quartus	4 搜索 quartus	٩
Fonts	组织 • 新建文	件夹	8≣ ▼	0 0
	 ■ 視频 ■ 圏片 ● 文档 副 迅雷下载 ● 音乐 ● 計算机 ▲ 系统 (C) □ 软件 (D) □ 文档 (E) 	◆ 名称 副 license.dat	修改日期 2016/7/10 2:40	类型 DAT 文件
	— 娱乐 (F:)	文件名(N):	▼ License Files (*.dat) 打开(O)	• Riji

图 3-2 设置 license. dat 文件

3.2 Quartus Prime 设计流程

使用 Quartus Prime 开发工具进行 FPGA 器件的开发和应用,其过程主要有设计输入、 设计处理、波形仿真和器件编程等阶段。在设计的任何阶段出现错误,都需要进行修改,纠 正错误,重复上述过程,直至每个阶段都正确为止。

下面将以一个4位二进制计数器设计项目 myexam 设计为例,介绍 Quartus Prime 的 使用流程,介绍如何经过设计各个阶段,最终将 myexam.v设计下载到 FPGA 芯片,完成4 位二进制计数器设计的完整过程。

3.2.1 设计输入

Quartus Prime 编辑器的工作对象是项目,项目用来管理所有设计文件以及编辑设计 文件过程中产生的中间文档,建议读者在开始设计之前先建立一个文件夹,以便进行项目的 管理。在一个项目下,可以有多个设计文件,这些设计文件可以是原理图文件、文本文件(如 AHDL、VHDL、Verilog HDL等文件)、符号文件、底层输入文件以及第三方 EDA 工具提供 的多种文件格式,如 EDIF、Tcl等。下面以文本文件为例,学习设计输入过程中的主要 操作。

1. 建立设计项目

ſ

在 Quartus Prime 管理器窗口中选择菜单 File→New Project Wizard 命令,出现新建项 目向导(New Project Wizard)对话框的第一页,如图 3-3 所示。在对话框中输入项目目录、 项目名称和顶层实体文件名,如 myexam。顶层实体文件名可以是与项目名称不一致、系统 默认一致的名称。

项目目录	New Project Wizard	×
项目名称	Vicectory, Name, Top-Level Entity What is the project for this project?	
	D:\guartus1\guartus\myexam	
商目定体权	mat is the name of this groject?	
坝层头伴石	myexam	
	What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.	
	myexam	
	Lise Existing Project Settings	
	< Back Next > Eniah Cancel t	telp

图 3-3 New Project Wizard 对话框第一页

在新建项目向导第三页,单击"..."按钮可浏览文件选项,添加或删除与该项目有关的文件。初学者还没有建立文件,可以先跳过该页。

在新建项目向导第四页,根据器件的封装形式、引脚数目和速度级别,选择目标器件。 读者可以根据具备的实验条件进行选择,这里选择的芯片是 Cyclone N E 系列的 EP4CE10F17C8芯片,如图 3-4 所示。

nd device you want to litional device support	target for with the In	compilation. stall Devices con	nmand on the T	Tools me	nu.	
rsion of the Quartus	Prime softv	vare in which you	r target device	is suppo	rted, refer to	the Device Support List webpage
NE			Deskaas	unubre u	Anu	
IVE			Раскаде:		Any	•
		*	Pin count:		Any	•
			Core Spee	d grade:	Any	•
elected by the Fitter	ble devices	list	Show a	advanced	devices	
			Device and H	Pin Optio	ns	
Core Voltage	LEs	Total I/Os	GPIOs	Me	mory Bits	Embedded multiplier 9-
1.2V	10320	180	180	423936	5	46
1.2V	10320	180	180	423936	5	46
1.2V	10320	180	180	423936	5	46
	10320	180	180	423936	5	46
1.0V	10520		100	10000		10
	Id device you want to itional device support rsion of the Quartus IV E elected by the Fitter e selected in 'Availat Core Voltage 1.2V	Id device you want to target for itional device support with the In rsion of the Quartus Prime softw IV E ielected by the Fitter is selected in 'Available devices' Core Voltage 1.2V 10320	Ind device you want to target for compilation. Itional device support with the Install Devices con- rsion of the Quartus Prime software in which you IN E IN	Id device you want to target for compilation. itional device support with the Install Devices command on the rsion of the Quartus Prime software in which your target device IV E IV E	Id device you want to target for compilation. itional device support with the Install Devices command on the Tools me rsion of the Quartus Prime software in which your target device is support IN E IN E In V E In	Id device you want to target for compilation. itional device support with the Install Devices command on the Tools menu. rsion of the Quartus Prime software in which your target device is supported, refer to IN E IN E IN E IN E In V E

图 3-4 New Project Wizard 对话框第四页

在新建项目向导第五页,添加第三方 EDA 综合、仿真、定时等分析工具,系统默认选择 Quartus Prime 的分析工具,对开发工具不熟悉的读者,建议采用系统默认选项。

在新建项目向导的最后一页给出了前面输入内容的总览。单击 Finish 按钮, myexam 项目出现在项目导航窗口, myexam 表示顶层实体文件, 如图 3-5 所示。在任务窗口出现设 计项目过程中的全部操作,执行操作命令的方法可以是在菜单栏中选择命令、单击工具栏中 对应的工具按钮或者在任务窗口双击命令。

对于新建项目向导中的各个选项,在新建项目结束后,仍然可以修改或重新进行设置, 通过选择菜单命令 Assignments→Settings,在 General 页面实现。

2. 输入文本文件

Quartus Prime 支持 AHDL、VHDL 及 Verilog HDL 等硬件描述语言描述的文本文件,关于如何用 Verilog HDL 描述硬件电路请参考本书第2章。这里将结合实例说明如何使用文本编辑器模板输入 Verilog HDL 文本文件。

新建 Verilog HDL 文本文件,在 Quartus Prime 管理器界面中选择菜单命令 File→

S Quartus Prime Stand	lard Edition - D:/quartus1/quartus/pr	oject/myexam - myexam	_ - ×
Eile Edit View Projec	tt <u>A</u> ssignments P <u>r</u> ocessing <u>T</u> ools <u>V</u>	<u>V</u> indow <u>H</u> elp	Search altera.com
	D つ C myexam	• Z & & &	▶⊮Ķ♀□ » ●
Project Navigator	Hierarchy ▼ ≡ 🗊 & ×		
	Entity:Instance		
Cyclone IV E: EP4CE22F	17C8		
UHD myexam =			
Tasks	Compilation		
	Task	Quar	tus [.] Prime
Compile Design 2	sign E	Design Softw	vare
Analysi	s & Synthesis	Version 16.0 Standar	
D Fitter (Place & Route)		S Download New Software Release
Assemb	oler (Generate programming files)		ODocumentation
TimeQue 4	uest Timing Analysis		Notification Center
	V < <filter>></filter>	0.	Find
Type ID M	lessage		
30es			•
System Processing	g (45)		
			34% 00:00:17

图 3-5 建立项目 myexam

New,或单击新建文件按钮,出现New对话框,如 图 3-6 所示。在该对话框的Design Files 中选择 Verilog HDL File,单击OK 按钮,打开文本编辑器。 在文本编辑器窗口中,按照Verilog HDL 语言规则 输入设计文件,并将其保存,Verilog HDL 文件的扩 展名为.v。

Quartus Prime 支持多种硬件描述语言,用不同的 硬件描述语言编写的文件,其文件扩展名不同,如 AHDL文件扩展名为.tdf,Verilog HDL文件扩展名 为.v。

Quartus Prime 提供了文本文件的编辑模板,使用 这些模板可以快速准确地创建 Verilog HDL 文本文 件,从而避免语法错误,提高编辑效率。例如,用 Verilog HDL 模板设计一个4位二进制计数器的 Verilog HDL 文本文件。

(1)选择菜单命令 Edit→Insert Template,打开
 Insert Template 对话框,单击右侧 LanguageTemplate
 栏目,打开 Verilog HDL, Verilog HDL 栏目会显示所



图 3-6 New 对话框

有 Verilog HDL 的程序模板。

(2) 在 Verilog HDL 模板中选择 Full Designs → Arithmetic → Counters → Binary Counter, Insert Template 对话框的右侧会出现计数器模板程序的预览,如图 3-7 所示。这 是一个带清零和使能端的计数器模板。单击 Insert 按钮,模板程序出现在文本编辑器中,其 中蓝色的字母是关键字,绿色部分为注释语句。



图 3-7 程序模板对话框

(3)根据设计要求,对模板中的文件名、信号名、变量名等黑色部分的内容进行修改。 将模块名 binary_counter 修改为 myexam;将计数器的宽度 WIDTH 改为 4;删除 enable 输入信号,输出信号名改为 q 等。修改后的 Verilog HDL 代码如下:

```
// Quartus Prime Verilog Template
// Binary counter
module myexam
                                            //模块名为 myexam
# (parameter WIDTH = 4)
(
    input clk, reset,
                                            //系统时钟、复位信号
    output reg [WIDTH - 1:0] q
);
    // Reset if needed, or increment if counting is enabled
    always @ (posedge clk or posedge reset)
                                           //时钟上升沿触发
    begin
                                            //高有效异步复位
        if (reset)
            q < = 0;
        else
                 q<= q+ 1;
                                            //计数
    end
endmodule
```

3. 添加或删除与当前项目有关的文件

如果希望将存放在其他位置的文件加入到当前的设计项目中,则选择菜单命令

Assignments→Settings,打开如图 3-8 所示的 Settings 对话框。在 Settings 对话框左侧的 Category 栏目下选择 Files 项,通过单击右边 File name 后的"..."按钮查找文件选项,单击 Add 按钮添加文件。Add All 按钮的作用是将当前目录下的所有文件添加到项目中。



图 3-8 Settings 对话框

如果希望将当前项目中的文件从项目中删除,则首先选中待删除文件,Remove 按钮则 被激活,单击 Remove 按钮即可。

如图 3-8 所示,在 Settings 对话框中,除了可以进行设计项目的文件设置外,还可以进行与设计有关的各种其他功能设置,如库 Libraries、IP、EDA Tool、Compilation、定时分析 Timing Analysis、SSN Analyzer 等设置。

4. 指定目标器件

如果在建立项目时,没有指定目标器件,那么可以通过选择菜单命令 Assignments→ Device,打开如图 3-9 所示的 Device 对话框,在其中指定设计项目使用的目标器件。在 Family 下拉列表框中选择器件系列;在 Show in 'Available devices' list 中选择封装形式、 引脚数和速度级别;在 Available devices 中选择目标器件;单击 Device& Pin Options 按 钮,出现器件和引脚选项对话框,根据设计需要进行配置、编程文件、不用引脚、双用途引脚 以及引脚电压等选项的详细设置。

o determine the v	version of the Quartus Pri	me software i	a which your	nand on the 1001s m	enu.	Sunnort List webna	an
Device family				Show in 'Availat	ble devices' list	<u>, capportela,</u> incopa	.ge.
Eamily: Cyclon	e V (E/GX/GT/SX/SE/ST)		•	Package:	Any		•
Devices: Al			•	Pin count:	Δην	12	-
berjood.				o done			
Target device				Core Speed gra	de: Any		•
Auto device	selected by the Fitter			Name filter:			
Specific des	vice celected in 'Available	daviaan' lint		Show advar	nced devices		
	AVAILANCE SCIECTED III AVAILADIC	devices list					
Uther: n/a				Device and Pin O	ptions		
Available devices	:						
Name	Core Voltage	ALMs	Total I	Os GPIOs	GXB Channel PMA	GXB Channel F	p 🔺
5CSEMA2U23I7	1.1V	9430	314	314	0	0	
5CSEMA4U23A7	1.1V	15880	314	314	0	0	
5CSEMA4U23C6	1.1V	15880	314	314	0	0	
5CSEMA4U23C7	1.1V	15880	314	314	0	0	
5CSEMA4U23C8	1.1V	15880	314	314	0	0	
5CSEMA4U23I7	1.1V	15880	314	314	0	0	
5CSEMA5F31A7	1.1V	32070	457	457	0	0	
5CSEMA5F31C6	1.1V	32070	457	457	0	0	
SCSEMASE31C7	1.1V	32070	457	457	0	0	
JOJE MAJI JICI		22070	457	457	0	0	Ŧ
5CSEMA5F31C8	1.1V	52010	401				

图 3-9 Device 对话框

3.2.2 设计处理

Quartus Prime 设计处理的功能包括设计错误检查、逻辑综合、器件配置以及产生下载 编程文件等,称作编译(compilation)。编译后生成的编程文件可以用 Quartus Prime 编程 器或其他工业标准的编程器对器件进行编程或配置。

编辑设计文件后可以直接执行编译操作,对设计进行全面的设计处理。也可以分步骤 执行,首先进行分析和综合处理(analysis & synthesis),检查设计文件有无错误,基本分析 正确后,再进行项目的完整编译。

1. 设置编译器

初学者如果选择系统默认的设置,可以跳过编译器设置。

如果确实需要对编译器进行专门的设置,选择菜单命令 Assignments→Settings,在 Settings 对话框的 Category 栏目下选择 Compilation Process Settings 项,可以设置与编译 相关的内容,如图 3-10 所示。

2. 执行编译

Quartus Prime 软件采用的是项目管理,一个项目中可能会有多个文件,如果要对其中的一个文件进行编译处理,则需要将该文件设置成顶层文件。

General	Compilation Process Settings	
Files	Specify Compilation Process options.	
IP Settings IP Catalog Search Locations Design Templates Operating Settings and Conditions Voltage Temperature Compliation Process Settings Incremental Compilation	Parallel compliation Use global parallel compliation setting from Options dialog box - Use all available processor Use all available processors Maximum processors allowed: 1 *	s
EDA Tool Settings Decige Entry Suptracts	Use smart compilation	disk space
Board-Level 4 Compiler Settings WHDL Input Verlog HDL Input Default Parameters TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Settings SSN Analyzer	Run Netlist Viewers preprocessing during compilation Run Netlist Viewers preprocessing during compilation Run Netlist Viewers preprocessing during compilation Save a node-level netlist of the entire design into a persistent source file (This option specifies VQM File name for full compilation and Start VQM Writer command) File name: Export version-compatible database Export directory: Save project gutput files in specified directory	
	Directory name: output files	
	More Settings	

图 3-10 Settings 对话框中的编译设置选项

1) 设置顶层文件

首先打开准备进行编译的文件,如打开前面编辑的文件 myexam. v,执行菜单命令 Project→Set as Top-Level Entity。下面进行设计处理的各项操作就是针对这一顶层文件 myexam. v进行的。

2) 进行编译

选择菜单命令 Processing→Start Compilation 或直接单击工具栏中编译按钮,开始执行编译操作,对设计文件进行全面的检查,编译操作结束后,出现如图 3-11 所示的界面,界面中给出编译后的信息。

3) 任务窗口

显示编译过程中编译进程以及具体操作的项目。

4) 信息窗口

显示所有信息、警告和错误。如果编译有错误,则需要修改设计,重新进行编译。双击 某个错误信息项,可以定位到原设计文件并高亮显示。

5) 编译报告栏

编译完成后显示编译报告,编译报告栏包含了将设计放到器件中的所有信息,如器件资源统计、编译设置、底层显示、器件资源利用率、适配结果、延时分析结果等。编译报告栏是

66 ◀ FPGA系统设计——基于Verilog HDL的描述(微课视频版)

一个只读窗口,选中某项可获得详细信息。

6) 编译总结报告

编译完成后直接给出该报告,报告中给出编译的主要信息,包括项目名、文件名、选用器件名、占用器件资源、使用器件引脚数等。

Eile Edit View Project Assignments Processir	ng <u>T</u> ools <u>W</u> indow <u>H</u> elp		Search altera.com
□ □ □ 0	myexam 🔹	2 🗳 🇳 🚳 🎟	× * * • • •
Project Navigator Hierarchy * = 0.6 ×	myexam.v 🖸	Compilation Report - myexam	
Cyclone V: 5CGXFC7C7F23C8 ■ Tak 2.任务窗口 Compilation Tasks Compilation Compile Design Compile Design Compile Design Compile Design Compile Compile Design Compile D	ble of Contents	How Summary Flow Status Quartus Prime Version Revision Name Top-level Entity Name Family Device Timina Statift C A Total pins Total biock memory bits Total biock memory bits Total DSP Blocks Total HSSI RX PCSs Total HSSI RVA RX Desenalizers Total HSSI RVA RX Desenalizers Total HSSI PMA RX Desenalizers Total HSSI PMA RX Serializers Total HSSI PMA RX Serializers Total HSSI PMA RX Serializers	Suc -Sun Feb 21 13:18:39 202 ~ 1.编译快捷按钮 myexam Cyclone V SCGXF-C7C7F23C8 Final 3 / 56,480 (< 1 %) 6 6 / 268 (2 %) 0 0 / 7.024,640 (0 %) 0 / 156 (0 %) 0 / 6 (0 %) 0 / 6 (0 %) 0 / 6 (0 %) 0 / 13 (0 %) >
All C A A Constant of the second of th	unctional simulation me am.vo in folder "C:/exa atlist Writer was succes Compilation was success	Image: Second Structure Image: Second Structure Statistics Image: Second Structure <	the only supported netlinn/modelsim/" for EDA si urnings rnings

图 3-11 设计项目的编译

3. 锁定引脚

锁定引脚是指将设计文件的输入输出信号分配到器件指定引脚,这是设计文件下载到 FPGA 芯片必须完成的过程。在 Quartus Prime 中,锁定引脚分为前锁定和后锁定两种。 前锁定是指编译之前的引脚锁定,后锁定是指对设计项目编译后的引脚锁定,这里介绍后锁 定引脚的操作过程。

值得注意的是,在后锁定引脚完成之后,必须再次进行编译。

选择菜单命令 Assignments→Pins Planner,出现 Pin Planner 对话框,如图 3-12 所示。

由于设计项目已经进行过编译,因此在节点列表区会自动列出所有信号的名称,在需要 锁定的节点名处,双击引脚锁定区 Location,在列出的引脚号中进行选择。例如,选择 clk 节点信号,锁定在 PIN_AF14 号引脚上。重复此过程,逐个进行引脚锁定,所有引脚锁定完 成后,再次进行编译。

一些双功能引脚,如配置引脚在配置后,可被用作独立的 I/O 引脚。如图 3-13 所示,选择 Assignments→Device→Device and Pin Options→Dual-Purpose Pins,在弹出窗口的 Dual-purpose pins 栏会列出当前器件的所有 I/O 口,选中希望作为独立 I/O 使用的引脚,并在其右侧的列表中选择 Use as regular I/O 即可。



图 3-12 引脚锁定



图 3-13 双功能引脚功能设置

3.2.3 波形仿真

当一个设计项目通过编译之后,能否实现预期的逻辑功能,仍需要进一步的检验,波形 仿真分析是必不可少的一个环节。波形仿真就是在波形编辑器中将设计的逻辑功能用波形 图的形式显示出来,通过查看波形图,检查设计的逻辑功能是否符合设计要求。Quartus II 13.0 及之后的版本包含了 Simulation Waveform Editor 仿真工具,除此之外,Quartus



Prime 16.0 也支持 ModelSim、QuestaSim 等第三方仿真工具软件,Simulation Waveform Editor 仿真也借助了仿真工具 ModelSim。如果安装了 ModelSim 和 ModelSim-Altera,那 么 Simulation Waveform Editor 默认选择 ModelSim-Altera。本节主要以 ModelSim 和 Simulation Waveform Editor 为例介绍仿真流程。

1. ModelSim 仿真

ModelSim 是 Mentor Graphics 公司开发的一款功能强大的仿真软件,具有速度快、精度高和便于操作的特点,此外还具有代码分析能力,可以看出不同代码段消耗资源的情况。 ModelSim 的功能侧重于编译和仿真,但不能指定编译的器件和下载配置,需要和 Quartus Prime 等软件关联。

在 Quartus Prime 16.0 界面菜单栏中选择 Tools→Options→EDA tool options,在 ModelSim 一项指定自己 ModelSim 安装的路径。此处安装并指定的 ModelSim 路径为 D:\quartus\quartus\ModelSim 10.4 se\win64。

在 Quartus Prime 16.0 界面菜单栏中选择 Assignments→Settings。选中该界面中 EDA Tool Settings 中的 Simulation。在 Tool name 中选择 ModelSim-Altera, Format for output netlist 中选择开发语言的类型为 Verilog HDL,如图 3-14 所示。然后单击 Apply 和 OK 按钮。

General	Simulation	
Files Libraries	Specify options for generating output files for use with other EDA tools.	
IP Settings IP Catalog Search Locations Design Templates	Tool name: ModelSim-Altera	
Operating Settings and Conditions Voltage Temperature Compilation Process Settings	EDA Netlist Writer settings Format for output netlist: Verilog HDL Time scale: 1 ps	•
Incremental Compilation	Output directory: simulation/modelsim	
Simulation Board-Level Compiler Settings VHDL Input Verilog HDL Input Default Parameters TimeQuest Timing Analyzer Assembler Design Assistant	Options for Power Estimation Generate Value Change Dump (VCD) file script Script Settings Design instance name: More EDA Netlist Writer Settings	
SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Setting SSN Analyzer	NativeLink settings None Description	T 1 D 1
SSN Analyzer	Compile test bench:	Test Benches
	Use script to set up simulation:	117
	O Script to compile test bench:	
	More NativeLink Settings	Reset
	· · · · · · · · · · · · · · · · · · ·	

图 3-14 设置仿真工具

设置完成后,编译工程。在 Quartus Prime 16.0 菜单栏中选择 Processing→Start Compilation,等待编译结束,编译无错后会在 myexam 目录下生成 simulation 目录。单击 菜单栏 Processing→Start→Start Test Bench Template Writer,如图 3-15 所示,该操作指令 在 myexam/simulation/ModelSim 下会生成一个与项目顶层文件同名的 testbench 测试文 件模板: myexam.vt。



图 3-15 生成 test bench 文件模板

打开 myexam.vt 文件,可以看到此测试电路模块没有外部端子,模块名为 myexam_vlg_tst,内部包含了3个主要部分:信号定义、实例化、施加激励。施加激励通过 initial 模块和 always 模块实现,设计者需要根据测试需求,设计需要的激励信号,其中 initial 模块用于产生执行一次的激励信号,如复位信号、非周期性输入信号等; always 模块用于产生由敏感事件列表触发的信号,如时钟信号、周期性输入信号等。

`timescale 1 ps/ 1 ps
module myexam_vlg_tst();
// constants
// general purpose registers
reg eachvec;
// test vector input registers
reg clk;
reg reset;
// wires
wire [3:0] g;

//测试电路模块名,没有外部端子

70 ◀ FPGA系统设计——基于Verilog HDL的描述(微课视频版)

```
// assign statements (if any)
mvexam i1 (
                                           //myexam 模块实例化
// port map - connection between master ports and signals/registers
    .clk(clk),
    .q(q),
    .reset(reset)
);
initial
                                           //一次激励模块 initial
begin
// code that executes only once
// insert code here --> begin
// --> end
$display("Running testbench");
end
                                           //周期性激励模块 always
always
// optional sensitivity list
// @(event1 or event2 or .... eventn)
begin
// code executes for every event on sensitivity list
// insert code here -- > begin
(a) eachvec;
// --> end
end
endmodule
```

根据测试需求修改此测试文件,在 initial 模块中添加 reset 激励信号,并为 clk 赋初值, 在 always 模块中添加周期为 40ns 的时钟信号,修改完成后保存。

```
`timescale 1 ps/ 1 ps
module myexam_vlg_tst();
req clk;
                                  //信号定义
req reset;
wire [3:0] q;
                                  //模块实例化
myexam i1 (
   .clk(clk),
   .q(q),
   .reset(reset)
);
initial
                                  //initial 语句
begin
                                  //内部放置只需执行一次的激励信号
    $display("Running testbench"); //ModelSim 打印显示仿真运行
   clk=0;
                                  //clk 赋初值
   reset = 1;
    #40 reset = 0;
                                  //40ns 后复位信号无效
end
always #20 \text{ clk} = \sim \text{clk};
                                  //always语句,产生周期为40ns的时钟信号
endmodule
```

在 Quartus Prime 界面菜单栏中选择 Assignments→Settings,在对话框中选择 EDA Tool Settings→Simulation,如图 3-16 所示,在 NativeLink settings 区域选择 Compile test bench 右边的 Test Benches 按钮,弹出如图 3-17 所示的界面,单击 New 按钮。在新出现的 界面(见图 3-18)的 Test bench name 文本框中输入测试文件名 myexam,在 Top level module in test bench 文本框中输入测试文件中的顶层模块名 myexam_vlg_tst。然后在 Test bench and simulation files 下的 File name 中选择测试文件 myexam.vt,然后单击 Add 按钮,单击 OK 按钮进入图 3-19,再单击 OK 按钮设置完成。

Category:		Device/Board
General Files Libraries VIP Settings IP Catalog Search Locations Design Templates Operating Settings and Conditions Voltage Temperature Compilation Process Settings Incremental Compilation EDA Tool Settings Design Entry/Synthesis Simulation Board-Level Compiler Settings VHDL Input Verlog HDL Input Verlog HDL Input Default Parameters TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer	Simulation Specify options for generating output files for use with other EDA tools. Tool name: ModelSim-Altera Run gate-level simulation automatically after compilation EDA Netlist Writer settings Format for output netlist: Verilog HDL Output directory: simulation/modelsim Map illegal HDL characters Enable glitch filtering Options for Power Estimation Generate Value Change Dump (VCD) file script Script Settings Design instance name: More EDA Netlist Writer Settings NativeLink settings	
Logic Analyzer Interface PowerPlay Power Analyzer Settinş SSN Analyzer	None Compile test bench: Use script to set up simulation: Script to compile test bench: More NativeLink Settings	Test Benches

图 3-16 选择仿真文件步骤 1

ting test b	ench settings:					New
Name	op Level Module	Design Instance	Run For	Test Bench	File(s)	Edit
						Delete

图 3-17 选择仿真文件步骤 2

st bench name: myexam			
p level module in test bench: mye	exam_vlg_tst		
Use test bench to perform VHDL	timing simulation		
Design instance name in test ber	ch: NA		
Simulation period			
Dup simulation until all vector (
Run simulation until all vector s	timuli are used		
End simulation at:	timuli are used	s *	
End simulation at:	timuli are used	s v	
End simulation at: est bench and simulation files	timuli are used	s *	
Construction of the answer of the second secon	timuli are used	s * 	Add
Four summation diffination of the second secon	Library	s v HDL Version	Add
Four summation dutit all vectors End simulation at: est bench and simulation files File name: File Name simulation/modelsim/myexam.vt	Library	s Y HDL Version	Add Remove Up
Four summation diffination of the analysis of the second simulation at: est bench and simulation files File name: File Name simulation/modelsim/myexam.vt	Library	s 👻	Add Remove Up Down

图 3-18 选择仿真文件步骤 3

Existing test b	ench settings:					New
Name myexam	Top Level Module myexam_vlg_tst	Design Instance NA	Run For	Test Ben simulation/model	ich File(s) sim/myexam.vt	Edit
						Delete

图 3-19 选择仿真文件步骤 4

仿真文件配置完成后回到 Quartus Prime 16.0 开发界面,在菜单栏中选择 Tools→Run Simulation Tool→RTL Simulation 进行行为级仿真,即功能仿真,Quartus Prime 自动打开 ModelSim,并运行仿真,观察仿真波形如图 3-20 所示,为一计数容量为 16 的计数器,功能 仿真正确。通过功能仿真波形,可以验证设计文件逻辑功能的正确性。如果选择 Run Simulation Tool→Gate Level Simulation 可以进行门级仿真,即时序仿真。在时序仿真图 中可以看到信号的传输延迟,以及可能产生的竞争冒险现象。

ModelSim ALTERA ST	ARTER EDITION 10.4d pile <u>Simulate</u> A <u>d</u> d W <u>a</u> ve	Tgols	Lay	oyt B	ookm	arks	Win	dow	Help											
B • 🖨 🗑 🛸 🔗	1 BB22 0-A	IN N	6	9 (2) #		X	3	· B.	12	8·4	9	**	=	<u>k</u> #	100	pa 🌲	1	<u>1</u>	1	B !
ColumnLayout AllColus	w.s _	1	1 0	TAO	11 AL	1 2				B .	11	법	53	- →	17	JF	Æ	R	<u>م</u>	÷ 1
n - Default 📰 🛨 🗗 🛛	Wave - Default			_	_	_		_	_	_	_		_			_		- ionis	_	
▼ Instance	\$.	Msgs																1		
→ myexam_vlg_tst	 /myexam_vlg_tst/ck /myexam_vlg_tst/reset 	1 0	Ļ	ΨП		-1			Ļn		ſΠ			-	Ψ			h	h	-
#vsim_capacity#	■-4 /myexam_vlg_tst/q	0	0	χ1	2	11	(4	<u>(5</u>	16	17	<u>(8</u>)	9 I 10	111	112	113) 14	115	0	11	12

图 3-20 仿真结果

2. Simulation Waveform Editor 仿真

当 myexam 工程编译成功后,在 Quartus Prime 管理器界面中选择菜单命令 File→ New,或单击新建文件按钮,出现 New 对话框。在该对话框中选择 Verification→ Debugging Files→University Program VWF,单击 OK 按钮,然后弹出 Simulation Waveform Editor 界面,如图 3-21 所示。



图 3-21 Simulation Waveform Editor 界面

在添加信号之前先设置仿真截止时间,在管理器界面选择菜单命令 Edit→Set End Time,弹出 End Time 界面,如图 3-22 所示。End Time 的时间范围是 10ns~100μs,如果设置的时间不在这个时间范围内,那么单击 OK 按钮会有时间范围设置的提示,关闭 End Time 界面。

仿真运行时间设置后,需在图 3-21 中的 Name 栏添加仿真信号。在管理器界面选择菜 单命令 Edit→Insert→Insert Node or Bus,或者双击图 3-21 中 Name 栏的空白处,会弹出 Insert Node or Bus 界面,如图 3-23 所示。在 Name 文本框中输入需要插入的节点或总线, 也可以单击 Node Finder 按钮,在弹出的 Noder Finder 界面(见图 3-24)中查找节点或总线 并插入。其中 Look in 文本框用于设置需要仿真的工程文件名,单击"…"按钮,在弹出的对 话框中选择 myexam 工程文件并单击 OK 按钮,如果是对当前工程的仿真,则此步可省略, 接下来单击 List 按钮,myexam 工程中的信号就会出现在 Nodes Found 下方的空白处。

Set End Time	End lime	,	
End Time: 1.0 us 💌	Set End Tir	ne	
	End Time:	1.0	us 🔻

图 3-22 End Time 界面

Name:		ОК
Туре:	NPUT •	Cancel
Value type:	9-Level	
Radix:	Binary	Node Finder
Bus width:	1	
Start index:	0	

图 3-23 Insert Node or Bus 界面

Cancel
Туре

图 3-24 Node Finder 界面

在 Nodes Found 中单击需要仿真的输出信号和全部的输入信号,然后单击">"按钮,将选中的信号放入 Selected Nodes 栏中。不需要仿真的信号,可以单击"<"按钮进行删除。如果需要仿真所有的信号,则直接单击">>"按钮,Nodes Found 栏中的所有信号就会出现在 Selected Nodes 栏中。当信号选定后,单击 OK 按钮,则返回到图 3-23,再单击 OK 按钮后,信号和信号默认的波形图会出现在 Simulation Waveform Editor 界面中,如图 3-25 所示。



图 3-25 Simulation Waveform Editor 界面

现在需要为所有的输入信号赋值。在 Simulation Waveform Editor 界面的图标中,共有 11 种赋值方式,设计者可以根据需要选取。我们选择 这对 clk 赋值,单击 这弹出 Clock 界面,将时钟周期 Period 设置为 20ns。reset 赋值时,如图 3-26 所示,单击选中其中的一段 后单击 占 图标,选中的一段将会变成高电平 1。信号 clk 和 reset 赋值完成后,如图 3-27 所示;在管理器界面选择菜单命令 File→Sava As,将文件名改为 myexam,最好与要仿真的项目同名,然后单击保存按钮。

所有输入波形均编辑完成后,将此波形文件保存为 myexam.vwf。Simulation Waveform Editor包含功能仿真和时序仿真。这里进行功能仿真,在管理器界面选择菜单命令Simulation→Run Functional Simulation或者单击 感图标,弹出仿真进程窗口,仿真完成自动关闭,并弹出包含输出波形的仿真完成界面,如图 3-28 所示。注意对输入波形的任何改动,都需要重新进行仿真。

Eile	<u>E</u> dit ⊻iev	v <u>S</u> imulatio	n Help	Search altera.com
R	Q	안 片 <u>로</u>	化油器区区区20 晚晚晚 副票	
Mas	ter Time Bar	0 ps	Pointer: 0 ps Interval: 0 ps Start: 80.0 ns	End: 180.0 ns
	Name	Value at 0 ps	0 ps 80.0 ns 160.0 ns 240.0 ns 320.0 ns 400.0 ns 480.0 ns 560.0 ns 640.0 ns 720.0 n 0 ps	is 800,0 ns 880,0 ns 960,0 ns /
in_	clk	В 0	ໂດດກາດກາດກາດກາດກາດກາດກາດກາດກາດກາດກາດ	
in_	reset	В 0		
5	> q	B XXXX	XXXXX	

图 3-26 reset 信号赋值

Eile	Edit View	<u>S</u> imulatio	on Help	Search altera.com	
Mas	ter Time Bar:	0 <u>A</u> <u>Z</u>	≟ 乂正 乂臣 器 乂区 乂区 乂臣 叱覺 叱覺 袖 画 際: ● Pointer: [69.26 ns Interval: [69.26 ns Start:	End:	
Γ	Name	Value at 0 ps	0 ps 80.0 ns 160.0 ns 240.0 ns 320.0 ns 400.0 ns 480.0 ns 560.0 ns 640.0 ns 720.0 ns 800.0 ps) ns 880,0 ns 960,1	0 ns
in.	clk	В0	[การการการการการการการการการการการการการก		JJ
in.	reset	В0			
*	> q	B XXXX			\square

图 3-27 完成信号赋值

右击信号名,在弹出的快捷菜单中选择 Radix,可以设置此信号波形显示的进制形式, 图 3-28 中的 clk 和 reset 采用的是二进制显示,q 采用的是 Unsigned Decimal 显示。

Mas	ter Time Bar:	0 ps		4	•	Pointer:	22.2	24 ns		Interval	22.2	4 ns	Start:	0 ps		End:	0 ps	_
	Name	/alue a 0 ps	0 ps 0 ps		80.0 n	IS	16	60.0 ns	Ş.,	240,0) ns	320	0 ns		400 _. 0 ns		480.0 ns	
in_	clk	BO	1 Linn	Л	л		Л	Л		пл	Л		UU	บา		J		л
in .	reset	В0						Π										
5	> q	U 0	0173	2×3	X4X		0			2 3	X	5 6	7X8X	9 10	0/11/1	2 13 1	4 15 0	Xī



时序仿真能观察到电路信号的实际延迟情况。只有 Cyclone Ⅳ和 Stratix Ⅳ支持时序 仿真,如果 Quartus 工程所选择的芯片不是这两种芯片,那么时序仿真会定义为功能仿真。

3.2.4 器件编程

编译成功后,Quartus Prime 将生成编程数据文件,如.pof 和.sof 等编程数据文件,通 过下载电缆将编程文件下载到预先选择的 FPGA 芯片中,该芯片就会执行设计文件描述的 功能。

1. 编程连接

在进行编程操作之前,首先将下载电缆的一端与 PC 对应的端口进行相连。使用 MasterBlaster 下载电缆编程,将 MasterBlaster 电缆连接到 PC 的 RS-232C 串行端口。使 用 ByteBlasterMV 下载电缆,将 ByteBlasterMV 电缆连接到 PC 的并行端口。使用 USB Blaster 下载电缆,则连接到 PC 的 USB 端口。下载电缆的另一端与编程器件相连,连接好 后进行编程操作。



2. 编程操作

选择菜单命令 Tools→Programmer 或单击工具栏中的编程快捷按钮,打开编程窗口 (如图 3-29 所示)。读者需要根据自己的实验设备情况,进行器件编程的设置。



图 3-29 Programmer 编程窗口

本书进行的设置如下:

(1) 下载电缆 Hardware Setup 设置: USB Blaster。注意,编程设置时要保证下载电缆 连接,且设备上电。

(2) 配置模式 Mode 设置: JTAG 模式。

(3) 配置文件:自动给出当前项目的配置文件 myexam. sof。如果需要自己添加配置 文件,则单击 Add File 按钮添加配置文件。

(4)执行编程操作:单击编程按钮 Start,开始对器件进行编程。在编程过程中,进度表显示下载进程,信息窗口显示下载过程中的警告和错误信息。

(5) 实际检验:器件编程结束后,在实验设备上实际查看 FPGA 芯片作为计数器的工作情况,应当给计数器加入频率为 1Hz 的时钟信号,方便观察计数器的变化。如果计数器工作正常,则说明读者已经基本学会了 FPGA 的开发流程以及 Quartus Prime 16.0 的使用。

3. 其他编程文件的产生

Quartus Prime 在编译过程中会自动产生编程文件,如. sof 文件。但对于其他格式的文件,如二进制格式的.rbf 配置数据文件,需要专门进行设置才能产生。

编译后产生.rbf 文件过程如下:选择菜单命令 File→Convert Program Files,出现如 图 3-30 所示的对话框。首先,在 Programming file type 列表框中选择 Raw Binary File(.rbf)。 下一步,将 File name 一栏改成 myexam.rbf。然后单击 Input files to convert 栏中的 SOF Data, 此时 Add File 按钮被激活,单击 Add File 按钮,添加输入数据文件 myexam.sof,单击 Generate 按钮即可产生.rbf 文件。查找设计项目目录,可以找到 myexam.rbf 文件。

1000 11000					Search	altera.com
cify the input files to can also import inpu re use. onversion setup files	convert and the type o t file information from o	f programming t other files and s	file to generate. ave the conversion	n setup in form	ation created here for	
Oper	Conversion Setup Da	ta		Save	Conversion Setup	
utput programming fik						
ogramming file type:	Raw Binary File (.rbf)				•
Options/Boot info	Configuration device:	EPCE16		Mode:	1-bit Passive Seria	· •
le <u>n</u> ame:	myexam.rbf					
Advanced	Remote/Local update	difference file:	NONE			*
out files to convert	Create config data	a RPD (Generate	myexam_auto.rpc	1)		[]
File/Dat	a area	Prop Dage 0	perties	Start Addr	ress	Add Hex Data
myexam.sof		5CSEMA5F31				Add Sof Page
						Add File
						Remove
				//		Up
			添加.so	of文件		Down
						Properties

图 3-30 编译后生成.rbf 文件

3.3 嵌入式逻辑分析仪使用

Quartus Prime 软件提供了波形仿真工具,读者可以运行波形仿真工具,分析了解设计 系统各信号波形。3.2.3节中专门介绍了如何使用波形仿真工具对设计系统的信号进行波 形仿真的测试,通过信号波形分析了解设计系统的工作是否正常。

这里介绍嵌入式逻辑分析仪的使用,就是将逻辑分析仪嵌入到 FPGA 芯片内部,测试 FPGA 芯片内部或外部引脚实际信号波形,分析系统工作是否正常。

嵌入式逻辑分析仪的使用分为以下几个步骤:打开 SignalTap Ⅱ Logic Analyzer 编辑 窗口、输入待测信号、设置 SignalTap Ⅱ 参数、编译下载、运行 SignalTap Ⅱ 分析被测信号。

下面以前面已经输入的文件 myexam. v 为例,学习嵌入式逻辑分析仪的使用。

1. SignalTap Ⅱ编辑窗口

选择菜单命令 Tools→SignalTap II Logic Analyzer,出现 SignalTap II 编辑窗口,如 图 3-31 所示,显示一个空的 SignalTap II 文件。



78 ◀ FPGA系统设计——基于Verilog HDL的描述(微课视频版)

e <u>E</u> dit ⊻iew <u>P</u> roject	Processing Tools Wi	ndow <u>H</u> elp					Search altera.	com
書目って来き stance Manager: 階回回	Add nodes to	the current instar	nce	×	JTAG Chain	Configuration: JTA	3 ready	
tance	Status Not running	Enabled I	.Es: 0) cells		Hardware: Device:	DE-SoC [USB-1] @2: 5CSE(BA5 MA5 Manager:	▼] V5CSTFD5E ▼]	Setup
myexam No Type Alias	ode Name	Lock mode: Data Enable 0	Trige	Signal C Clock:	onfiguration:			×
Double-click to add nodes			•	<				•
ierarchy Display:	× [Data Log: 🕞						,
myexam								

图 3-31 SignalTap Ⅱ编辑窗口

SignalTapⅡ编辑窗口主要分为几个栏目:

(1) Instance Manager(实例管理)——管理分析程序。

(2) JTAG Chain Configuration(JTAG 链配置)——管理配置硬件和文件。

(3) Setup/Data(设置/数据)——设置测试信号或者观察测试数据。

(4) Signal Configuration(信号设置)——设置逻辑信号分析仪。

(5) Hierarchy Display(层次显示)——显示分析文件的结构层次。

2. 输入文件和待测信号

在 Instance Manager 栏目下,单击 Instance 下面的 auto_signaltap_0,将其更名为准备 分析的文件名 myexam。

双击设置测试信号 Setup 空白处,弹出 Node Finder 对话框,在该对话框中选择测试信号。这里选择观察 myexam 模块的 cnt。插入节点的过程与波形仿真选择信号完全相同。

3. SignalTap Ⅱ参数设置

在信号设置 Signal Configuration 栏目下,完成对逻辑信号分析仪参数的设置,设置窗口如图 3-32 所示。

(1) 设置 SignalTap II 工作时钟:单击图 3-32 中 Clock 右侧的"..."按钮,在出现的 Node Finder 对话框中,选择 clk 信号作为逻辑分析仪的采样时钟。

(2)设置采样数据:采样数据深度设置为1K,根据待测信号的数量和 FPGA 芯片内部的存储器的大小决定采样数据深度。

auto_signatap_0 Signal Configuration: able Trigger Cc IVBasic AND Clock: Double-click to add nodes Data Sample depth: 128 RAM type: Auto Manuat: Image: Storage qualifier: Type: Scontinuous Image: Storage qualifier: Type: Scontinuous Image: Storage qualifier: Nodes Allocated: Auto Manuat: Image: Storage qualifier: Type: Scontinuous Image: Storage qualifier: Nodes Allocated: Auto Manuat: Image: Storage qualifier: Trigger Nodes Allocated: Auto Manuat: Image: Storage: Stora
auto_signata_0 Signal configuration: ble Trigger Cc 1 Basic AND v Data Double-click to add nodes Clock: Duble-click to add nodes Data Sample depth: 128 v RAM type: Auto Double-click to add nodes Sample depth: Sample depth: 128 v RAM type: Auto Nodes Allocated: Auto Manuat: 0 Storage qualifier: Type: Nodes Allocated: Auto Manuat: 0 V Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manuat: 0 Trigger Trigger flow controt Sequential Trigger position
Image CC Clock: Image CC Data Double-click to add nodes Data Sample depth: 128 • RAM type: Auto Manuat: © Segmented: 2 64 sample segments Nodes Allocated: Auto Pipeline Factor: 2 Storage qualifier: Type: Type: Continuous Imput port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manuat: 0 Imput port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manuat: 0 Imput port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manuat: 0 Trigger Nodes Allocated: Nodes Allocated: Auto Trigger flow controt Sequential Trigger position: Stringer position
Data Double-click to add nodes Sample depth: 128<
Sample depth: 128 RAM type: Auto Segmented: 2 64 sample segments Nodes Allocated: Auto Pipeline Factor: 2 Storage qualifier: Type: Continuous Input port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Disable storage qualifier Trigger Nodes Allocated: Auto Trigger Generation Trigger Segmental Trigger position
Segmented: 2 64 sample segments Nodes Allocated: Auto Manual: Pipeline Factor: 2 Storage qualifier: Type: Storage qualifier Type: Storage_qualifier Imput port: Input port: auto_stp_external_storage_qualifier Imput port: Nodes Allocated: Auto Manual: 0 Imput port: auto_stp_external_storage_qualifier Imput port: Imput port: Nodes Allocated: Auto Manual: 0 Imput port: Trigger Nodes Allocated: Auto Manual: 0 Imput port: Trigger Nodes Allocated: Auto Manual: 0 Imput port: Trigger position: Imput position Imput position Imput position Imput position
Nodes Allocated: Auto Manual: Pipeline Factor: Storage qualifier: Type: Scontinuous Input port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manual: Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manual: Trigger position
Pipeline Factor: 2 Storage qualifier: Type: Type: Continuous Input port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manual: Ø Pipeline Storage qualifier Input port: auto_stp_external_storage_qualifier Input port: Bactored data discontinuities Input port: Disable storage qualifier Trigger Nodes Allocated: Auto Trigger Sequential Image: Control C
Storage qualifier: Type: Scontinuous Input port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manual: 0 Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manual: 0 Trigger flow controt Sequential Trigger position
Type: Continuous Input port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manuat: 0 Image: Record data discontinuities Image: Disable storage qualifier 0 Image: Disable storage qualifier Trigger Nodes Allocated: Image: Auto Image: Manuat: 0 Image: Disable storage qualifier Trigger Nodes Allocated: Image: Auto Image: Manuat: 0 Image: Disable storage qualifier Trigger Nodes Allocated: Image: Auto Image: Manuat: 0 Image: Disable storage Trigger position: Image: Position Image: Position Image: Position Image: Position
Input port: auto_stp_external_storage_qualifier Nodes Allocated: Auto Manual: Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manual: Trigger flow controt Sequential Trigger position
Input port auto_stp_external_storage_quainer Nodes Allocated: Auto Manual: Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manuat
Nodes Allocated: Auto Manual: Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manual: Trigger flow controt Sequential Trigger position:
✓ Record data discontinuities Disable storage qualifier Trigger Nodes Allocated: Auto Manuat: Trigger flow controt: Sequentiat Trigger position
Trigger Nodes Allocated: Auto Manual: Trigger flow controt: Sequential Trigger position: Trigger position
Ingger Nodes Allocated: Auto Manuat: Trigger flow control: Sequential Trigger position:
Nodes Allocated: (a) Auto Manual: 0 Trigger flow controt: Sequential Trigger position: State Post trigger position
Trigger flow control: Sequential Trigger position:
Trigger position:
Trigger conditions: 2
Trigger in
O Pin:
(i) Node:
O Instance:
Hard Processor System (HPS) trigger out
Baltarar
Pauein. 1 ngi
Trigger out

图 3-32 设置 SignalTap II 参数

(3) 触发设置: 触发器流控制、触发位置、触发条件均采用默认值。

(4) 触发输入:首先选中触发输入 Trigger in,接着在触发源 Node 处选择 myexam 设 计中的复位信号 reset,触发方式采用下降沿 Falling Edge。

(5)保存文件:设置完成后,保存该文件 myexam.stp,保存时,系统出现提示信息:Do you want to enable SignalTap Ⅱ,单击 Yes 按钮,表示同意使用 SignalTap Ⅱ,并准备将其 与 myexam 文件捆绑在一起进行综合和适配,一同下载到 FPGA 芯片中。

也可以通过选择菜单命令 Assignments→Settings,打开如图 3-33 所示的 Settings 对话框。在 Settings 对话框左侧的 Category 栏目下选择 SignalTap Ⅱ Logic Analyzer 项,选中 Enable SignalTap Ⅱ Logic Analyzer 复选框,添加 myexam. stp 文件,完成 SignalTap Ⅱ 与 myexam 源文件的捆绑。

ategory:		Device/Boa
General	SignalTap II Logic Analyzer	
Files	Specify compilation options for the SignalTap II Logic Analyzer.	
IP Settings IP Catalog Search Locations Design Templates	Enable SignalTap II Logic Analyzer SignalTap II File name: myexam.stp	[.
Operating Settings and Conditions Voltage Temperature Compilation Process Settings Incremental Compilation		
 EDA Tool Settings Design Entry/Synthesis Simulation Board-Level 		
 Compiler Settings VHDL Input Verilog HDL Input Default Parameters 		
TimeQuest Timing Analyzer		
Assembler		
SignalTap II Logic Analyzer		
Logic Analyzer Interface		
PowerPlay Power Analyzer Setting		
SSN Analyzer		
1		 50

图 3-33 SignalTap Ⅱ与 myexam 源文件的捆绑设置

4. 编译下载

(1) 编译:完成上述设置并保存文件后,必须再次进行完整的编译。选择菜单命令 Processing→Start Compilation 或直接单击工具栏中的编译按钮,执行编译操作,对设计文 件进行检查。

(2) 连接硬件: 在进行下载操作之前,首先将下载电缆的一端与 PC 对应的端口进行相连,这里使用 USB Blaster 下载电缆,连接到 PC 的 USB 端口,下载电缆的另一端与编程器件相连。

(3) 下载设置:如图 3-34 所示。Hardware 设置为 USB Blaster;连接硬件正常,系统 会自动找到下载器件 Device 为 5CSE;通过"..."按钮设置下载文件为 myexam. sof。

(4)执行下载操作:单击编程按钮 📓,开始对器件 5CSE 进行编程。

JTAG Chai	n Configuration:	JTA	G ready		×
Hardware:	USB-Blaster [U	JSB-(•]	Setup.	
Device:	@1: EP3C(10)	5)/EP	4CE(10 6) (0x020F10DD)	Scan Ch	ain
>> SOF	Manager: 🛓	0	C:/example/myexam/output_files/myexa	m.sof	·

图 3-34 下载设置界面

5. SignalTap Ⅱ信号分析

如图 3-35 所示,在实例管理 Instance Manager 栏目下,选中 Instance 下面的文件 myexam,再单击 Autorun Analysis(启动分析) 函按钮,启动 SignalTap II 信号分析。只有 当器件编程成功后,该分析按钮才会激活。

e cait View Proj	ect modessing 100	ts vyndow	neip			Search alt	era.com							
	6 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	► ² 4	D											
istance Manager: 🍬 🔊 🔳 🛅 Ready to acquire						in Configuration: JTAG ready								
stance	Enabled	LEs: 529	Memory: 512	Hardware	USB-Blaster (USB-0)	Setup								
🐮 myexam	Not running		529 cells	5120 bits	That a true c.		outop							
					Device:	@1: EP3C(10)5)/EP4CE(10)6) (0x020F10DD)	Scan Cha							
					>> SOF	Manager:	cam.sof							
					1	• (0)(0)								
trigger: 2022/02/08 20	55:23 #1	Lock mod	Allow a	ull changes	-	Signal Configuration								
Nggor. 2022 02 00 20	lode	Data Enab	le Trigger En	able rigger Con	ditions									
ype Alias	pe Alias Name			1 Basic A	ND -	Clock: clk								
₩				X0h		Data								
* reset				133		Sample death 11/ - DAM hunst Auto								
						Sample deptit. TR PAN type. Auto								
						Segmented: 2 512 sample segments	*							
						Nodes Allocated: O Auto O Manual: 5	\$							
						Pipeline Factor: 0								
			Storage qualifier:											
						Type: Isi Continuous	•							

图 3-35 启动 SignalTap Ⅱ 信号分析

在 Setup/Data 栏目下,选择观察测试数据 Data 窗口。

选择观察测试数据 Data 窗口。按下设备的 reset 键,使 reset 信号发生一次从高电平到 低电平的变化,为 SignalTap Ⅱ逻辑分析仪提供采样触发信号。这时,在 SignalTap Ⅱ的 Data 窗口就会观察到来自 FPGA 芯片的实时信号,如图 3-36 所示。

log:	Trig @	2022/02/08 21		click to insert time bar															
Туре	Alias	Name	-4	-2	. (γ.	<u> </u>	4	14	6	. 8		10		12	14	- p	16	18
-		⊕ q[30]	_	Oh		(1h)(2h	(3h)	(4h) (h X 6h	(7h)	(8h)(9h X /	Ah X B	hXC	(Dh)	EhXI	h X Oł	1×1h	(2h)(3h)
*		reset	_	 															

图 3-36 SignalTap Ⅱ采样的信号波形

按下 Stop Analysis(停止分析)按钮,结束分析过程。将鼠标指针移动到分析波形处, 通过单击鼠标右键和左键,可缩放波形的显示,使之适合观察。这里可以看到输出信号 q 的 变化规律与设计的 4 位二进制计数器功能一致。

6. 撤销 SignalTap Ⅱ信号分析

结束 SignalTap II 逻辑分析后,应撤销 SignalTap II 逻辑分析与 myexam 源文件的捆绑,释放嵌入式逻辑分析仪对 FPGA 芯片资源的占用。

撤销 SignalTap Ⅱ 逻辑分析与 myexam 源文件捆绑的方法是:选择菜单命令 Assignments→Settings,在 Settings 对话框左侧的 Category 栏目下选择 SignalTap Ⅱ Logic Analyzer 项,取消选中对 Enable SignalTap Ⅱ Logic Analyzer 复选框,单击 OK 按钮确认后,重新对 myexam 源文件进行完整编译,就可以释放嵌入式逻辑分析仪对 FPGA 芯 片资源的占用。

Quartus Prime 开发软件除了提供设计输入、设计处理、波形仿真等设计流程中必备的

工具外,还集成了一些辅助设计工具,包括 I/O 分配验证工具、功率估计和分析工具、RTL 阅读器、SignalProbe(信号探针)及 Chip Editor(底层编辑器)、Timing Closure Floorplan(时 序收敛平面布局规划器)。

在设计的任何阶段都可以使用 I/O 分配验证工具来验证引脚分配的合理性,保证在设 计早期尽快确定引脚分配。功率估计工具可以对设计的功耗进行估算,以方便电源设计和 热设计。RTL 视图则是用户在设计中查看设计代码的 RTL 结构的一种工具。SignalProbe 和 SignalTap II 逻辑分析器都是调试工具,SignalProbe 可以在不影响设计中现有布局布线 的情况下将内部电路中特定的信号迅速布线到输出引脚,从而无须对整个设计另做一次全 编译。Chip Editor 能够查看编辑后布局布线的详细信息,且可以使用 Resource Property Editor(资源特性编辑器)对逻辑单元、I/O 单元或 PLL 的原始属性和参数执行编译后的重 新编辑。Timing Closure Floorplan 可以通过控制设计的平面布局来达到时序目标。在综 合以及布局布线期间可以对设计使用网表优化,同时使用 Timing Closure Floorplan 分析 设计并执行面积约束,或者使用 LogicLock 区域分配进一步优化设计。

对这些辅助设计工具本章不做一一介绍,有需求的读者可参考相关书籍或 Quartus Prime 16.0 用户手册,学习更多的内容。