第5章



Testbench 及其仿真

5.1 Testbench 设计

5.1.1 Testbench 简介

Testbench 是一种验证工具。首先,大部分设计都需要输入输出。但是在软环境中没 有激励输入,也不会对设计的输出正确性进行评估。那么需要有模拟实际环境的输入激励 和输出校验的一种"虚拟平台"出现了。在这个平台上可以对设计从软件层面上进行分析和 校验,这个就是 Testbench 的含义。

Testbench 包含两部分。

(1)激励生成。这部分只用来生成输出而自己没有输入。生成的激励信号通过用户的 设计输入端口进行互连。这里的激励,都是预先设想好的,比如根据某个协议或者某种通信 方式传递。

(2)输出校验。即接收设计的输入,然后通过校验,找出对应的问题。通俗地讲,就是 利用 Testbench 把自己解脱出来,让软件来帮助自己找错误,并以打印、通知等方式来了解 设计的正确性。

设计与验证框图如图 5-1 所示。



如图 5-2 所示,测试结果不仅可以通过观察、对比波形来验证,而且可以灵活地使用脚

本命令将有用的输出信息打印到终端或者产生文本进行观察,也可以写一段代码自动比较输出结果。总之,Testbench的设计是多种多样的,它的语法也是很随意的,不像 RTL 级设计代码那么严格,很多高级的语法都可以在脚本中使用。因为它不需要实现到硬件中,是运行在 PC 上的一段脚本。但是,使用 Verilog 的验证脚本也有很多需要设计者留意的地方,它是一种基于硬件语言又服务于软件测试的语言,不过,只要掌握好了 Verilog 语言的关键点,是可以更好地利用它来满足设计验证。



图 5-2 验证输出

5.1.2 Testbench 的搭建

Verilog 硬件描述语言在数字电路的设计中使用非常普遍, 无论是哪种语言,仿真都是必不可少的。随着设计复杂度的提高,仿真工具的重要性也越来越凸显。在一些小的设计中,用 Testbench来进行仿真是一个不错的选择。VHDL与 Verilog 语 言的语法规则不同,它们的 Testbench 的具体写法也不同,但是 基本结构大体相似。在 VHDL 的仿真文件中应包含以下几点: 实体和结构体声明、信号声明、顶层设计实例化、提供激励; Verilog 的仿真文件应包括模块声明、信号声明、顶层设计实例 化、提供激励。Verilog 在设计中使用更普遍,这里以 Verilog 的 仿真模型为例进行介绍,如图 5-3 所示。 module test_bench: // 端口声明语句 // 输入reg, 输出wire initial begin // 产生时钟信号 end initial begin // 提供激励源 end // 例化语句, 例化测试块 endmodule

图 5-3 Verilog 的仿真模型

5.2 ModelSim 介绍及仿真

5.2.1 ModelSim 简介

Mentor 公司的 ModelSim 软件是业界最优秀的 HDL 语言仿真软件之一。它提供个性化图形界面和用户接口,编译仿真速度快,而且所编译的代码与平台无关,是 FPGA/ASIC 设计的首选仿真软件。

仿真的主要目的是验证功能是否与设想的一致。仿真分为功能仿真和时序仿真,功能 仿真是不带芯片时间延迟的仿真方法,主要用来验证功能;时序仿真加入了时间延迟,可以 考查在一定条件下功能是否符合设想。

5.2.2 ModelSim 仿真

如图 5-4 所示,打开 ModelSim 软件,新建一个 Library。 如图 5-5 所示,给新建的 Library 命名。

M ModelSim SE-64 10,5 File Edit View Compile	Simulate Add Library Too	ols Layou
tiew	Folder	Help
Open	Source +	1.1.1
Load	Project	
Clase	Ubrary	-
Import .	Debug Archive	
Export	Results Analysis Database,	
Save Citl+5	HODE TECHT has an	
Save As:	\$MODEL_TECH//mfact	

图 5-4 File→New→Library 菜单命令



图 5-5 给 Library 命名

如图 5-6 和图 5-7 所示,新建一个工程,并给工程命名。

ile Edit View	Compile	Simulate Add Library Tool
New		Folder
Open		Source +
Load.		Proyect
Clase		Library
Import		Debug Anthrea
Export		Results Analyse Database
Save	C01+5	Process Trout Anno
Save As		MODEL_TECH//eee_env

图 5-6 File→New→Project 菜单命令

在如图 5-8 所示的界面,单击 Close 按钮。 如图 5-9 所示,新建一个 Verilog 文件。

如图 5-10 所示,进入主程序,下面以全加器为例介绍。 编辑完成后,单击保存按钮。文件名要与 module 后面的名称相同,文件扩展名改为.v。

如图 5-11 所示,再新建一个测试文件,步骤同上面新 建的主程序文件,文件扩展名改为.vt。

如图 5-12 所示,添加文件,再编译文件。先右击左边

M Create Project		×
Project Name		_
work		_
Project Location	_	_
C:/modeltech64_10.5/examples		Browse,
Default Library Name		
work		_
Copy Settings From	-	-
0.5/examples/modelsim.ini	Brow	SE.
Copy Library Mappings C Referen	ce Ubrar	y Mappings
	OK	Cancel

图 5-7 给工程命名



图 5-8 Add items to the Project 界面

File Edit View	Compile	Simulate Add Library	Tools Layout Bookmarks
THEY	۲	Folder	Heln M
Open		Source	HI VHOL
Load		Project	6) Venlog
Close		Library	h SystemVerlog
Import		Debug Archive	Do
Export		Results Analysis Database	. E Other

图 5-9 File→New→Source→Verilog 菜单命令

圖.	6655 X 10822 0.4 5 X	0
晭.	4.5A.4	
Fo/te	st/top.V - Default *	_
Ln#		
L	El module top(cin, a, b, sum, count) ;	
2	input cin ;	
3	input a ;	
-4	input b ;	
5	output sum ;	
6	output count ;	
7	assign {count, sum} = a + b + cin ;	
3	endmodule	

图 5-10 编写程序窗口

空白处,选择 Add to Project→Existing File 命令。

Ln#	and the second sec
1	`timescale 1 ns/1 ns
2	[module top_tb() ;
3	reg a ;
4	reg b ;
5	reg cin ;
6	wire sum ;
7	wire count ;
8	initial
9	白 begin
10	a = 0 ;
11	b = 0 ;
12	cin = 0 ;
13	forever
14	🛱 begin
15	#([\$random]%100)
16	a = ~a ;
17	#([frandom]%100)
18	b = ~b ;
19	#([\$random]%100)
20	cin =cin ;
21	- end
22	- end
23	E top t0(.cin(cin),.a(a), .b(b),
24	L.sum(sum), .count(count)) ;
25	endmodule

图 5-11 测试程序窗口



图 5-12 添加文件

146 SPGA开发及应用——基于紫光同创Logos系列器件及Verilog HDL(微课视频版)

如图 5-13 所示,选择刚刚新建的两个文件。按 Ctrl 键可以同时选择两个文件,单击"打 开"按钮。

The Mane			Browse		
Add file at default	type	Folder Top Level			
Select files	to add to projec	a			
宣携范围(I)	test		• +		
*	名称			惨波日期	美型
快速访问	14_1_ddr3	ov5640_hdmi		2021/4/2 16:50	文件夹
	cortex_m1			2021/4/27 12:46	文件夹
100	ddr3_core			2021/4/2 16:11	文件夹
PRELING	M1			2021/4/7 11:02	文件夹
11	project_1			2021/4/9 12:00	文件夹
库	top.v			2021/6/25 13:21	V文件
	top_tb.vt			2021/6/25 13:21	VT 文件
此电脑					
18					
网络					
				_	
	ate (14 to (14)	Present Street at any		- 1	4TT (0)
	XH-A(N):	top.v top_tb.vt		- I L	1177 (0)

图 5-13 文件选择界面

如图 5-14 所示,选择菜单命令 Compile All,若出现两个"√",则说明编译通 过,若出现"×",则说明文件编译出错,双击"×",可以查看错误。

如图 5-15 所示,选择菜单命令 Simulate→Start Simulation,开始仿真。

Edit		File Edit View Compile Simulate Add	Projec
Comple	Compile Selected	📓 - 😹 💭 🍮 🍏 🕴 Design Optimizat	ion
Add to Project	Comple All	Start Simulation。 Runtime Options	•• 44
Remove from Project	Compile Out-of-Date	(**) st -C:/modelledn64_10.5/exer Run	
Jpdate	Comple Report	▼Name Stat Step top.v ✓ Restart	*
operties	Compile Summary	Real	
roject Settings	Comple Properties,	End Simulation	

如图 5-16 所示,选择 work 库中的 top_tb,或者测试文件名称,一定不要选中左下角的 Enable optimization 复选框,否则不会出现波形。

4.0	1	Dec.		-
VName	Type	Path		
- work	Library	work		
M_opt	Optimized	÷ .		
- III top	Module	F:/test/top.v		
] top_th	Module	F:/test/top_tb.vt		
the floatfixlb	Library	\$MODEL_TECH//fioatfixlib		
ieee_env (empty)	Library	\$MODEL_TECH//leee_env		
€- III infact	Library	\$MODEL_TECH//infact		
• mc2_lib	Library	\$MODEL_TECH//mc2_lb		
mgc_ams (empty)	Library	\$MODEL_TECH//mgc_ams		
+) mtAvm	Library	\$MODEL_TECH//avm		
<u>.</u>				+
Design Unit(s)			Resolution	-
work.top_tb			default	2
Optimization			_	_
Enable entimization		Date	mitalion Onlin	ni.

图 5-16 仿真设置

如图 5-17 所示,在弹出的界面中右击测试文件,选择 Add Wave 命令。

如图 5-18 所示,选择菜单命令 Simulate→Run→Run-All,再单击缩小按钮,即可看到波形,仿真结果如图 5-19 所示。





图 5-19 仿真结果

5.3 PDS 与 ModelSim 联合仿真

要进行仿真库编译,可在 PDS 主界面选择菜单命令 Tools→Compile Simulation Libraries。在弹出的界面中,按图 5-20 进行路径设置,将编译库 pango_sim_libraries 放在 C:/modeltech64_10.5 仿真软件文件夹下,单击 Compile 按钮即开始编译。

如图 5-21 所示,由于前面没有创建文件夹,所以在这里会弹出询问是否创建文件夹的 提示,单击 Yes 按钮,开始进行编译,编译成功界面如图 5-22 所示。至此,PDS 软件与 ModelSim 就可以进行联合仿真了。

Simulator:	Model5im Similator	4	
Langdage:	VeriLog	÷	
Library:	ALL.		
Compiled Li Simulator H	ibrary Location: i_test/pango_sim_ Executable Path: C:/modeltech64_1	libraries 🔚	收 File Editor

图 5-20 编译库设置

图 5-21 创建文件夹

×

Compile Simulation Libraries	7 3
L DOSES PERSI FONDOLLI - 34 SQU DEIDEDE	
• vlog -incr -f ./filelist_pciegen3_gtp.f -work vsim -sv	-mfcu
 Manuadi - Therefore and Commutating and the providence of the providenc	age.sop(21):
Top level modules:	
• End time: 13:33:53 on Jun 25,2021, Elapsed time: 0:00:	609
# Errors: 0, Warnings: 1	
Model Technology ModelSim SE-64 wlog 10.5 Compiler 201	16.02 Feb 13 2016
5tart time: 13:33:53 on Jun 25,2021	
4 vlog -anor/GTP_DORC_DT.vp/GTP_DORPHY_DT.vp/GTP GTP_HSSTMP_LAME_DTT.vp/GTP_HSSTLP_LAME_DT.vp/GTP GTP_HSSTMP_LAME_DTT.vp/GTP_HSSTLP_DT.vp/GTP_HSST_E2_DTT.v GTP_MSS_DT.vp/GTP_PCIMENA2_DTT.vp/GTP_ECIMENA3_DTT. ./POA_GODA_X1.vp/kep_gtp_vtap.vp/ddrc_gtp_vtap.vp/ hast_gtp_wtap.vp/lpal_gtp_vtap.vp/powerctl_gtp_vtap. -vork_vdim	P BESTRP RPLL DFT.vp ./ STLP_PLL DFT.vp ./ vp ./GTP_IOLES_DFT.vp ./ .vp ./GTP_RES_CAL_DFT.vp /ddrphy_gtp_wrap.vp ./ .vp ./rbcrc_gtp_wrap.vp
• Top level modules:	
• End time: 13:33:55 on Jun 25,2021, Elapsed time: 0:00	:02
# Errors: D, Warnings: 0	
Compile libraries succeed.	

图 5-22 编译完成