

数字电路实验

实验一 组合逻辑电路功能分析

一、实验目的

- (1) 熟悉数字电路实验箱的布局结构和使用方法。
- (2) 掌握各类门电路逻辑功能的静态测试和动态测试方法。
- (3) 掌握组合逻辑电路的分析方法和测试方法。
- (4) 掌握 Multisim 的原理图的输入方法及实验结果的仿真测试方法(线上)。

二、实验设备及器材

- (1) 数字电路实验箱及+5V 直流电源。
- (2) 双踪示波器。
- (3) 连续脉冲源。
- (4) 逻辑电平开关。
- (5) 0-1 指示器。
- (6) 四-二输入与非门(74LS00)、四-二输入异或门(CD4030)。
- (7) 安装 Multisim 软件的计算机。

三、实验原理

(1) 逻辑门电路是组成各种数字电路的基本单元。常用的门电路有与门、或门、非门、与非门、或非门和异或门等。可以用以上常用的门电路来组合成具有其他功能的门电路。例如,根据与门的逻辑函数表达式 $F = A \cdot B = \overline{\overline{A} \cdot \overline{B}}$, 可以用两个与非门组合成一个与门。当然,还可以组合成更复杂的逻辑关系。

(2) 组合逻辑电路的分析是根据所给的逻辑门电路,写出其输入与输出之间的逻辑函数表达式及其真值表,从而确定该电路的逻辑功能。

(3) 组合逻辑电路设计过程是在理想情况下进行的,即假设一切元器件均没有延迟

效应。但实际上并非如此,信号通过任何导线或元器件都需要一段响应时间,由于制造工艺上的原因,各元器件延迟时间的离散性很大,这就使得在一个组合逻辑电路中,输入信号发生变化时,有可能产生错误的输出。这种输出出现瞬时错误的现象称为组合逻辑电路的竞争冒险现象(简称险象)。本实验仅对组合逻辑冒险中的静态 0 型与 1 型冒险进行研究。

(4) 组合逻辑电路功能分析的一般步骤如下。

- ① 根据组合逻辑电路图写出逻辑函数表达式。
- ② 根据逻辑函数表达式列出真值表。
- ③ 根据真值表或者逻辑函数表达式分析组合逻辑电路的功能。

四、实验内容

1. 线下实验方式

1) 与非门逻辑功能测试(74LS00)

74LS00 是晶体管-晶体管逻辑(transistor-transistor logic, TTL)类型芯片,为四-二输入与非门,即在一块集成芯片内含有 4 个互相独立的二输入与非门。其引脚及内部逻辑功能如图 3.1 所示。与非门的逻辑功能为当输入端有一个或者一个以上是低电平时,输出端为高电平;当且仅当输入端全部为高电平时,输出端才为低电平,即“有 0 出 1,全 1 出 0”。

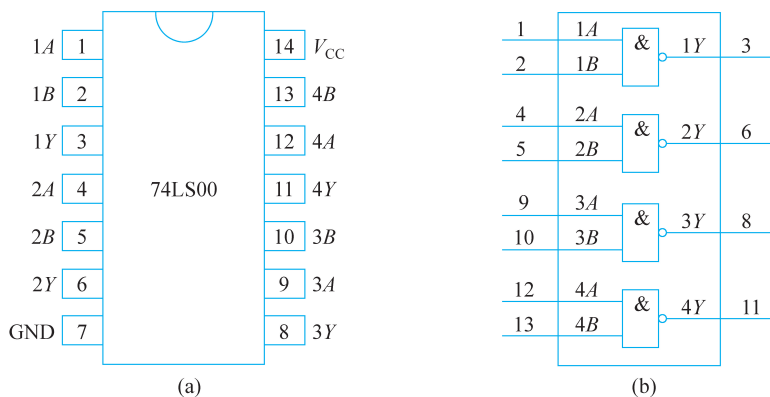


图 3.1 74LS00 与非门引脚及内部逻辑功能

(a)74LS00 与非门引脚; (b)74LS00 与非门内部逻辑功能

图 3.1 中,1、2、4、5、9、10、12、13 为输入端;3、6、8、11 为输出端;7 为接地端;14 为电源端。

任意选择 74LS00 其中一个与非门进行实验,假设选中输入端为 1A (1)、1B (2),输出端为 1Y (3)。图 3.2 给出了其逻辑图。与非门的输出表达式为 $Y = \overline{A \cdot B}$ 。输入端 A 和 B 分别连接数字电路实验箱上的逻辑开关,当开关向上拨时,输入为高电平,即 H 或二进制 1;当开关向下拨时,输入为低电平,即 L 或二进制 0。输出端连接发光二极管(light emitting diode, LED)作为 0-1 指示器来显示与非门的输出状态。当 0-1 指示器亮

时,表示与非门的输出状态为 1,又称高电平,用 H 表示;当 0-1 指示器不亮时,表示与非门的输出状态为 0,又称低电平,用 L 表示。



图 3.2 单个与非门逻辑图

首先按照表 3.1 的要求,改变输入端 A 和 B 的逻辑状态,分别测出输出端电平并填写。然后判断其逻辑功能,验证是否为“与非”逻辑。

表 3.1 与非逻辑

输 入 端		输 出 端	
A	B	0-1 指示器	电平(H 或 L)
0	0		
0	1		
1	0		
1	1		

2) 异或门逻辑功能测试(CD4030)

CD4030 为四-二输入异或门,即在一片集成芯片内含有 4 个互相独立的二输入异或门。其引脚及内部逻辑功能如图 3.3 所示。异或门的逻辑功能为当两个输入端一个为高电平,另外一个输入端为低电平时或者两个输入端一个低高电平,另外一个输入端为高电平时,输出端才是高电平;当两个输入端输入全部都是低电平时或者输入全部都是高电平时,输出端为低电平,即“相异出 1,相同出 0”。

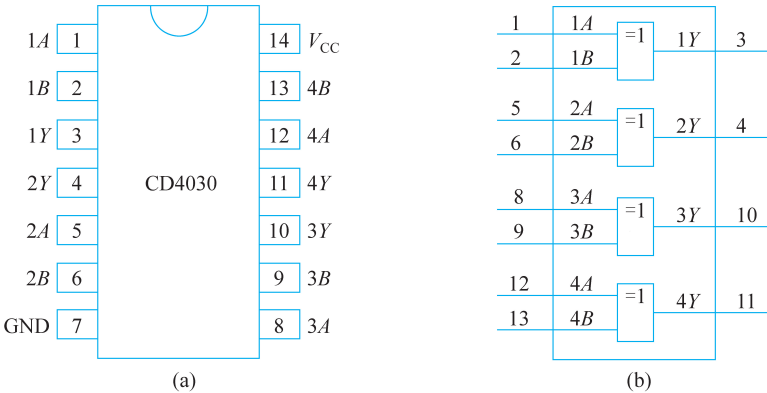


图 3.3 CD4030 异或门引脚及内部逻辑功能

(a)CD4030 异或门引脚; (b)CD4030 异或门内部逻辑功能

图 3.3 中,1、2、5、6、8、9、12、13 为输入端;3、4、10、11 为输出端;7 为接地端;14 为电源端。

任意选择 CD4030 其中一个异或门进行实验,假设选中输入端为 1A(1)、1B(2),输出端为 1Y(3)。图 3.4 给出了其逻辑图。异或门的输出表达式为 $Y = A \oplus B = \bar{A} \cdot B + A \cdot \bar{B}$ 。输入端 A 和 B 分别连接数字电路实验箱上的逻辑开关,当开关向上拨时,输入为高电平,即 H 或二进制 1;当开关向下拨时,输入为低电平,即 L 或二进制 0。输出端连接发光二极管作为 0-1 指示器来显示异或门的输出状态。当 0-1 指示器亮时,表示异或门的输出状态为 1,用 H 表示;当 0-1 指示器不亮时,表示异或门的输出状态为 0,用 L 表示。

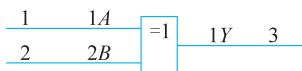


图 3.4 单个异或门逻辑图

首先按照表 3.2 的要求,改变输入端 A 和 B 的逻辑状态,分别测出输出端电平并填写。然后判断其逻辑功能,验证是否为“异或”逻辑。

表 3.2 与非逻辑

输 入 端		输 出 端	
A	B	0-1 指示器	电平(H 或 L)
0	0		
0	1		
1	0		
1	1		

3) 半加器逻辑电路

(1) 分析测试由 74LS00 与非门组成的半加器的逻辑电路功能,如图 3.5 所示。

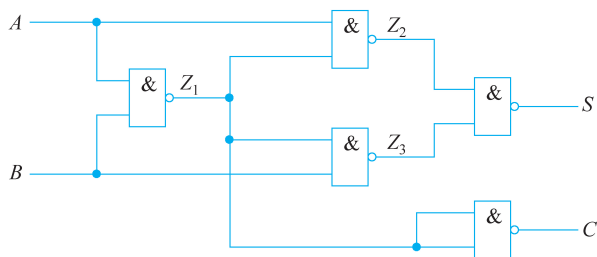


图 3.5 74LS00 与非门组成的半加器逻辑电路

① 写出图 3.5 对应的逻辑函数表达式。

$$\begin{aligned} Z_1 &= \\ Z_2 &= \\ Z_3 &= \\ S &= \end{aligned}$$

$C =$

② 根据逻辑函数表达式列出真值表,填写表 3.3。

表 3.3 真值表

A	B	Z_1	Z_2	Z_3	S	C
0	0					
0	1					
1	0					
1	1					

③ 根据真值表画出逻辑函数 S、C 的卡诺图并化简,如图 3.6 所示。

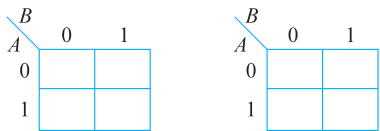


图 3.6 S 和 C 的卡诺图

④ 首先在数字电路实验箱上选定两个 14P 插座,插好两片 74LS00 与非门(注意芯片的凹槽对应插座上的凹槽),并按照图 3.5 所示接好导线,A、B 两个输入端分别接逻辑开关, Z_1 、 Z_2 、 Z_3 、S 和 C 分别接 0-1 指示器。然后接通数字电路实验箱的电源,进行逻辑状态的测试,将测试结果填入表 3.4,并与表 3.3 的真值表进行比较,验证逻辑功能是否一致。

表 3.4 结果记录表

A	B	S	C
0	0		
0	1		
1	0		
1	1		

(2) 分析、测试由 CD4030 异或门和 74LS00 与非门组成的半加器逻辑电路功能,如图 3.7 所示。

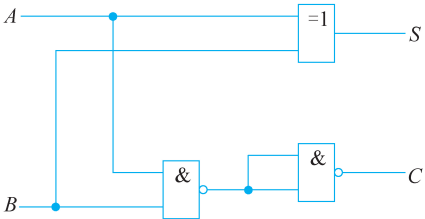


图 3.7 CD4030 异或门和 74LS00 与非门组成的半加器逻辑电路

首先在数字电路实验箱上选定两个 14P 插座,分别插好 CD4030 异或门和 74LS00 与非门(注意芯片的凹槽对应插座上的凹槽),并按照图 3.7 所示接好导线, A 、 B 两个输入端分别接逻辑开关, S 和 C 分别接 0-1 指示器。然后接通数字电路实验箱的电源,进行逻辑状态的测试,将测试结果填入表 3.5,并与表 3.4 所示真值进行比较,验证两者逻辑功能是否一致。

表 3.5 结果记录表

A	B	S	C
0	0		
0	1		
1	0		
1	1		

4) 全加器逻辑电路

分析测试由 74LS00 与非门组成的全加器逻辑电路功能,如图 3.8 所示。

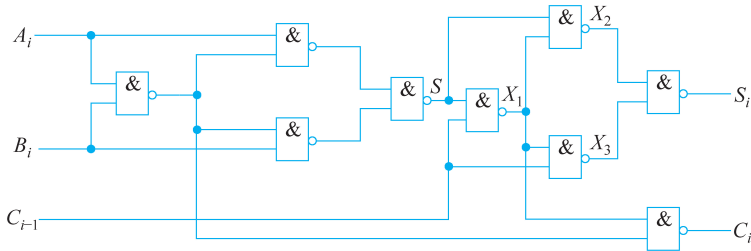


图 3.8 74LS00 与非门组成的全加器逻辑电路

① 写出图 3.8 对应的逻辑函数表达式。

$$S =$$

$$X_1 =$$

$$X_2 =$$

$$X_3 =$$

$$S_i =$$

$$C_i =$$

② 根据逻辑函数表达式列出真值表,填写表 3.6。

表 3.6 真值表

A_i	B_i	C_{i-1}	X_1	X_2	X_3	S_i	C_i
0	0	0					
0	0	1					
0	1	0					

续表

A_i	B_i	C_{i-1}	X_1	X_2	X_3	S_i	C_i
0	1	1					
1	0	0					
1	0	1					
1	1	0					
1	1	1					

③ 根据真值表画出逻辑函数 S_i 、 C_i 的卡诺图并化简,如图 3.9 所示。

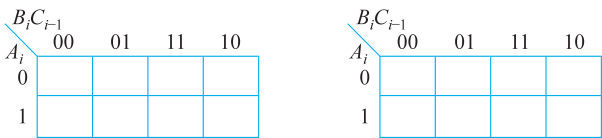


图 3.9 S_i 和 C_i 的卡诺图

④ 在实验箱上选定三个 14P 插座,插好三片 74LS00 与非门(注意芯片的凹槽对应插座上的凹槽),并按照图 3.8 所示接好导线, A_i 、 B_i 、 C_{i-1} 三个输入端分别接逻辑开关, S_i 和 C_i 分别接 0-1 指示器。然后接通数字电路实验箱的电源,进行逻辑状态的测试,将测试结果填入表 3.7,并与表 3.6 的真值表进行比较,验证两者逻辑功能是否一致。

表 3.7 结果记录表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

5) 观察竞争冒险现象

用一片 74LS00 与非门观察组合逻辑电路的竞争冒险现象。首先按照图 3.10 接线。当 $B=1$ 、 $C=1$ 时, A 输入方波($f>1\text{MHz}$)。然后用示波器观察 Z 的输出波形并用添加校正项的方法消除竞争冒险现象。

2. 线上实验方式

(1) 与非门逻辑功能测试。首先将高、低电平(这里分别用 +5V 和 GND 来实现)分

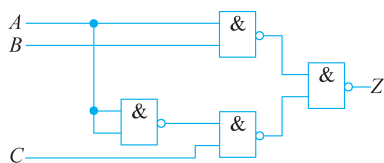


图 3.10 74LS00 与非门组成的竞争冒险实验逻辑电路

别和“单刀双掷开关” S_1 和 S_2 同一侧的两端相连,另一端和 74LS00 中的任意一个与非门相连。与非门的输出端接发光二极管, Multisim 元件中有多种颜色的发光二极管,实验者可以根据自己喜好进行选择。这里选择红色发光二极管,即如果与非门的输出端为高电平,则二极管发出红光,与非门逻辑功能测试 Multisim 仿真电路如图 3.11 所示。当输入为 4 种状态时,观察输出所接发光二极管的状态并进行记录。

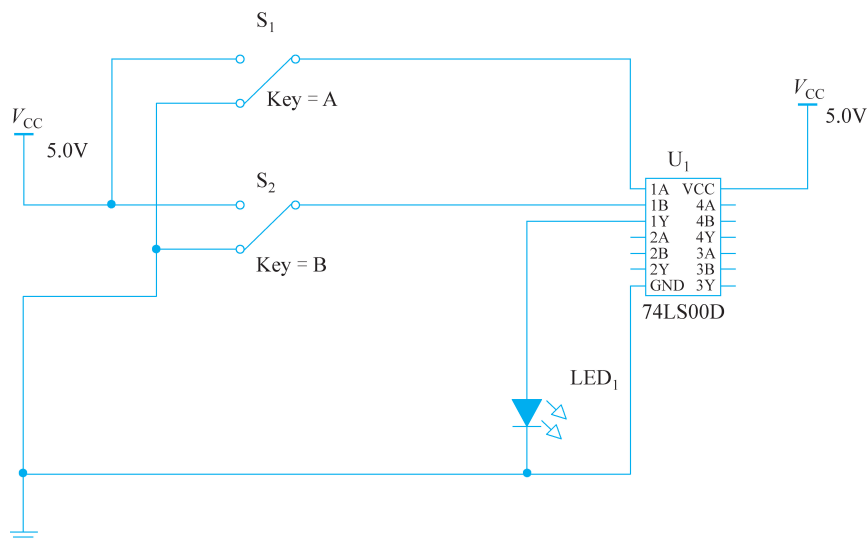


图 3.11 与非门逻辑功能测试 Multisim 仿真电路

(2) 分析测试由 74LS00 与非门组成的半加器的逻辑电路功能,其 Multisim 仿真电路如图 3.12 所示。按照线下实验方式 3) 完成电路功能测试并进行记录。

(3) 其他电路测试方法按照线下实验方式进行仿真,过程类似,这里不再赘述。

五、实验预习要求

- (1) 简述 74LS00 和 CD4030 的逻辑功能、主要参数及其测试原理和方法。
- (2) 复习组合逻辑电路的分析方法。
- (3) 复习用与非门和异或门等构成半加器、全加器的工作原理。
- (4) 复习组合电路现象的种类、产生原因及防止方法。
- (5) 根据实验要求设计好必要的线路。
- (6) 熟悉 Multisim 软件原理图输入方法及电路编译、仿真方法。

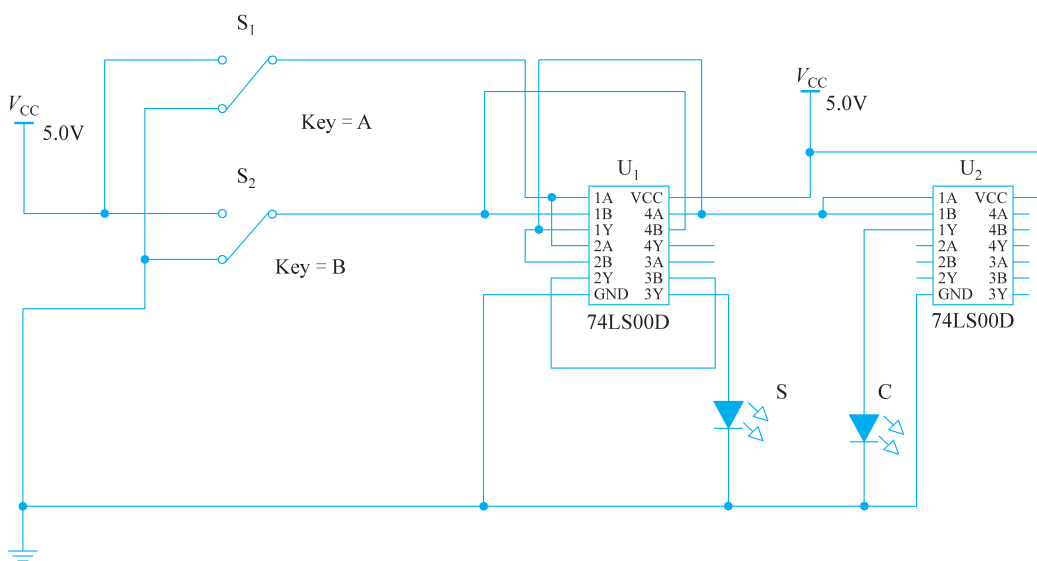


图 3.12 74LS00 与非门组成的半加器 Multisim 仿真电路

六、实验报告

按照实验目的、实验原理、实验设备、实验内容、实验数据、实验总结撰写实验报告,具体要求如下。

- (1) 整理实验数据、图表,对实验结果进行分析讨论。
- (2) 总结组合逻辑电路的分析与测试方法。
- (3) 对冒险竞争现象进行讨论。

七、问题思考与练习

- (1) 双列直插式数字集成电路芯片引脚编号排列有什么规律?
- (2) 集成电路芯片的电源电压的使用范围是多少? 实验室通常要求接多少伏的电源?

实验二 组合逻辑电路的设计与测试

一、实验目的

- (1) 掌握本实验所用门电路逻辑功能的检测方法。
- (2) 掌握组合逻辑电路的一般设计方法和测试方法。
- (3) 掌握 Multisim 的原理图输入方法及实验结果仿真测试方法(线上)。

二、实验设备及器材

- (1) 数字电路实验箱及+5V 直流电源。
- (2) 双踪示波器。

- (3) 逻辑电平开关。
- (4) 0-1 指示器。
- (5) 蜂鸣器。
- (6) 四-二输入与非门(74LS00)、三个双四输入与非门(74LS20)。
- (7) 安装 Multisim 软件的计算机。

三、实验原理

1. 组合逻辑电路设计的定义和一般步骤

一般情况下逻辑电路可以分为组合逻辑电路和时序逻辑电路两大类。在任何时刻,输出状态只决定于同一时刻各输入状态的组合,而与先前的状态无关的逻辑电路称为组合逻辑电路。组合逻辑电路设计就是根据给出的实际逻辑任务要求或者逻辑问题,求出实现这一逻辑功能最简的逻辑电路。

组合逻辑电路设计的一般步骤如下。

(1) 进行逻辑抽象。根据设计任务要求进行逻辑抽象,确定输入变量和输出变量,并对各个逻辑变量进行逻辑赋值。

(2) 根据输入变量和输出变量的关系列出逻辑变量的真值表。

(3) 根据真值表列出逻辑函数表达式。

(4) 利用卡诺图或者代数化简法求出最简逻辑函数表达式以便获得最简设计结果;如果对所用元器件的种类有额外的限制,还应将函数表达式转换为与元器件种类相适应的形式。

(5) 画逻辑电路图。根据化简或转换后的逻辑函数表达式,画出用选定的元器件构成的电路图。

(6) 用实验来验证设计的正确性。实验时,首先应根据所设计的逻辑电路图选用标准元器件构成逻辑电路,然后验证设计的正确性。

2. 组合逻辑电路设计举例

设计一个监测交通信号灯工作状态的组合逻辑电路,要求仅用与非门实现。

下面给出求解的具体步骤。

(1) 取红、黄、绿三种颜色灯的状态为输入变量,分别用 A 、 B 、 C 表示。规定灯亮为 1,灯不亮为 0。取故障信号为输出变量,用 Y 表示。规定正常工作状态下, A 、 B 、 C 中只有一个灯亮, Y 为 0;发生故障时, Y 为 1。

(2) 根据题意写出真值表,如表 3.8 所示。

表 3.8 真值表

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1

续表

A	B	C	Y
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(3) 根据真值表写出逻辑函数表达式

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC \quad (3-1)$$

(4) 利用卡诺图化简,如图 3.13 所示。

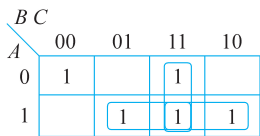


图 3.13 Y 的卡诺图

简化结果为

$$Y = \overline{A}\overline{B}\overline{C} + AC + AB + BC \quad (3-2)$$

根据题目要求用与非门来实现,需要将化简后的逻辑函数表达式转换为“与非”式

$$Y = \overline{\overline{\overline{A}\overline{B}\overline{C}} + \overline{\overline{AC}} + \overline{\overline{AB}} + \overline{\overline{BC}}} = \overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{\overline{AC}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{BC}} \quad (3-3)$$

(5) 根据逻辑函数表达式,画出用与非门构成的逻辑电路图,如图 3.14 所示。

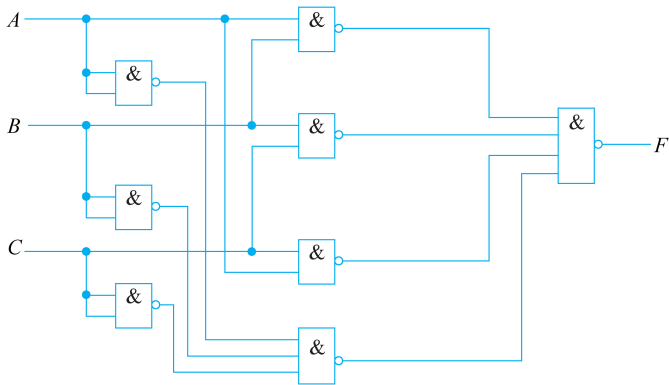


图 3.14 交通信号灯工作状态监测逻辑电路

四、实验内容

1. 线下实验方式

1) 设计一个监视交通信号灯工作状态的监测电路,要求利用 74LS20 实现

(1) 首先对 74LS20 芯片功能进行检测。74LS20 是双四输入与非门,即在一片集成

芯片内含两个互相独立的四输入与非门。其引脚及内部逻辑功能如图 3.15 所示。

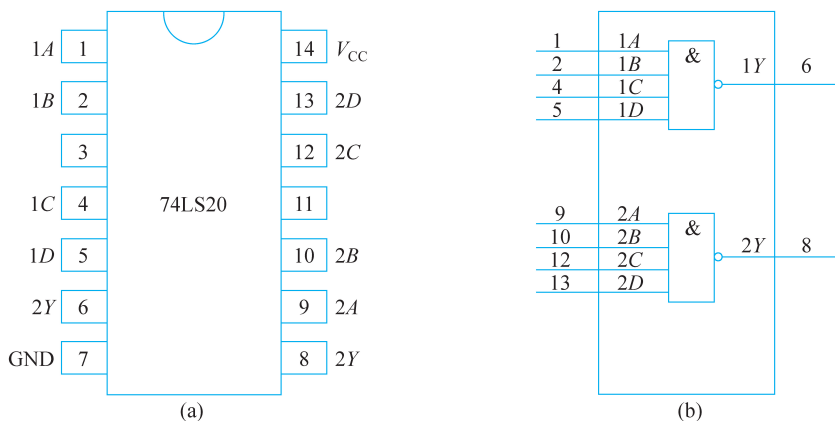


图 3.15 74LS20 与非门引脚及内部逻辑功能

(a) 74LS20 与非门引脚；(b) 74LS20 与非门内部逻辑功能

图 3.15 中, 1、2、4、5、9、10、12、13 为输入端; 6、8 为输出端; 7 为接地端; 14 为电源端; 3、11 为空脚。

74LS20 与非门功能检测方法。可以通过对输入信号 0111、1011、1101、1110、1111 进行检测, 观察输出信号是否为 1、1、1、1、0, 即可判断其“与非”逻辑功能是否正常(全 1 出 0, 有 0 出 1)。

检测步骤如下。在数字电路实验箱实验面板上的适当位置选定三个 14P 插座, 根据芯片凹槽位置的朝向插好芯片。按照图 3.16 接线, 并将输入端 A、B、C、D 接数字实验面板上的逻辑电平开关的任意 4 个(开关拨上为 1, LED 亮; 开关拨下为 0, LED 灭)。输出端接 0-1 指示器插口的任意一个(LED 亮表示输出为 1, LED 灭表示输出为 0)。接通数字电路实验箱的电源, 进行逻辑功能检测, 将检测结果填入表 3.9。

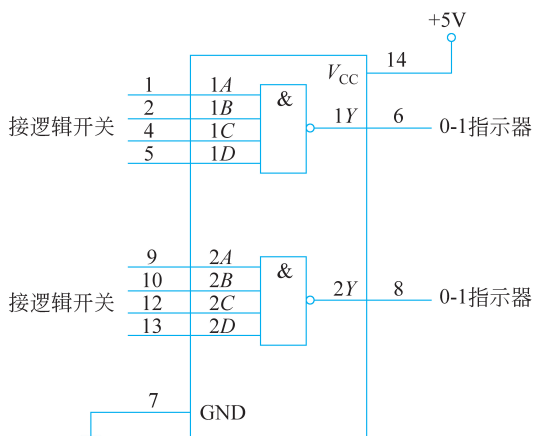


图 3.16 74LS20 与非门功能检测逻辑电路

表 3.9 74LS20 与非门功能检测结果记录表

输 入				输 出
1A	1B	1C	1D	1Y
0	1	1	1	
1	0	1	1	
1	1	0	1	
1	1	1	0	
1	1	1	1	
输 入				输 出
2A	2B	2C	2D	2Y
0	1	1	1	
1	0	1	1	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注意：实验用的三片 74LS20 中的 6 个与非门要全部进行检测。如果发现芯片功能异常,则要及时更换芯片,以保证后面实验的顺利进行。

(2) 交通信号灯工作状态监测电路设计检测。按照图 3.14 进行接线。将输入端 A、B、C 分别接入逻辑电平开关的任意 3 个插口上,输出端 Y 接在 0-1 指示器上。拨动逻辑电平开关进行输入,开关拨上为 1,LED 亮;开关拨下为 0,LED 灭。输出端 Y 驱动 LED 亮为 1,不亮则为 0。进行逻辑功能测试,将实验结果填入表 3.10。

表 3.10 交通灯工作状态检测电路测试结果记录表

输 入			输 出
A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

注意：实验过程中，测得的 8 组逻辑值必须全部正确，否则，需要检查电路接线是否正确或者芯片功能是否正常，然后重新测试。

2) 设计一个四人无弃权表决电路

(1) 多数赞成则提案通过，即有三人或四人同意，则提案通过。本设计要求用四组二端输入与非门实现，其设计步骤如下。

① 设 A 、 B 、 C 、 D 代表四个人的投票结果，赞成为 1，不赞成为 0； F 为表决结果，当有三人或者四人赞成时提案通过， F 为 1，否则 F 为 0。根据题意列出真值表，如表 3.11 所示。

表 3.11 真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

② 根据真值表列出逻辑函数表达式

$$F = \bar{A}BCD + \bar{A}\bar{B}CD + A\bar{B}\bar{C}D + ABC\bar{D} + ABCD \quad (3-4)$$

③ 利用卡诺图进行化简，如图 3.17 所示。

		CD			
		00	01	11	10
AB	00				
	01			1	
	11		1	1	1
	10			1	

图 3.17 F 的卡诺图

简化结果为

$$F = BCD + ACD + ABD + ABC \quad (3-5)$$

根据题目要求用与非门来实现,需要将化简后的逻辑函数表达式转换为“与非”式

$$F = \overline{\overline{BCD} \cdot \overline{ACD} \cdot \overline{ABD} \cdot \overline{ABC}} \quad (3-6)$$

④ 根据表达式,画出由与非门构成的四人表决逻辑电路图,如图 3.18 所示。

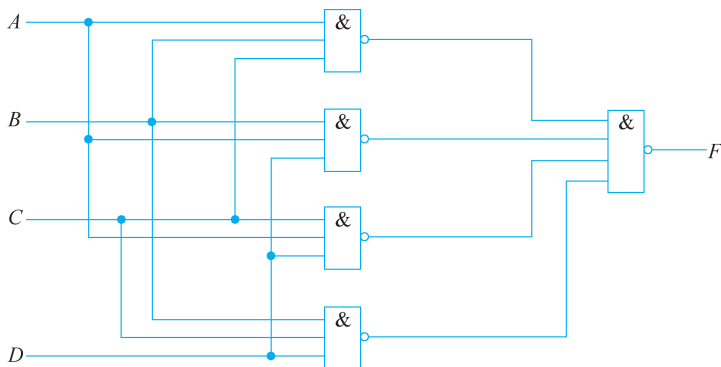


图 3.18 与非门构成的四人表决逻辑电路

(2) 四人表决电路功能检测。芯片 74LS20 功能检测参照线下实验方式 1) 中对 74LS20 功能的检测。要求对三片芯片中的 6 个与非门全部进行检测,若发现功能异常,则应立刻更换芯片。

按照图 3.18 连接好电路,将输入端 A、B、C、D 分别接入逻辑电平开关的任意 4 个插口上,输出端 F 接在 0-1 指示器上。拨动逻辑电平开关进行输入,开关拨上为 1,LED 亮;开关拨下为 0,LED 灭。输出端 Y 驱动 LED 亮为 1,不亮则为 0。按照表 3.12 进行测试,并将实验结果记录在表中。

表 3.12 四人表决电路测试结果记录表

A	B	C	D	F
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	

续表

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

3) 设计一个保险箱的数字密码锁(选做)

设计一个保险箱的数字密码锁,规定该锁有 A 、 B 、 C 、 D 四个代码的输入端和一个开箱钥匙孔信号 E 的输入端,锁的代码由实验者自行编写(例如,1001)。当用钥匙开箱时($E=1$),如果代码符合该锁设定的代码,保险箱被打开($Z_1=1$),如果不符合,电路将发出报警信号($Z_2=1$)。要求用最少的与非门来实现,检测并记录实验结果(提示:实验时锁被打开,用实验箱上的继电器吸合与发光二极管点亮表示;在未按照规定按下开关时,防盗蜂鸣器响)。

2. 线下实验方式

(1) 根据组合逻辑电路的设计步骤,完成对交通信号灯工作状态监测电路的设计。交通信号灯工作状态监测的 Multisim 仿真电路如图 3.19 所示。按照线下实验方式 1) 完成对交通信号灯工作状态监测电路设计的逻辑功能测试。

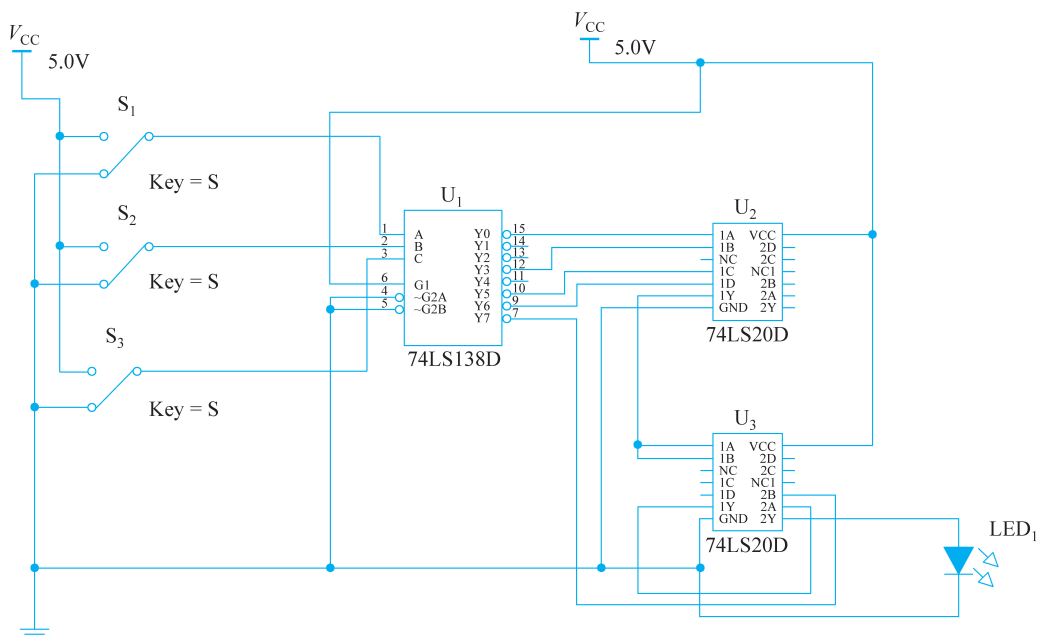


图 3.19 交通信号灯工作状态监测的 Multisim 仿真电路

图 3.19 中的 Multisim 仿真电路在构建过程中需要注意以下几点。

① 利用三个单刀双掷开关 S_1 、 S_2 、 S_3 接高低电平来仿真实现红、黄、绿三种颜色交通信号灯的灯亮和灯灭。

② 需要两块 74LS00 和一块 74LS20 芯片,三个芯片的 V_{CC} 统一接 5V 电源,GND 统一接地。

③ 74LS20 中用到了第一个四输入与非门的三个输入端 1A、1B 和 1C,剩余一个 1D 输入端,切记要接高电平即 V_{CC} ,防止 1D 悬空带来的干扰。

(2) 根据组合逻辑电路的设计步骤,完成四人无弃权电路的设计。四人表决无弃权 Multisim 仿真逻辑电路图如图 3.20 所示。按照线下实验方式 2) 完成对四人表决无弃权电路设计的逻辑功能测试。

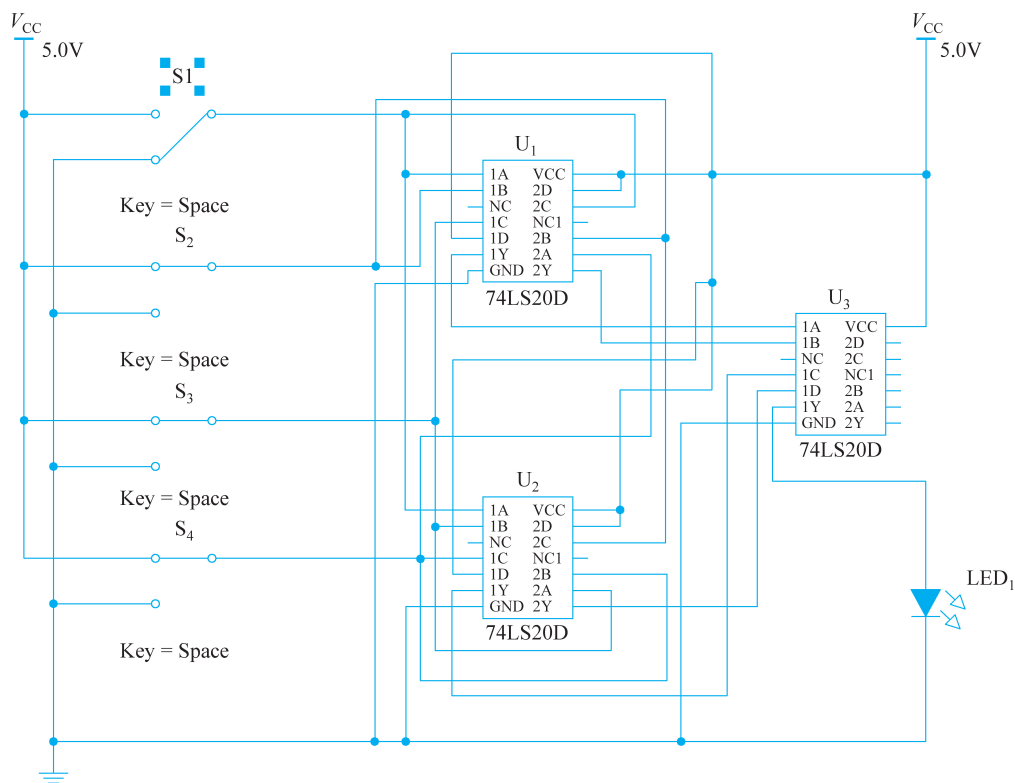


图 3.20 与非门构成的四人表决无弃权 Multisim 仿真逻辑电路

图 3.20 中的 Multisim 仿真逻辑电路在构建过程中需要注意以下几点。

① 利用四个单刀双掷开关 S_1 、 S_2 、 S_3 、 S_4 接高低电平来仿真实现四人表决的结果。

② 需要三块 74LS20 芯片,三个芯片的 V_{CC} 统一接 5V 电源,GND 统一接地。

③ 74LS20 中用到了第一个四输入与非门的三个输入端 1A、1B 和 1C,剩余一个 1D 输入端,切记要接高电平即 V_{CC} ,防止 1D 悬空带来的干扰。如果第二个与非门四个输入端都未使用,则不需要处理(如 U_3 的第二个与非门四输入端都虚空即可)。

(3) 其他电路测试方法按照线下实验内容进行仿真,过程类似,这里不再赘述。

五、实验预习要求

- (1) 简述 74LS20 的逻辑功能、主要参数及其测试原理和方法。
- (2) 复习组合逻辑电路的设计方法。
- (3) 复习用与非门构成非门的工作原理。
- (4) 根据实验要求设计好必要的线路。
- (5) 熟悉 Multisim 软件原理图输入方法及电路编译、仿真方法。

六、实验报告

按照实验目的、实验原理、实验设备、实验内容、实验数据、实验总结撰写实验报告,具体要求如下。

- (1) 写出实验电路的设计过程。
- (2) 画出实验电路的逻辑电路图。
- (3) 整理实验测试结果。
- (4) 总结组合逻辑电路的设计与测试方法。

七、问题思考与练习

- (1) 根据逻辑电路图画出各个实验电路的接线图。
- (2) 在实验过程中,对芯片的闲置端应如何处理?

实验三 译码器及其应用

一、实验目的

- (1) 掌握中规模集成译码器的逻辑功能和使用方法。
- (2) 掌握使用二进制译码器实现组合逻辑函数的方法。
- (3) 理解使用二进制译码器作为数据分配器的方法。
- (4) 掌握显示译码器的逻辑功能,熟悉数码管的使用方法。
- (5) 掌握 Multisim 的原理图输入方法及实验结果仿真测试方法(线上)。

二、实验设备与器件

- (1) 数字电路实验箱及+5V 直流电源。
- (2) 双踪示波器。
- (3) 逻辑电平开关。
- (4) 0-1 指示器。
- (5) 译码显示器。
- (6) 集成芯片 74LS138 $\times$ 2、CD4511、74LS20 $\times$ 2。
- (7) 安装 Multisim 软件的计算机。

三、实验原理

1. 译码器是一个多输入、多输出的组合逻辑电路

译码器的作用是把给定的代码“翻译”成相应的状态,使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途,不仅可以用于代码转换、终端的数字显示,还可以用于数据分配,存储器寻址和组合控制信号等。可以根据不同的功能选用不同种类的译码器。

2. 译码器可以分为通用译码器和显示译码器两大类

通用译码器可以分为变量译码器和代码交换译码器。变量译码器(又称二进制译码器)用来表示输入变量的状态,如 2 线-4 线译码器、3 线-8 线译码器和 4 线-16 线译码器。若有 n 个输入变量,则有 2^n 个不同组合状态,就有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项或最小项的非。以二进制译码器 3 线-8 线译码器(简称 3-8 译码器)74LS138 为例进行分析。

(1) 74LS138 的芯片引脚排列及逻辑符号如图 3.21 所示。

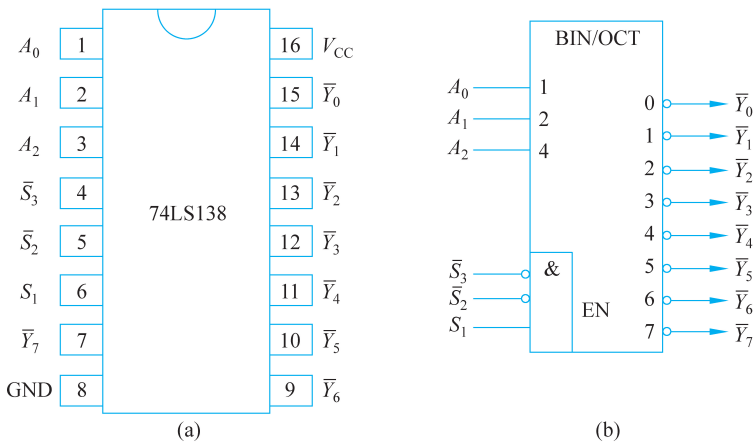


图 3.21 74LS138 的芯片引脚排列及逻辑符号

(a)74LS138 的芯片引脚排列; (b)74LS138 的逻辑符号

(2) 74LS138 有 3 个代码输入端,8 个译码输出端,故称为 3 线-8 线译码器,其功能如表 3.13 所示。

表 3.13 74LS138 二进制译码器功能

序号	输 入					输 出							
	S_1	$\bar{S}_2 + \bar{S}_3$	A_0	A_1	A_2	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
0	1	0	0	0	0	0	1	1	1	1	1	1	1
1	1	0	1	0	0	1	0	1	1	1	1	1	1
2	1	0	0	1	0	1	1	0	1	1	1	1	1

续表

序号	输 入					输 出							
	S_1	$\bar{S}_2 + \bar{S}_3$	A_0	A_1	A_2	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
3	1	0	1	1	0	1	1	1	0	1	1	1	1
4	1	0	0	0	1	1	1	1	1	0	1	1	1
5	1	0	1	0	1	1	1	1	1	1	0	1	1
6	1	0	0	1	1	1	1	1	1	1	1	0	1
7	1	0	1	1	1	1	1	1	1	1	1	1	0
禁止	0	×	×	×	×	1	1	1	1	1	1	1	1
	×	1	×	×	×	1	1	1	1	1	1	1	1

$A_0 \sim A_2$ 为代码输入端, $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端, $S_1, \bar{S}_2, \bar{S}_3$ 为使能端。当 $S_1=0, \bar{S}_2$ 和 $\bar{S}_3$ 任意, 或 $\bar{S}_2 + \bar{S}_3=1, S_1$ 任意时, 译码器被禁止, 输出端全部为高电平; 只有当 $S_1=1, \bar{S}_2 + \bar{S}_3=0$ 时, 译码器使能, 才会使输入二进制代码所指定的输出端有低电平输出, 表示“译中”, 而其他输出端则全部为高电平。

(3) 将二进制译码器 74LS138 作为数据分配器。

利用使能端中的一个输入端输入数据信息, 二进制译码器就成为数据分配器(又称多路分配器)。

若在 S_1 端输入数据信息, 须使 $\bar{S}_2 = \bar{S}_3 = 0$, 如图 3.22(a) 所示, 则地址码所对应的输出是 S_1 端数据信息的反码。若从 $\bar{S}_3$ 端输入数据信息, 须令 $S_1=0, \bar{S}_2=0$, 则地址码所对应的输出是 $\bar{S}_3$ 端的数据信息的原码, 如图 3.22(b) 所示。若数据信息是时钟脉冲, 则数据分配器便成为时钟脉冲分配器。

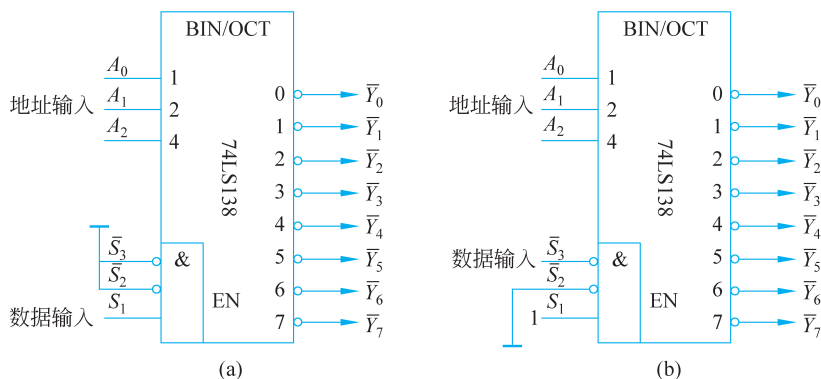


图 3.22 74LS138 构成数据分配器

(a) S_1 端输入数据; (b) $\bar{S}_3$ 端输入数据

(4) 二进制译码器 74LS138 实现组合逻辑函数。