

安防主控板电路设计（具体案例）

5.1 实例概述

理论是基础,实践是检验理论是否正确的标准。本章通过 Hi3516DV300 安防主控板设计实例来回顾前面章节的内容,让读者更加充分地理解原理图的设计过程和设计方法,从而掌握原理图设计的基本操作技巧。

Hi3516DV300 是一款专用 SoC 处理器,广泛用于安防领域。Hi3516DV300 集成新一代 ISP 和 H. 265 视频压缩编码器,同时集成高性能 NNIE 引擎(Neuron Network Inference Engine,神经网络推断引擎),使得 Hi3516DV300 在低码率、高画质、视频智能处理、低功耗等方面处于较为先进的水平。另外,Hi3516DV300 还集成 POR(Power-On Reset)、RTC(Real Time Clock)和待机唤醒等电路,降低了系统的外围器件,为产品设计极大地降低了整机 BOM 成本。Hi3516DV300 主要的硬件性能指标如下。

(1) 处理器内核,双核 ARM Cortex-A7@ 900MHz、32KB I-Cache、32KB D-Cache、256KB L2 Cache。

(2) 支持 NEON 加速,集成 FPU 处理单元,NEON 技术可使视频编解码器的性能提升 60%~150%,可高效处理视频数据并尽可能减少对内存的访问,从而增加了视频数据的吞吐量。

(3) 视频编解码,支持 H. 264 BP/MP/HP、H. 265 Main Profile、MJPEG/JPEG Baseline 编码。

(4) 视频编码性能和解码处理性能,H. 264/H. 265 编解码最大宽度为 2688,最大分辨率 2688×1944。

(5) 智能视频分析,集成神经网络加速引擎,处理性能可达 1.0Tops。集成智能计算加速引擎,包含行为跟踪、人脸校正。

(6) 视频与图形处理,支持 3D 去噪、图像增强、动态对比度增强功能,以及支持视频图形叠加、图像 90℃/180℃/270℃旋转等功能。

(7) ISP 性能,支持噪声消除、坏点校正、镜头阴影校正、镜头畸变校正、紫边校正、方向自适应,以及具有动态对比度增强、色彩管理增强、细节增强、锐化增强等功能。

(8) 音频编解码,通过软件可实现多协议语音编解码(G. 711、G. 726、ADPCM),支持音频 3A(AEC、ANR、AGC)功能。

(9) 安全性能,支持安全启动,硬件可实现 AES/DES/3DES/RSA 多种加解密算法,内部集成硬件随机数发生器,以及集成 8Kb OTP 存储空间。

(10) 视频接口输入。支持两路输入:第一路输入最大宽度 2688、最大分辨率 2688×1944;第二路输入最大宽度 2048、最大分辨率 2048×1536。支持 BT. 601、BT. 656、BT. 1120 视频输入,支持与 SONY、ON、OmniVision、Panasonic 等主流高清 CMOS 传感器对接。

(11) 视频接口输出,支持 1 路 BT. 656/BT. 1120 视频输出接口、1 路 16/18/24bit RGB 并行 LCD 输出、1 路 4Lane Mipi-DSI 接口输出和 1 路 HDMI 1.4 输出(分辨率 1080p@60fps)。

(12) 外围接口,对外接口有 SPI、UART、PWM、SDIO3.0、USB 2.0 Host/Device 等接口。

(13) 外部存储器接口,SDRAM 接口支持 32bit DDR3(L)/DDR4,最大容量 16Gb,最高速率 1800Mbps; SPI Nor Flash 接口,支持 1、2、4 线模式,最大容量 32MB; SPI Nand Flash 接口,宽度 24bit,最大容量支持 4Gb; eMMC4.5 接口,4bit 数据位宽。

(14) 系统启动功能,可从 SPI Nor Flash、SPI Nand Flash 或 eMMC 启动。

5.2 主控板规格书

主控板的规格书如表 5.1 所示,规格书列举主控板的功能点,以及列举了主控板的主要性能指标,对主控板的工作环境要求、防护性能也进行了描述。

表 5.1 规格书

功 能	描 述	备 注
基本特性		
处理器	双核 ARM Cortex-A7@ 900MHz	
内存	8Gb DDR3 SDRAM	最大容量支持 16Gb, 速率最高 1800Mbps
内置存储器	4GB eMMC	

续表

功 能	描 述	备 注
基本特性		
操作系统	Linux-4.9	
视频编解码	支持 H.264 BP/MP/HP、H.265 Main Profile	
系统升级	支持 TF 卡和远程网络升级	
RTC 实时时钟	支持	
硬件指标参数		
内核电压	Hi3516DV300A 内核电源要求是 1.0V/1.6A	
输入电压	主控板输入电压要求是 12V/2A	
运行温度	-20~60℃	
储藏温度	-40~70℃	
相对湿度	10%~90%RH(无凝结)	
输入输出接口		
USB 接口	一路独立 OTG 接口	
UART 串行接口	4 路 TTL 3.3V 电平接口,1 路 RS-232 电平接口	
GPIO 接口	60 路 GPIO 接口	
PWM 接口	2 路 PWM 接口,3.3V 电平	
MIPI 显示接口	1 路显示接口,最大分辨率 1280×800	
摄像头接口	2 路 MIPI 总线摄像头接口	
语音输出接口	1 路双声道输出音频接口,可驱动 10W 功率的喇叭	
语音输入接口	1 路麦克风输入接口	
I ² C 接口	2 路 I ² C 接口	
SPI 接口	3 路 SPI 接口	
以太网口	1 路以太网接口	
RS-485 接口	1 路 RS-485 接口	
韦根接口	1 路韦根接口	
摄像头性能		
活体检测	支持双目活体检测	
人脸识别速度	精准识别人脸,人脸识别时间小于 0.8s	
成像逆光性能	支持强逆光环境下人员运动追踪曝光	

续表

功 能	描 述	备 注
摄像头性能		
识别距离	0.5~1.5m	更换摄像头后,识别距离可调节
人脸识别角度	左右 30°,上下 30°	
存储容量	25 万条抓拍记录	
人脸容量	65000 张	
防护性能		
电源端口的电快速瞬变脉冲群等级	满足实验等级 3,即能耐受 2kV 的脉冲群干扰,在选用性能较好的电源适配器情况下	
通信端口电快速瞬变脉冲群等级	满足实验等级 2,即能耐受 1kV 的脉冲群干扰	
静电间接放电等级	通过对受试设备附近的耦合板实施放电,以模拟人员对受试设备附近的物体的放电,满足 6kV 的静电间接耦合放电等级	
静电接触放电等级	对通信接口进行接触放电测试,满足±4kV 的接触放电要求	

5.3 原理图设计要求

安防控制板有其特有的行业特点,原理图设计除了满足通用的设计要求外,还应满足安防类产品的行业要求,以及满足处理器 Hi3516DV300 的设计要求。原理图设计注意事项将从 CPU 小系统设计要求、电源设计要求、外围接口设计要求来阐述。

5.3.1 CPU 小系统设计要求

CPU 小系统的原理图包括时钟电路、复位电路、CPU 端口配置、DDR 电路和 FLASH 电路,其中的 DDR 电路须借鉴芯片厂家提供的参考电路。

(1) 时钟电路。

处理器 Hi3516DV300 通过芯片内部的反馈电路与外部的 24MHz 石英晶体振荡电路一起构成系统时钟电路,电路中选用的电容要和石英晶振的负载电容相匹配,选用 NPO 电容,NPO 电容的温度特性较好。NPO 电容适合用于振荡器和高频耦合电路中,其封装形式不同,电容量变化和介质损耗随频率变化的特性也不同,大封装尺寸的要比小封装尺寸的频率特性好。关于石英晶体的选型,须选用 4 引脚贴片晶振,其中 2 个 GND 引脚与 PCB 的地充分连接,增强系统时钟抗静电干扰能力。晶振电路如图 5.1 所示,R1 是反馈电阻,其阻值一般≥1MΩ,

作用是使反相器在振荡初始时处于线性工作区,R2 起到限制振荡幅度的作用,防止反向器输出对晶振的过分驱动。

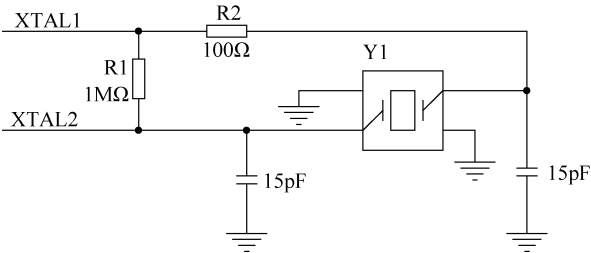


图 5.1 晶振电路

(2) 复位电路。

Hi3516DV300 支持内部 POR(Power on Reset)复位,不需要增加外部复位电路。芯片上电后由内部 POR 电路对整个芯片进行复位(复位脉冲宽度约为 32ms)。Hi3516DV300 芯片有复位输出信号,引脚名是 SYS_RSTN_OUT,该引脚可用来复位外围控制芯片,如外部的读卡控制芯片等。注意 SYS_RSTN_OUT 复位电平与外围器件的复位电平要一致,如复位电平不一致,须增加反向电路。

(3) JTAG 接口电路。

JTAG 接口的作用是下载程序、调试程序、芯片边界扫描等,Hi3516DV300 的 JTAG 接口采用 5 线制,分别是 TCK、TDI、TMS、TDO、TRSTN,其功能说明如表 5.2 所示。

表 5.2 JTAG 接口引脚功能说明

引 脚 名	功 能 描 述
TCK	JTAG 时钟输入,须外接 1kΩ 下拉电阻
TDI	数据输入,外接 4.7kΩ 上拉电阻,在 TCK 的上升沿移入数据
TMS	模式选择输入,要求外接 4.7kΩ 上拉电阻
TDO	JTAG 数据输出,外接 4.7kΩ 上拉电阻
TRSTN	JTAG 复位输入,要求外接 10kΩ 下拉电阻

JTAG 电路如图 5.2 所示,注意 Hi3516DV300 的 TEST_MODE 引脚要下拉到 GND,TEST_MODE 引脚是工作模式选择引脚,下拉是正常的工作模式,上拉是芯片的测试模式。

(4) 上电初始化配置电路。

Hi3516DV300 上电初始化的过程中,需要配置相关引脚的状态,以确定芯片上电后进入的工作模式,如引脚配置与启动模式存在冲突,系统将不能正常启动,引脚配置如表 5.3 所示。

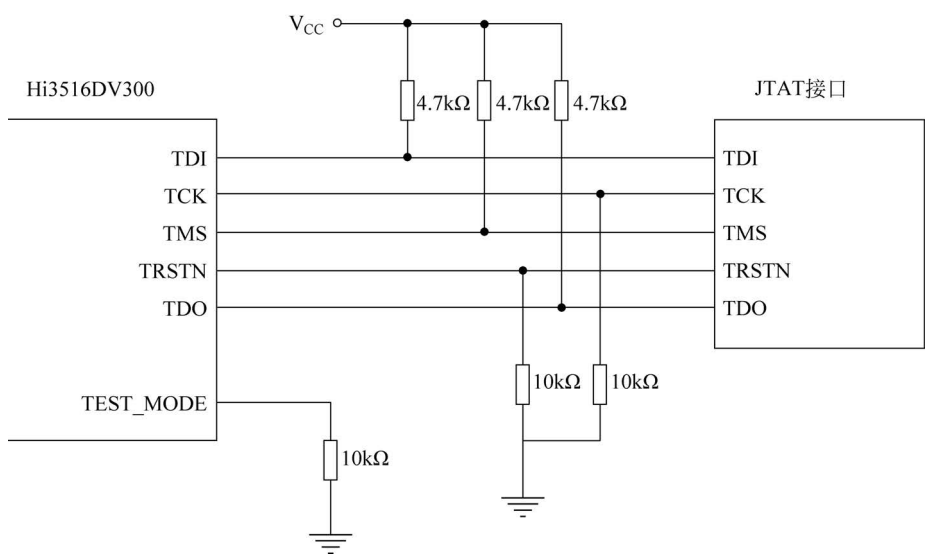


图 5.2 JTAG 电路

表 5.3 上电初始化引脚功能说明

引 脚 名	方 向	描 述
BOOT_SEL1 BOOT_SEL0	输入	BOOT 源的选择 00: 从 SPI Nor/Nand Flash 启动 01: 从 EMMC 启动 10: FAST BOOT 模式，串口烧写 SPI Nor/Nand Flash 11: FAST BOOT 模式，串口烧写 EMMC
SFC_DEVICE_MODE	输入	SPI FLASH 器件类型选择 0: SPI NOR FLASH 1: SPI NAND FLASH
SFC_BOOT_MODE	输入	如果 BOOT_SEL[1:0] = 00, SFC_DEVICE_MODE = 0, SFC_BOOT_MODE 用来指示 SPI NOR FLASH 的 boot 模式选择 0: 3 Byte address mode 1: 4 Byte address mode 如果 BOOT_SEL[1:0] = 00, SFC_DEVICE_MODE = 1, SFC_BOOT_MODE 用来指示 SPI NAND FLASH 的 boot 模式选择 0: 1 I/O boot mode 1: 4 I/O boot mode
UPDATE_MODE	输入	SDIO0 及 USB 烧写功能控制 0: 使能 SDIO0 及 USB 烧写功能 1: 禁用 SDIO0 及 USB 烧写功能

(5) DDR 电路。

Hi3516DV300 支持 DDR3(L)和 DDR4,有 1 个 DDRC 接口,32bit 数据位宽,可连接 2 片 16bit DDR3(L)或 DDR4 。当连接 2 片 DDR3(L)/DDR4 时,差分时钟

DDR_CLK_N/P 须采用一驱二拓扑结构,在靠近 Hi3516DV300 端并联 1 个 2.2pF 电容,在靠近 DDR 端位置跨接 1 个 100 Ω 的电阻。

(6) FLASH 原理图设计。

Hi3516DV300 可支持 SPI NOR FLASH、SPI NAND FLASH 和 eMMC,当外接 SPI NOR FLASH 时,须选用带复位功能的 SPI FLASH 器件,以避免出现主芯片 Watch Dog 生效复位时,FLASH 无法同步复位,从而无法正常重启的问题。SPI 接口的 CLK 信号源端串接 33 Ω 电阻,CLK 信号在 PCB 上的走线长度不要超过 3in(英寸)。SPI 数据信号在 PCB 上的走线长度也不要超过 3in。原理示意图如图 5.3 所示。

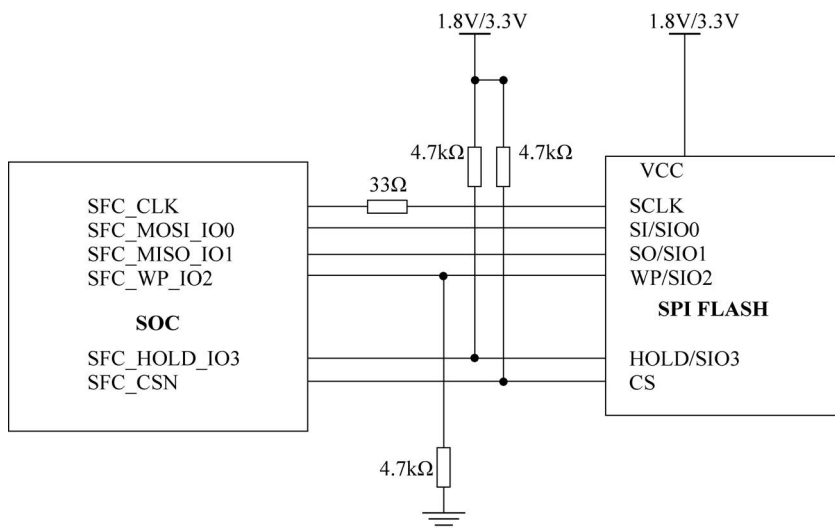


图 5.3 SPI FLASH 电路

5.3.2 电源设计要求

电源电路的设计主要考虑 CPU 内核电源、DDR 电源、I/O 口电源的设计要求、PLL 电源,以及电源上下电时序的要求。

(1) CPU 内核电源。

Hi3516DV300 内核电源引脚名是 DVDD,典型电压值为 0.9V,要求其供电能力不小于 3A,电压纹波噪声控制在 $\pm 38\text{mV}$ 。推荐使用支持 COT(Constant On-Time)模式的 DC-DC 电源芯片,COT 模式跟传统的固定频率控制方式的 DC-DC 芯片相比具有更快的动态响应,尤其是在低占空比应用时这种优势会更明显。当负载突变时,输出电压下降,当低于参考电压时会立即打开高侧开关,通过改变开关频率来影响占空比并达到稳定输出的效果。

(2) DDR 电源。

DDR 电源的典型电压值是 1.2V,DDR 芯片的电源要求与 Hi3516DV300 的 DDR IO 电源采用同一电源网络供电。DDR 参考电压(V_{REFCA})等于 1/2 的

VDDIO_DDR,通过两个分压电阻来实现,电阻值为 1k Ω ,精度为 $\pm 1\%$,并在电源端并联 220nF 的电容,原理图参数设计如图 5.4 所示。

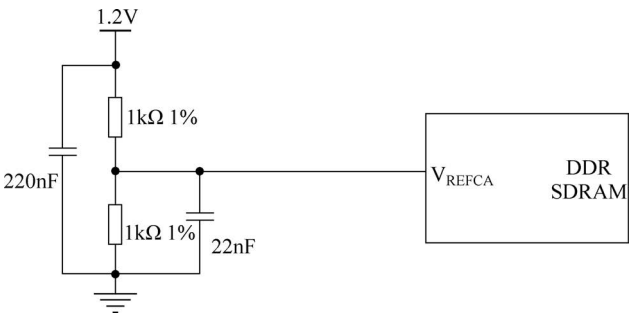


图 5.4 DDR 参考电压示意图

(3) I/O 口电源设计。

Hi3516DV300 的 I/O 口电源包括通用接口电源、FLASH 接口电源、配置引脚 I/O 电源、MIPI/LVDS 接口电源、UART 接口电源、SDIO 接口电源,设计要求如表 5.4 所示。

表 5.4 I/O 口电源设计要求

电 源 名 称	引 脚 名	设 计 要 求
通用接口电源	DVDD33	连接通用数字接口,3.3V 电压,建议使用固定 PWM 模式的 DC-DC 稳压芯片
FLASH 接口电源	DVDD3318_FLASH	可进行配置,支持 3.3V 或 1.8V 电压
配置管脚 I/O 电源	DVDD3318_SENSOR	根据设计要求可进行配置,支持 3.3V 或 1.8V 电压
MIPI/LVDS 接 口 电源	AVDD3318_MIPI	Hi3516DV300 的 MIPI/LVDS 引脚可以复用成 Parallel Data 功能,电平支持 3.3V 电压或 1.8V 电压。当引脚作为 MIPI 或者 LVDS 接口时,AVDD3318_MIPI 须连接 1.8V 电压;当引脚复用为 Parallel Data 功能时,AVDD3318_MIPI 可连接 3.3V 电压或者 1.8V 电压
UART 接口电源	DVDD3318_UART1	支持 3.3V 电压或 1.8V 电压
SDIO 接口电源	DVDD3318_SDIO1	支持 3.3V 电压或 1.8V 电压

(4) PLL 电源。

Hi3516DV300 有两个 PLL 电源,分别是 AVDD09_PLL 和 AVDD33_PLL,设计上须增加隔离电路,AVDD09_PLL 须用磁珠(1k Ω @100MHz)对 DVDD 电源进行隔离,AVDD33_PLL 须用磁珠(1k Ω @100MHz)对数字电源 3.3V 进行隔离。

(5) 电源上下电时序。

内核电源、DDR 电源和 I/O 电源有上下电时序的要求,上电顺序依次排列为 I/O 电源、DDR 电源、内核电源。下电时,I/O 电源先下电,当 I/O 电源 3.3V 电压下降到阈值 2.1V 时,内核电源才可以开始下电。上电时序要求如图 5.5 所示,其

中 $0 < T1 \leq 10\text{ms}$ 、 $T2 \geq 0\text{ms}$ 、 $T3 > 0\text{ms}$ ，下电时序要求如图 5.6 所示。

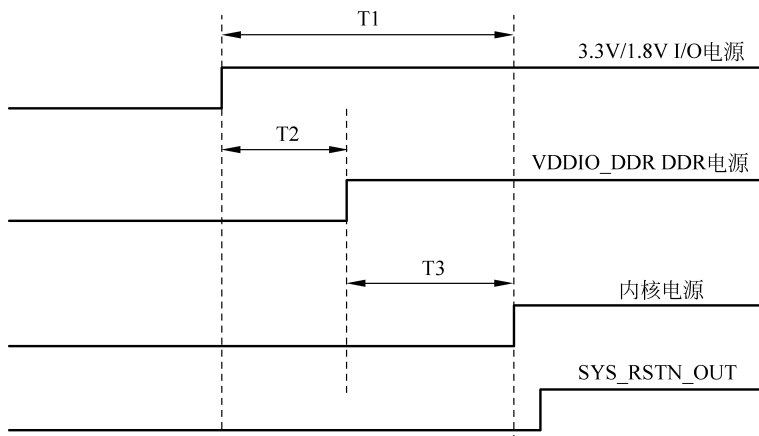


图 5.5 上电时序要求

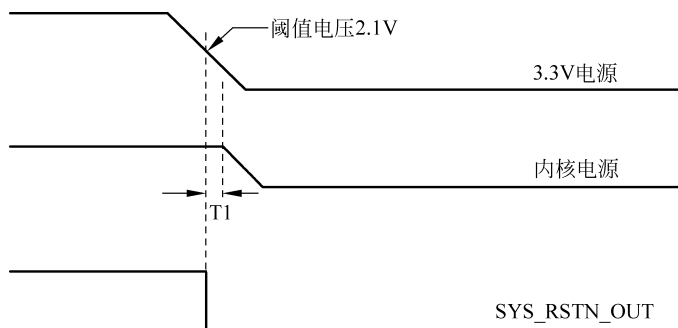


图 5.6 下电时序要求

5.3.3 外围接口电路设计要求

外围接口电路包括显示接口电路、摄像头接口电路、I²C 接口电路、SDIO 接口电路、USB 接口电路等，设计注意事项如下。

(1) 显示接口电路。

显示接口为 MIPI 接口，Hi3516DV300 内置了一个 MIPI TX PHY，用于对接 MIPI 接口的 LCD 屏。其中 AVDD3318_MIPITX 电源引脚需要与芯片数字电源用磁珠隔离并在芯片引脚端放置 $2.2\mu\text{F}$ 滤波电容，DSI_D0P/N、DSI_D1P/N、DSI_D2P/N 和 DSI_D3P/N 四对差分信号线参考差分时钟信号 DSI_CK0P/N 的采样，PCB 走线按差分 and 等长进行处理。

(2) 摄像头接口电路。

摄像头视频输入接口有两组差分时钟信号和 4 组差分数据信号，支持 2lane MIPI RX 输入和 4lane MIPI RX 输入。当配置成 4lane MIPI RX 规格时，MIPI_RX_CK0P/N 对 MIPI_RX_D0P/N、MIPI_RX_D1P/N、MIPI_RX_D2P/N、MIPI_

RX_D3P/N 进行采样；当配置成 2lane MIPI RX 规格时,MIPI_RX_CK0P/N 对 4lane 数据中的任意 2lane 进行采样,建议优先选择 MIPI_RX_D0P/N 和 MIPI_RX_D2P/N；当配置成 2lane+2lane MIPI RX 规格时,要求 MIPI_RX_CK0P/N 对 MIPI_RX_D0P/N、MIPI_RX_D2P/N 进行采样,MIPI_RX_CK1P/N 对 MIPI_RX_D1P/N、MIPI_RX_D3P/N 进行采样。MIPI RX 接口内置了 100Ω 跨接匹配电阻,外部无需再设计或者预留。

(3) I²C 接口电路。

Hi3516DV300 有 8 组 I²C 接口,其中 I²C0、I²C1 用于 Sensor 配置,它们与 SPIO 接口复用。I²C 接口信号须外接 4.7kΩ 上拉电阻,同时上拉电平须与 DVDD3318_SDIO1 电压保持一致。

(4) SDIO 接口电路。

Hi3516DV300 有 2 路 SDIO 接口,其中 SDIO0 支持 SDIO3.0 和 SDXC 存储卡。SDIO1 用来连接 WiFi 控制芯片,数据接口支持 1.8V 或 3.3V 电平,但 SDIO0_CARD_DETECT 和 SDIO0_CARD_POWER_EN 只支持 3.3V 电平。SDIO 接口信号设计要求如表 5.5 所示。

表 5.5 SDIO 接口信号设计要求

信 号	设计 要求
SDIO0_VOUT	在 Hi3516DV300 芯片端接 470nF 的电容到地
SDIO0_CCLK_OUT	在芯片源端串联 33Ω 电阻,PCB 走线长度不能超过 4in
SDIO0_CDATA[0:3] SDIO0_CMD	在芯片源端串联 33Ω 电阻,走线长度不能超过 4in,预留 47kΩ 上拉电阻
SDIO0_CARD_DETECT	外接上拉电阻到 3.3V,上拉电阻的阻值为 10kΩ
SDIO1_CCLK_OUT	在芯片源端串联 33Ω 电阻,走线长度不能超过 4in
SDIO1_CDATA[0:3] SDIO1_CMD	走线长度不能超过 4in,预留 47kΩ 上拉电阻

(5) USB 接口电路。

Hi3516DV300 有 USB 2.0 接口,支持 Host 或 Device,不支持 OTG 模式。AVDD33_USB 与系统 3.3V 应为同一路电源,在靠近引脚处放置一个 2.2μF 的滤波电容。当 USB 用作 Device 时,USB_VBUS 需要通过 2 个 10kΩ 电阻分压 5V0_USBS 做输入检测,如 USB 仅用来做 host 模式,该引脚可悬空。USB 信号上要放置 ESD 保护器件,ESD 器件的寄生电容要求小于 2pF,并靠近 USB 接口放置。

5.4 原理图绘制

启动 Capture CIS 17.4,建立一个工程文件,选择菜单栏中的 File→New→Project 命令,进入新建项目界面,输入项目名称后进入原理图编辑界面,然后逐一放置元件和绘制原理图。

(1) 第 1 页, Page1 是原理图的方框示意图。方框示意图主要展示了主控芯片 Hi3516DV300 与外围接口器件的连接方式, 简单说明了原理图有哪些功能模块, 以及功能模块之间是如何互联的, 方框示意图如图 5.7 所示。

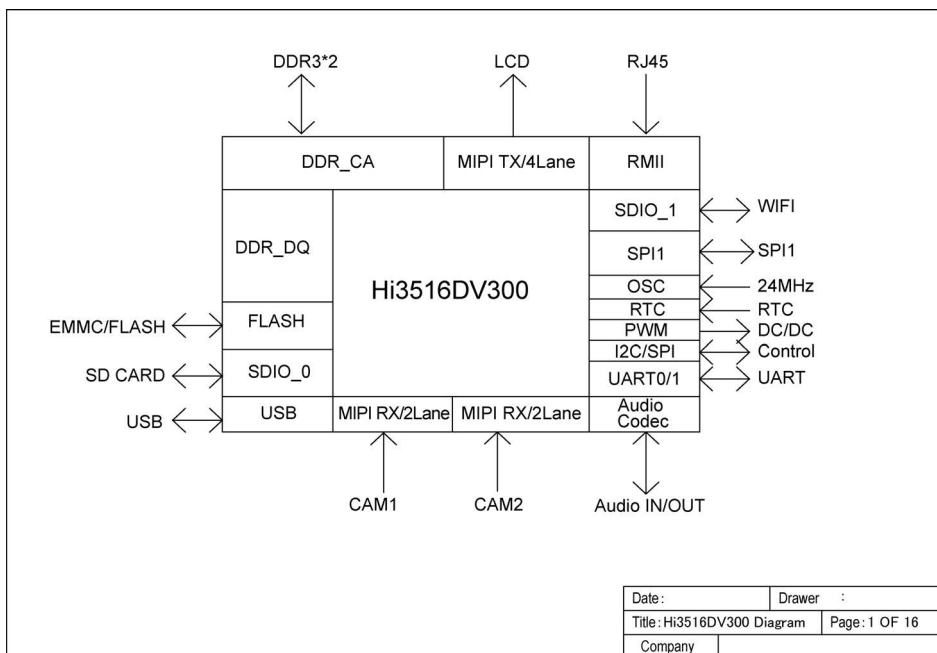
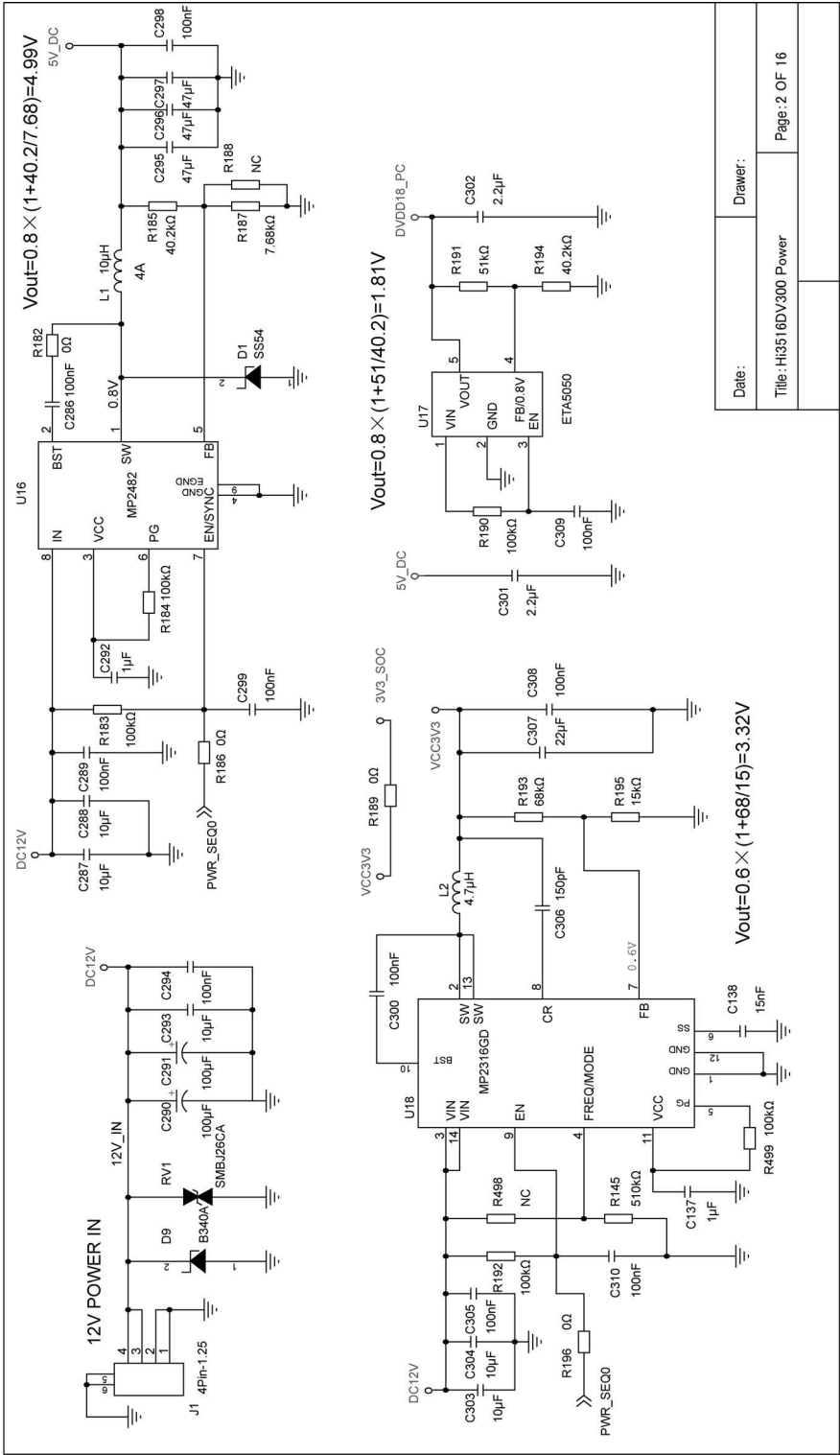


图 5.7 原理图方框图

(2) 第 2 页, Page2 是原理图的电源网络。电源网络为系统的各个元器件提供电能, 如果电源网络设计不当, 系统将不能稳定工作, 发热量大。电源芯片的选型原则是适当降额, 避免“小牛拉大车”, 负载电流须留有一定的裕量, 实际负载电流约为电源芯片最大输出电流的 70%~80%。电源网络如图 5.8 所示(由于原理图内容较多, 只展示了部分内容, 如需要浏览完整的原理图, 请扫描书后二维码下载), 该页放置了 12V 转 5V 电路、12V 转 3.3V 电路、5V 转 1.8V 电路、3.3V 转 2.8V 电路、3.3V 转 1.2V 电路。12V 转 5V 电路是系统的主电源, 电源芯片选用 MP2316, MP2316 是一款静态电流较低的同步降压开关型变换器, 在宽输入电压范围内可实现 3A 连续输出电流, 芯片具有短路保护、过流保护、欠压保护和过温关断保护功能。

(3) 第 3 页, 该页放置 3.3V 转 1.8V 电源、3.3V 转 0.9V 电源、3.3V 转 1.5V 电源, 原理图如图 5.9 所示。

(4) 第 4 页和第 5 页, 第 4 页放置了 Hi3516DV300 控制 DDR 的接口电路, 第 5 页是 DDR3 H5TQ4G63AFR 的电路, 用了两片 H5TQ4G63AFR, 单片 H5TQ4G63AFR 的容量是 4Gb, 工作电压是 1.5V, 数据宽度 16 位。第 4 页原理图如图 5.10 所示, 第 5 页的原理图如图 5.11 所示。



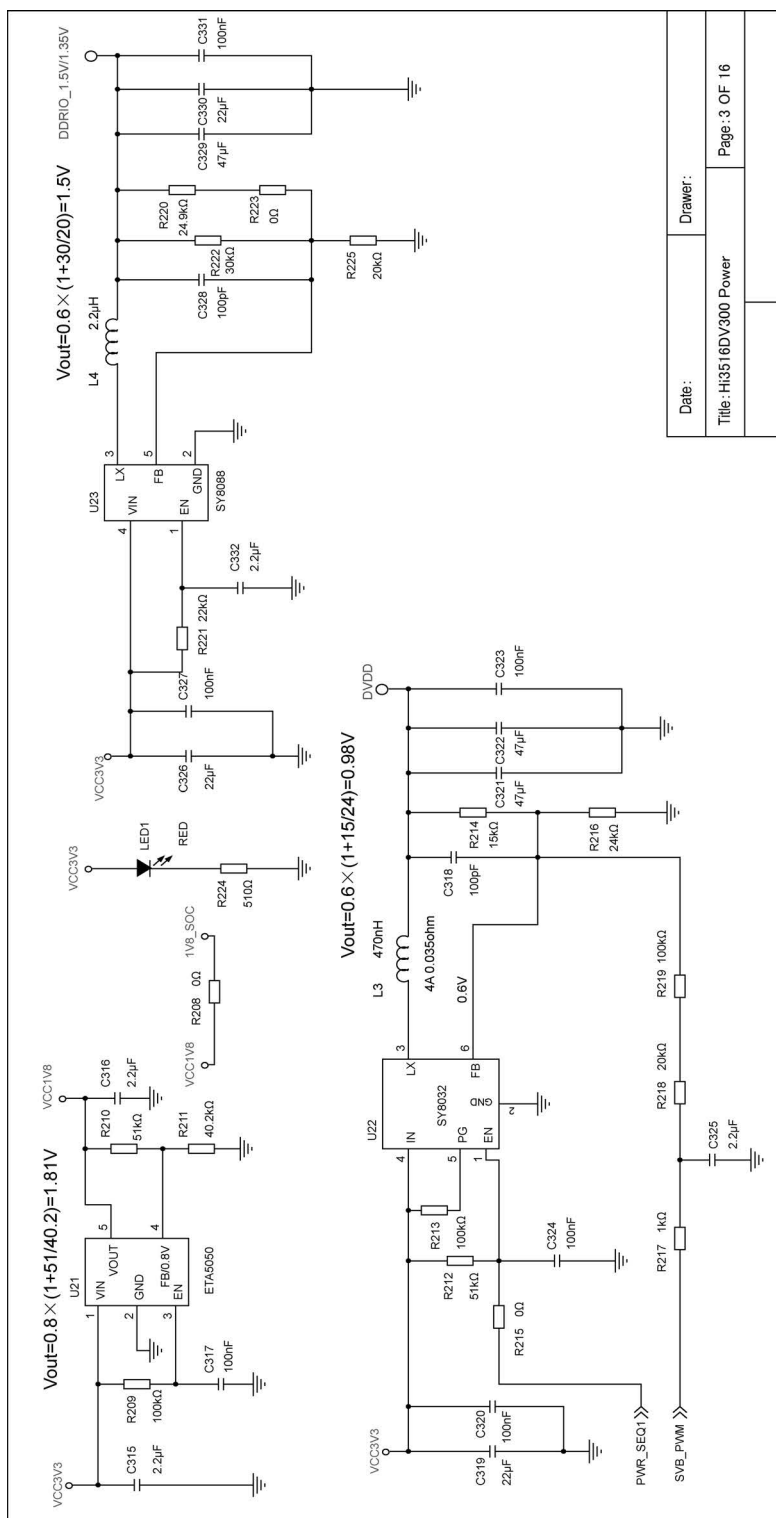


图 5.9 电源部分(3.3V 转 1.8V 等)

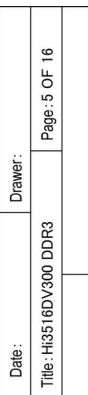


图 5.11 Hi3516DV300 DDR3 存储器

(5) 第6页、第7页和第8页,这三页是 Hi3516DV300 小系统的原理图,包括了 Hi3516DV300 的时钟电路、开关机电路、引脚配置电路等。第6页的原理图如图 5.12 所示,第7页的原理图如图 5.13 所示,第8页的原理图如图 5.14 所示。

(6) 第9页,该页是 Flash 电路。串行 Flash 的型号是 MXIC 旺宏电子的 MX25L128 和 MX25L25635E, MX25L128 容量是 128Mb, MX25L25635E 是 256Mb,接的是相同的 SPI 接口,实际焊接时只能选择其中的一片 Flash。之所以放置两种型号的 Flash,主要是考虑兼容不同容量的串行 Flash。eMMC(Embedded Multi Media Card)NAND Flash 的型号是美光科技的 MTFC8GAKAJCN,容量是 8GB,芯片封装是 153 脚 FBGA,eMMC 内部的 Flash memory(VCC)供电电压是 3.3V,eMMC 的接口电压和内核电压是 1.8V,原理图如图 5.15 所示。

(7) 第10页,该页是显示屏接口电路,显示屏接口是 MIPI 接口,使用四对差分信号线,分别是 MIPI_TX_DSI_D3P、MIPI_TX_DSI_D3N、MIPI_TX_DSI_D2P、MIPI_TX_DSI_D2N、MIPI_TX_DSI_D1N、MIPI_TX_DSI_D1P、MIPI_TX_DSI_D0N、MIPI_TX_DSI_D0P。显示屏的背光亮度调节使用 PWM 信号,PWM 的控制原理是通过改变一定周期内的导通和关断时间改变电流的大小从而调节背光亮度,原理图如图 5.16 所示。

(8) 第11页,该页是摄像头接口电路和音频电路,摄像头接口电路支持两路摄像头输入,第一路支持输入最大宽度 2688,最大分辨率是 2688×1944 ;第二路支持输入最大宽度 2048,最大分辨率是 2048×1536 。可与 SONY、ON、OmniVision、Panasonic 等主流高清 CMOS 传感器对接。音频电路的功放芯片是 CS8121S,CS8121S 是一款 4.0W 单声道 D 类音频放大器,采用全差分输入,放大倍数可通过外部电阻进行调节。CS8121S 内置了过流保护、短路保护和过热保护功能,可有效地保护芯片在异常的工作条件下不被损坏。芯片内部集成了 AERC(Adaptive Edge Rate Control)技术,能提供优异的全带宽 EMI 抑制能力,原理图如图 5.17 所示。

(9) 第12页,该页放置了 WiFi 和蓝牙通信电路。控制芯片选用 AP6212,AP6212 集成了 WiFi+蓝牙功能,其 WiFi 功能符合 IEEE 802.11 b/g/n 标准,其蓝牙功能符合 BT4.2 标准,原理图如图 5.18 所示。

(10) 第13页,该页是以太网和 BOOT 接口电路,以太网控制芯片是 AR8032,该芯片满足以太网 IEEE802.3 标准,支持 MI/RMII 接口,需外接 50MHz 的时钟源,原理图如图 5.19 所示。

(11) 第14页,该页是单片机 STM32F103 的控制电路。单片机 STM32F103 用来控制非接触卡读卡电路和 SAM 卡读卡电路,原理图如图 5.20 所示。

(12) 第15页,该页放置了非接触卡读卡电路和 SAM 卡读卡电路。非接触卡读卡控制芯片是 FM17550,FM17550 通过 SPI 接口与单片机通信,原理图如图 5.21 所示。

(13) 第16页,该页是连接器接口电路,安防主控板需要有韦根接口、RS-485 接口、USB 接口和 GPIO 接口等,原理图如图 5.22 所示。

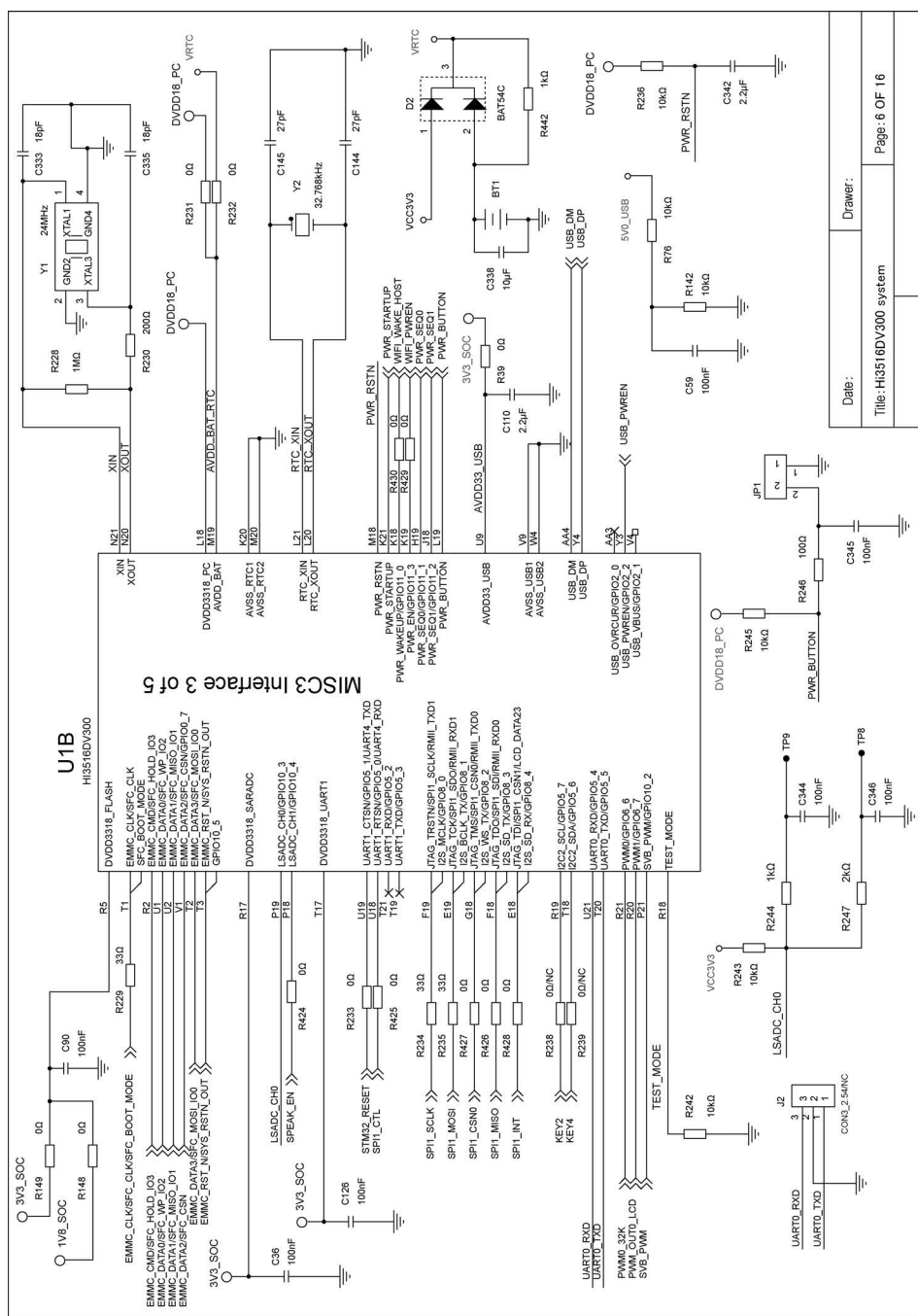


图 5.12 Hi3516DV300 系统电路

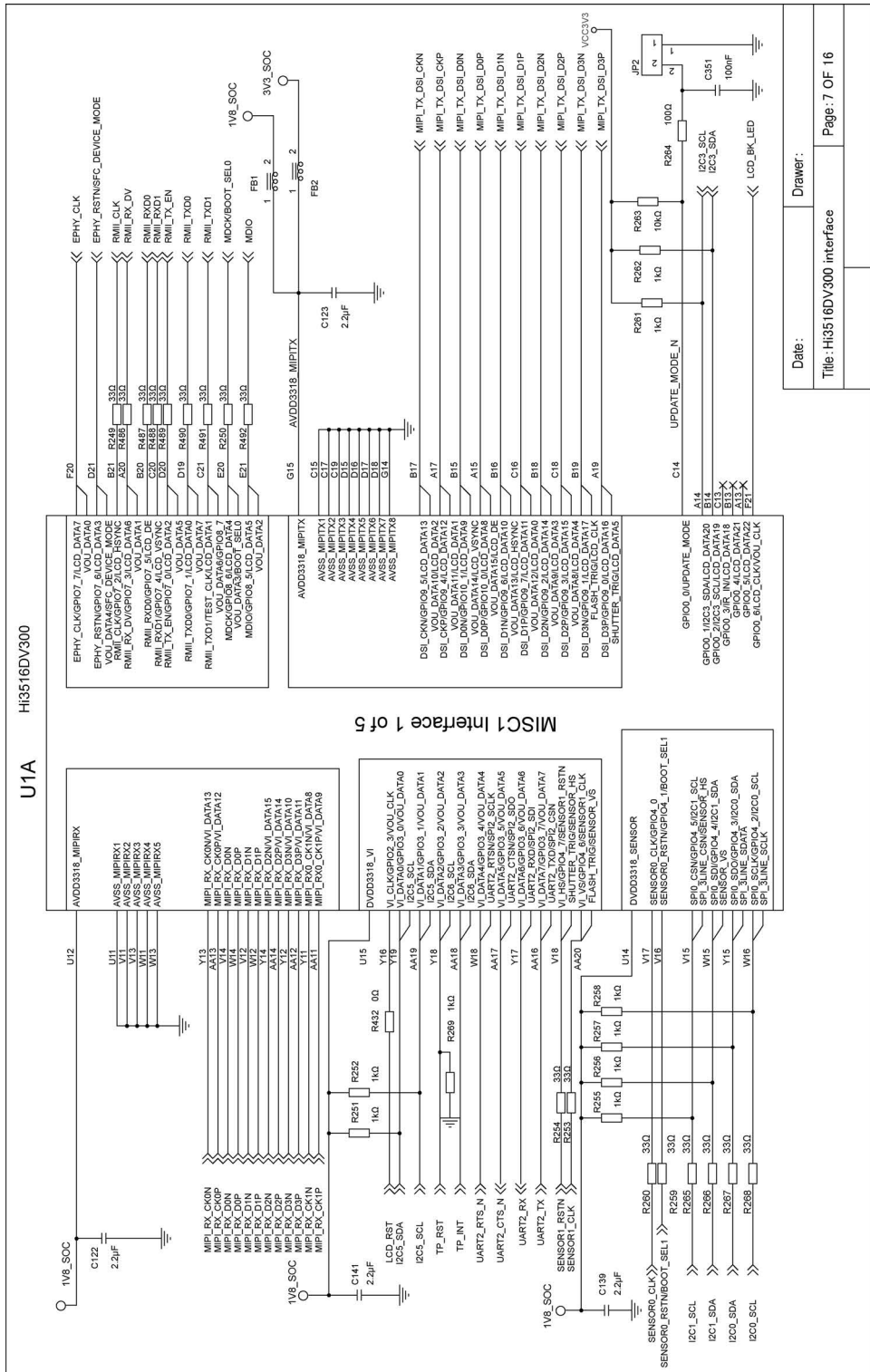


图 5.13 Hi3516DV300 接口分配



图 5.14 Hi3516DV300 接口资源

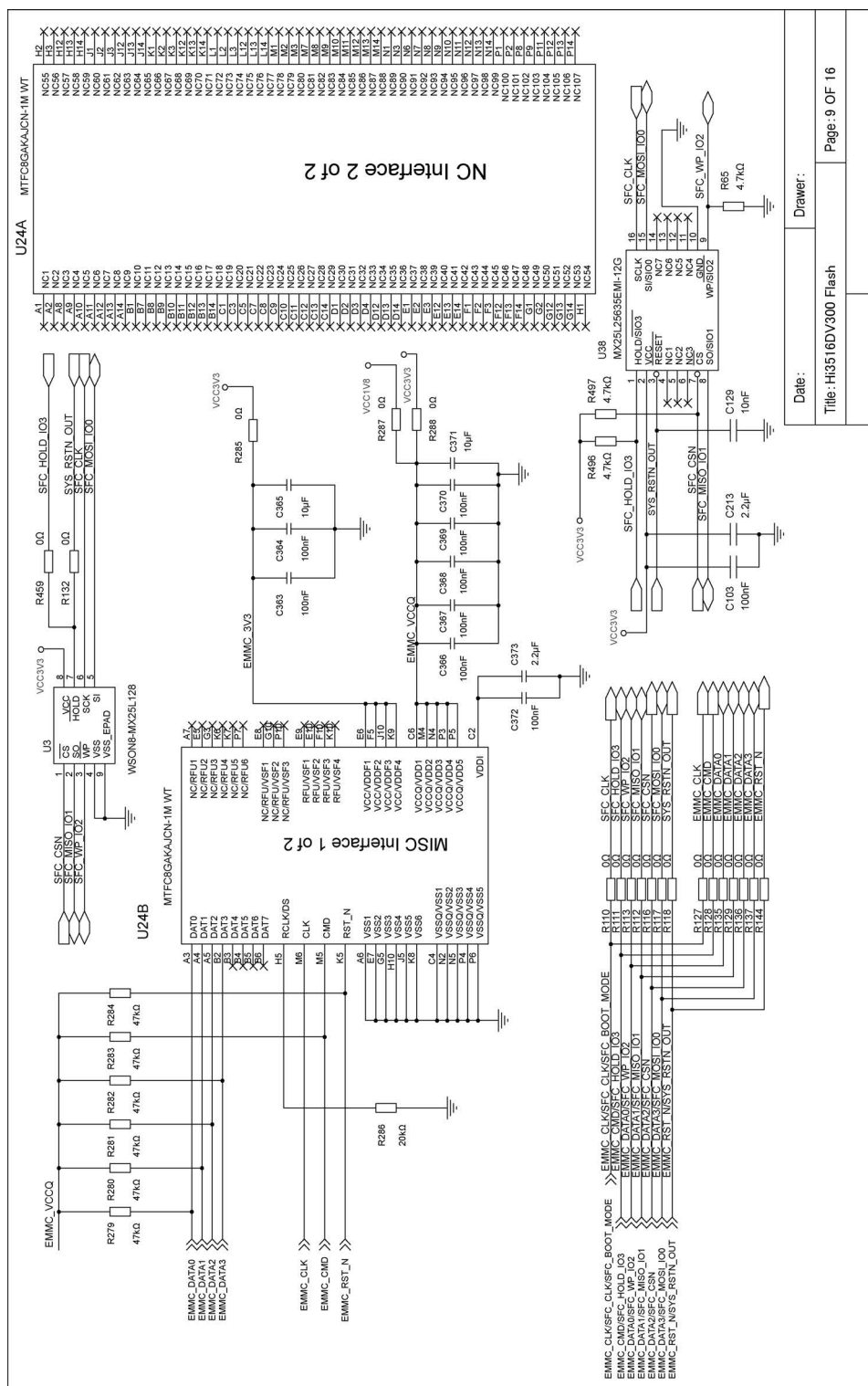


图 5.15 Hi3516DV300 外围电路

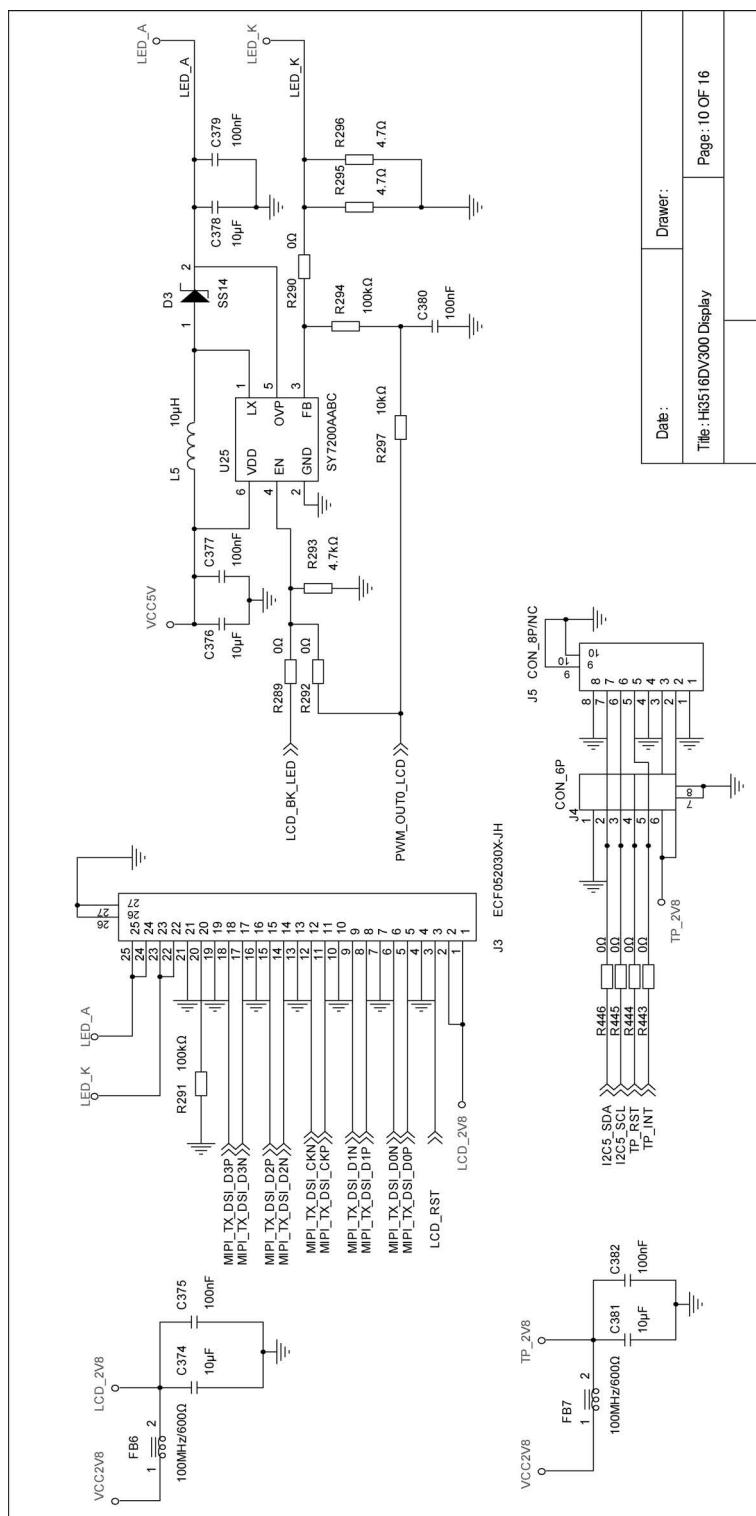


图 5.16 Hi3516DV300 显示屏接口电路

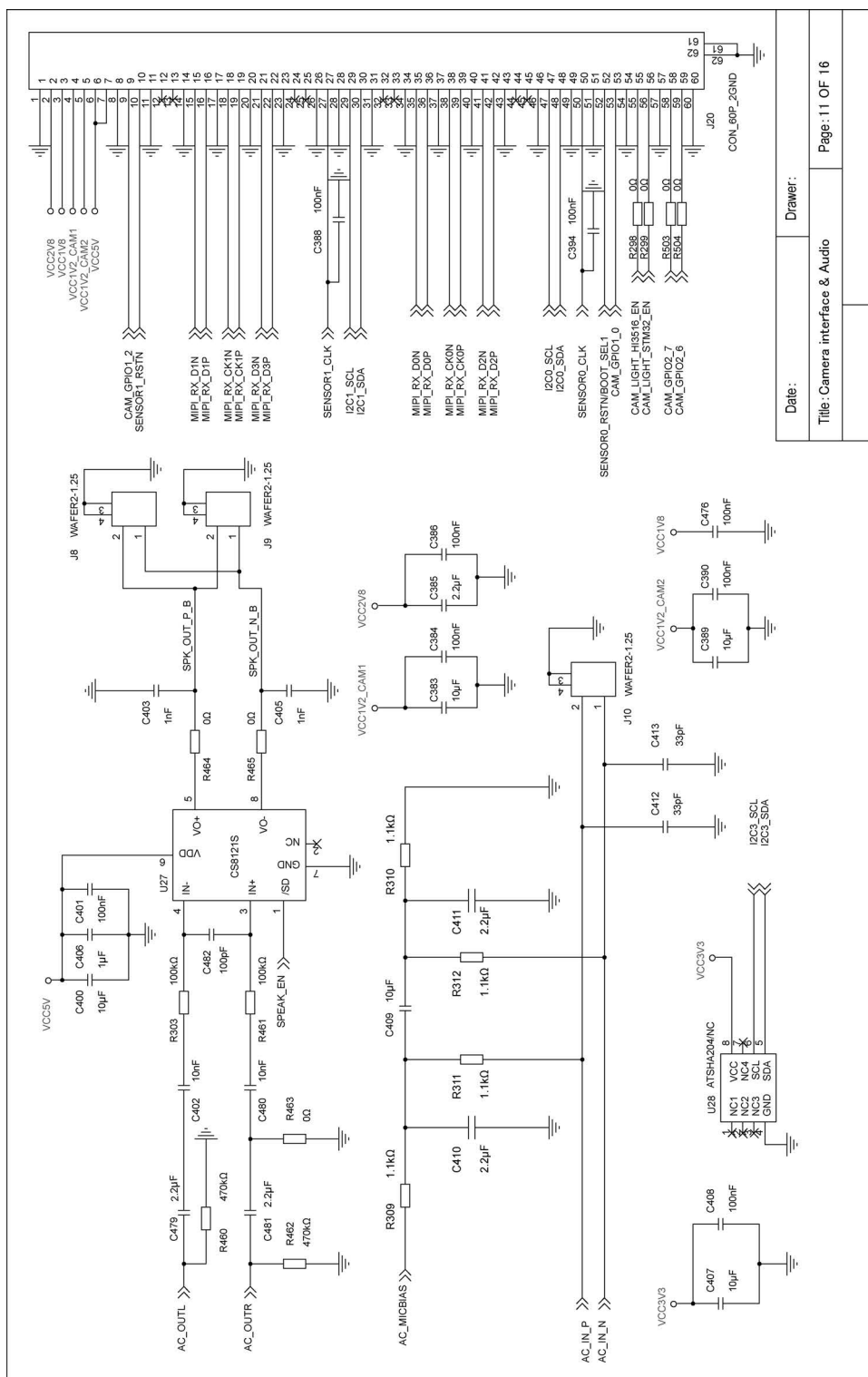
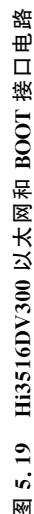


图 5.17 HI3516DV300 摄像头接口电路音频电路

Date: _____ Drawer: _____

Title: Camera Interface & Audio Page: 11 OF 16



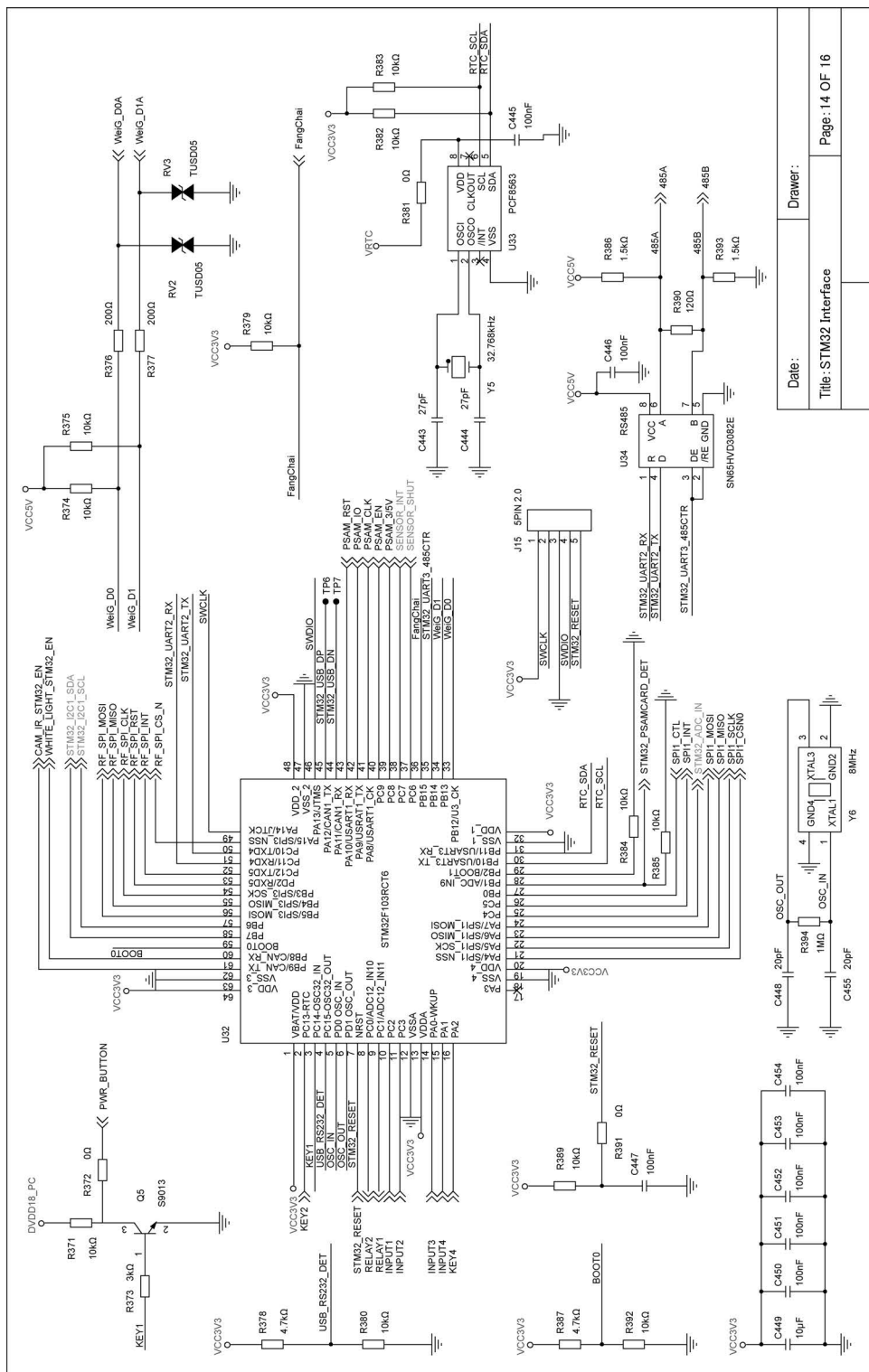


图 5.20 STM32F103 接口电路

Date: _____

Title: STM32 Interface

Page: 14 OF 16

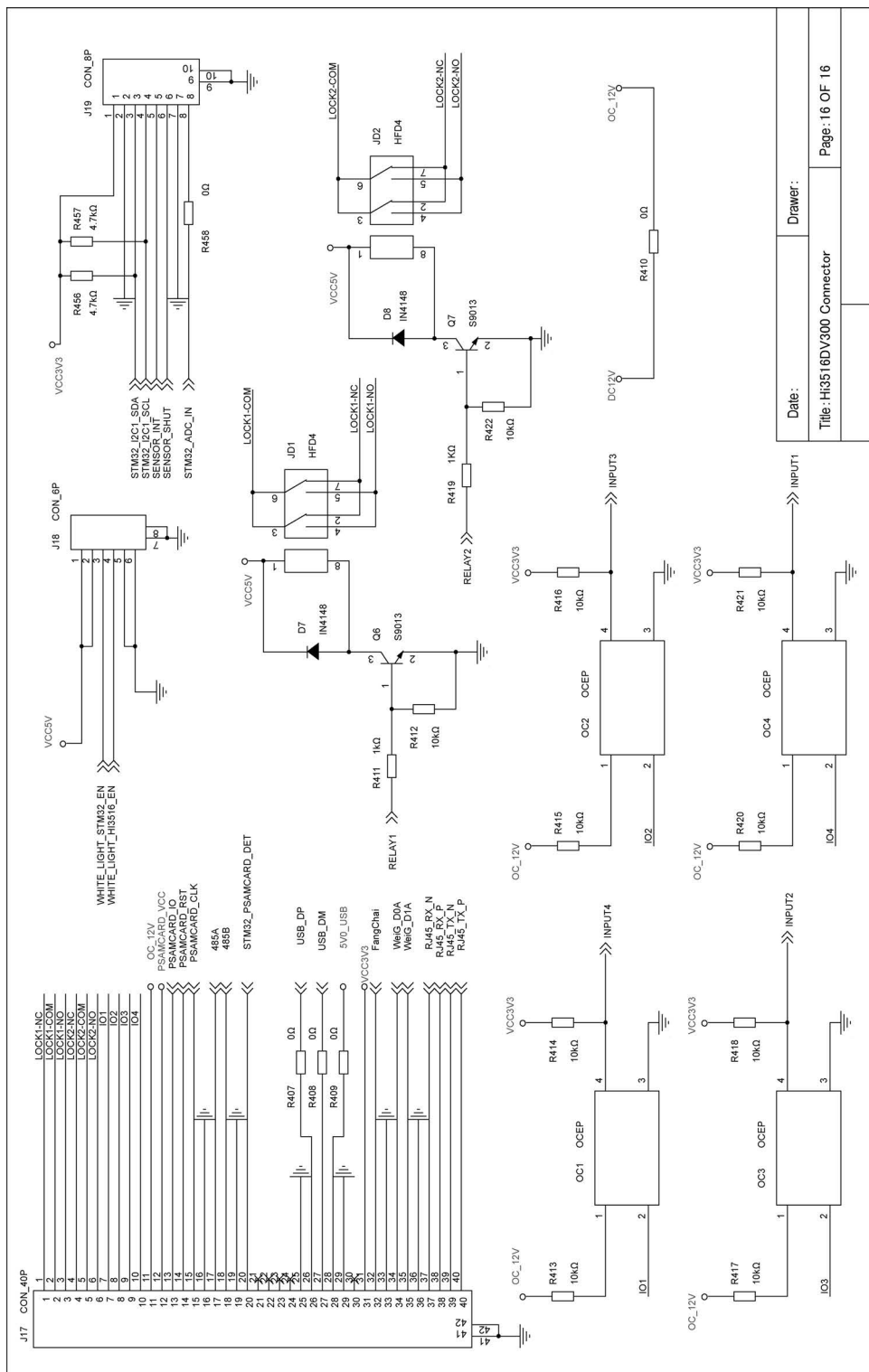


图 5.22 连接器接口电路

Date: _____

Title: HI3516DV300 Connector

Drawer: _____

Page: 16 OF 16

5.5 PCB 设计

PCB 设计是以电路原理图为根据,实现电路设计者所需要的功能。PCB 设计应考虑诸多因素,如器件布局设计、走线阻抗控制、PCB 贴片工艺等。

5.5.1 器件布局原则

在 PCB 设计中,器件布局是一个非常重要的环节,器件布局好坏将直接影响布线的效果和 PCB 的性能,可以认为合理的器件布局是 PCB 设计成功的第一步。器件布局要遵循一定的原则,只有合理科学的布局才能设计出稳定可靠的 PCB。

(1) 按电路模块进行布局,实现同一功能的相关电路称为一个模块,电路模块中的元件应采用就近集中原则,同时数字电路和模拟电路须适当分开。

(2) 元件排列规则,所有的元件应均匀布置在印制电路板的同一面,只有在顶层元件过密时,才能将一些高度有限并且发热量小的器件,如贴片电阻、贴片电容、集成电路等放在底层。其次,在保证电气性能的前提下,元件应放置在栅格上且相互平行或垂直排列,以求整齐、美观。另外,如元器件或导线之间存在较高的电位差时,应加大它们的距离,以免因发生放电、击穿而引起短路,带高电压的元件应尽量布置在调试时手不易触及的地方。

(3) 按照信号走向来布局元器件。按照信号的流向逐个放置各个功能单元电路的元器件,多数情况下,信号的流向布局为从左到右或从上到下,另外与输入、输出端直接相连的元件应当放在靠近输入、输出接插件的地方。

(4) 重量较重器件的布局,重量超过 15g 的器件可认为是重量较重的器件,其布局要考虑固定方式和焊接工艺,在焊接时可先将器件用支架固定,然后再焊接。如果是体积又大、重量又重的器件,不应放到电路板上,应放到独立的位置,通过电缆线与 PCB 连接。

(5) 金属壳体元器件不能与其他元器件相碰,不能紧贴印制线和焊盘,其相互之间的间距应大于 1.5mm,否则会有短路的风险。电源插座要尽量布置在印制板的边缘,电源器件的布局尽量满足最小环路要求。

(6) 接口保护器件摆放顺序要求,信号接口保护器件的摆放顺序是 ESD/TVS 管→隔离变压器→共模电感→电容→电阻,电源接口保护器件摆放顺序是压敏电阻→保险丝→瞬态电压抑制二极管→共模电感。

5.5.2 PCB 布线原则

PCB 走线设计的好坏对电路板的抗干扰能力、电磁兼容性等方面影响很大,走线时须考虑各种因数以便电路获得最佳的性能。布线的方式有两种,分别是手工布线和自动布线。手动布线是根据实际 PCB 情况布线,布线速度慢、工作量大,但

布线的质量较高。自动布线是根据工具已有规则进行布线,自动布线速度快、工作量大,但布线的质量较差,自动布线只适合不需要考虑信号完整性和电磁兼容性的信号走线。大部分情况应选择手工布线,尤其对于一些比较敏感的模拟信号线和高频数字信号线。

(1) 遵循“先小后大,先难后易”的布线原则,也就是说先完成重要单元电路的走线,比如 MCU 小系统、存储器系统。同时复杂的线优先走,如 BGA 器件的走线等。

(2) 走线方向控制。相邻层的走线方向成正交结构,避免将不同的信号线在相邻层走成同一方向,以减少不必要的层间串扰。当 PCB 布线受到限制,难以避免出现平行布线时,且该信号速率较高时,应考虑增加地平面来隔离。

(3) 避免直角走线和锐角走线,因为直角走线、锐角走线使得传输线的线宽产生变化,造成其阻抗的不连续。如果有直角走线,其拐角可以等效为传输线上的容性负载,在高速、高频信号中变得尤为明显,容性负载会增加信号的反射,产生 EMI 辐射。

(4) 电源与地线的处理,当 PCB 是双层板时,需把电源线、地线所产生的噪音干扰降到最低限度。应尽量加宽电源线、地线的走线宽度,信号线、电源线、地线的走线宽度关系是地线>电源线>信号线。通常信号线宽为 0.1~0.3mm,电源线宽度建议做到 1.0mm 以上。关于地线的处理,可用大面积铜箔作地线,在印制板上把没被用上的地方都与地相连接作为地线。

(5) 环路最小规则,即信号线与其回路构成的环面积要尽可能小,环面积越小,对外的辐射越少,接收外界的干扰也越小。针对这一规则,在地平面分割时,要考虑到地平面与信号走线的分布,防止由于地平面开槽等带来的问题。

(6) 走线长度控制规则,PCB 走线时应尽量让走线长度短,以减少由于走线过长带来的干扰问题。特别是一些重要的信号线,如时钟线,将振荡元件放在离其主器件很近的地方。对时钟线同时驱动多个器件的情况,应采用适合的网络拓扑结构以减少走线长度。

(7) 检查走线的开环和闭环,不允许出现一端浮空的走线,浮空的走线会产生“天线效应”,将给电路带来不必要的干扰辐射。

(8) 阻抗匹配规则,同一网络的布线宽度应保持一致,线宽的变化会造成线路特性阻抗的不均匀,当信号传输的速度较高时会产生反射,在走线时应该尽量避免这种情况。特殊情况,如 BGA 器件的引出线,无法做到线宽一致时,应该尽量减少引出端不一致部分的有效长度。

5.5.3 PCB Layout

依据器件布局原则和 PCB 布线原则进行 PCB Layout,PCB Layout 前先确定 PCB 的层数。PCB 的层数主要由 CPU 的主频、存储器的类型和器件引脚密度来

确定,CPU 的主频是 900MHz,存储器的封装是 BGA 封装,另外器件引脚密度也较大,因此 PCB 采用 6 层板,PCB 层叠结构如表 5.6 所示。由于篇幅的原因,PCB Layout 绘制过程在此不具体讲述,PCB 的源文件扫描书后二维下载。

表 5.6 PCB 的层叠结构

层数	层定义	层数	层定义
L1(Top)	器件层	L4	信号层
L2	GND	L5	信号层
L3	信号层	L6(Bottom)	器件层