

第5章 时序逻辑电路

通过前面的学习知道,数字电路主要分为组合逻辑电路和时序逻辑电路。目前已经学完组合逻辑电路相关知识,但是在实际中很多问题仅仅用组合逻辑电路是解决不了的,比如自动售饮料机,不仅要知道当前输入的硬币面值,还需要记住之前输入硬币的面值,累加后决定是否输出饮料。在这个系统中不仅有组合逻辑电路,还需要含有记忆元件,这样的电路就是时序逻辑电路。

时序逻辑电路基本结构,描述时序逻辑电路的方法,以及时序逻辑电路的分析和设计等,都是本章要学习的内容,在学习的过程中用心体会与组合逻辑电路的不同。为了能够将理论与实践联系起来,以工程实例为依托,边理论边实践。

5.1 工程任务:8路彩灯控制电路设计

5.1.1 系统介绍

在节日的时候,各种各样的彩灯遍布街头,五光十色,流光溢彩,非常漂亮。有没有想过自己来设计一个彩灯控制电路呢?以8路彩灯为例,系统要求如下:

(1) 期望彩灯能够实现三种花型的演示。三种花型变换样式:①8路灯分两半,从左至右渐亮,全亮后,再分两半从左至右渐灭;②从中间到两边对称地逐渐亮,全亮后仍由中间到两边逐渐灭;③从左至右顺次渐亮,全亮后逆序渐灭。

(2) 显示时将三种花型每种显示两遍,再总体重复一遍。

(3) 显示时能够实现快慢节拍的变换。

5.1.2 任务需求

分析8路彩灯控制电路的系统要求,不难得出如图5.1.1所示的系统框图,由时钟信号电路、节拍控制电路、花型控制电路以及花型演示电路四部分构成。

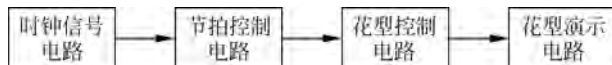


图 5.1.1 8路彩灯控制电路系统框图

根据图5.1.1,即可得出8路彩灯控制电路的任务需求:①花型演示电路设计;②花型控制电路设计;③节拍控制电路设计;④时钟信号电路设计。

中国芯片发展⑤——技术引进(1978—1999)

芯片产业引进探索

改革开放、中美建交和国际大环境的变化,给东亚地区半导体工业发展带来了机遇。我国在1983年召开“全国计算机与大规模集成电路规划会议”,制定了集成电路要“建立南北基地一个点”的发展战略,南指苏沪浙,北指京津辽,一个点指西安的航天配套。中国半导体开始了技术引进制造之路,例如,1983年无锡742厂引进3英寸电视机集成电

路生产线,1988年上海贝岭微电子制造有限公司引进建成第一条4英寸芯片生产线,1992年上海飞利浦半导体公司引进5英寸集成电路生产线等,先后启动“908”和“909”工程,建成华晶6英寸和华虹8英寸生产线及其配套。除制造产业外,1986年我国第一家集成电路设计公司——北京集成电路设计中心(现归属华大半导体)成立,1999年北京大学研制成功支持微处理器正向设计的开发平台,并研制成功16位微处理器原型系统,鼓舞国人的“中国芯”名称从这时开始出现。

5.2 时序逻辑电路的分析

(一) 课前篇

本节导学单

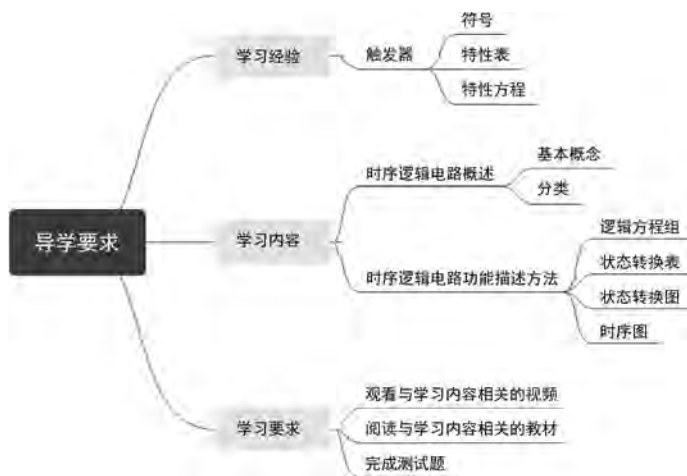
1. 学习目标

根据《布鲁姆教育目标分类学》,从知识维度和认知过程两方面进一步细化本节课的教学目标,明确学习本节课所必备的学习经验。

知识维度	认知过程					
	1. 回忆	2. 理解	3. 应用	4. 分析	5. 评价	6. 创造
A. 事实性知识	回忆触发器的基本概念	说出时序逻辑电路的基本概念				
B. 概念性知识	回忆常用触发器的逻辑符号、真值表、特性方程以及状态转换图	阐释时序逻辑电路的特点、分类	列举时序逻辑电路分析的一般步骤,解答每一个步骤所起的作用			
C. 程序性知识	回忆触发器多种表示方法之间的转换	阐释时序逻辑电路的功能描述方法		根据时序逻辑电路分析的一般步骤,分析组合逻辑电路的逻辑功能	对比评价异步时序逻辑电路和同步时序逻辑电路在分析过程中的异同	
D. 元认知知识	明晰学习经验是理解新知识的前提		根据概念及学习经验迁移得到新理论的能力	将知识分为若干任务,主动思考,举一反三,完成每个任务		

2. 导学要求

根据本节的学习目标,将回忆、理解、应用层面学习目标所涉及的知识点课前自学完成,形成自学导学单。



5.2.1 课前自学——时序逻辑电路概述

1. 时序逻辑电路的定义

日常生活中时序逻辑电路的例子很多,如图 5.2.1 所示,自助售货机的控制电路需要根据当前投入的硬币面额和已经投入的硬币面额来决定是否输出商品。这里的投币信号是时序逻辑的“输入信号”,物品输出信号是“输出信号”,显然控制电路中必须具有

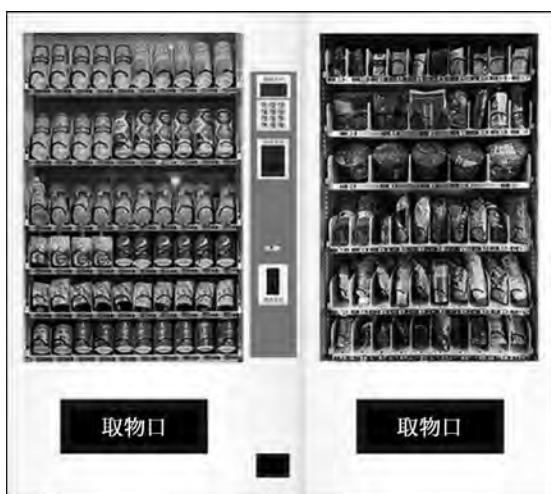


图 5.2.1 自助售货机

存储单元,以记忆之前投币的面额。当投币面额小于商品价格时,不输出;当投币面额等于商品价格时,取物口会输出商品;当投币面额大于商品价格时,取物口不仅输出商品还会找零。

通过该例子不难看出,电路任何一个时刻的输出状态不仅取决于当前的输入信号,还与电路的原来状态有关,具备这种逻辑功能特点的电路称为时序逻辑电路。时序逻辑电路在电路结构上有以下两个显著特点:

(1) 时序逻辑电路通常包含组合逻辑电路和存储电路两部分,而存储电路是必不可少的。

(2) 存储电路的输出状态必须反馈至组合逻辑电路的输入端,与输入信号共同决定组合逻辑电路的输出。

时序逻辑电路的结构框图如图 5.2.2 所示, $X(x_1, x_2, \dots, x_i)$ 代表输入信号, $Y(y_1, y_2, \dots, y_j)$ 代表输出信号, $Z(z_1, z_2, \dots, z_m)$ 代表存储电路的输入信号, $Q(q_1, q_2, \dots, q_k)$ 代表存储电路的输出信号。

它们之间的关系可以用以下三个公式表示:

输出方程

$$Y = F_1(X, Q^n) \quad (5.2.1)$$

驱动方程

$$Z = F_2(X, Q^n) \quad (5.2.2)$$

状态方程

$$Q^{n+1} = F_3(Z, Q^n) \quad (5.2.3)$$

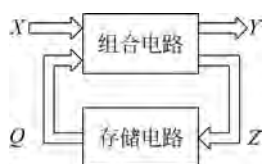


图 5.2.2 时序逻辑电路的结构框图

2. 时序逻辑电路的分类

时序逻辑电路按照存储电路中触发器的动作特点不同分为同步时序逻辑电路和异步时序逻辑电路。在同步时序逻辑电路中,所有触发器有统一的时钟源,它们的状态在同一时刻更新。在异步时序逻辑电路中,触发器的状态变化不是同时发生的。

时序逻辑电路按照输出信号的特点不同分为米利(Mealy)型和穆尔(Moore)型两种,如图 5.2.3 所示。在米利型电路中,输出信号不仅取决于存储电路的状态,而且取决于输入变量;在穆尔型电路中,输出信号仅取决于存储电路的状态。

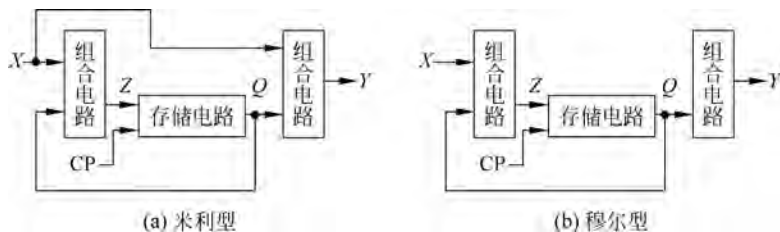


图 5.2.3 时序逻辑电路

在有些具体的时序电路中,并不都具备图 5.2.2 所示的完整形式,有的时序逻辑电路没有组合逻辑电路部分,有的时序逻辑电路没有输入变量,但它们在逻辑功能上都具有时序逻辑电路的基本特征。

5.2.2 课前自学——时序逻辑电路的描述方法

时序逻辑电路的逻辑功能可以用逻辑方程组、状态转换表、状态转换图、时序图四种方法来描述。

1. 逻辑方程组

时序逻辑电路逻辑方程组包括驱动方程、状态方程、输出方程以及时钟方程。

如图 5.2.4 所示的时序逻辑电路,根据电路的结构图可以写出时序逻辑电路的输出方程、驱动方程、状态方程和时钟方程。

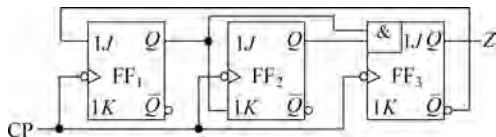


图 5.2.4 时序逻辑电路

触发器输入信号的逻辑表达式,图 5.2.4 所示时序逻辑电路的驱动方程为

$$\begin{cases} J_1 = \bar{Q}_3^n, & K_1 = 1 \\ J_2 = Q_1^n, & K_2 = Q_1^n \\ J_3 = Q_1^n Q_2^n, & K_3 = 1 \end{cases} \quad (5.2.4)$$

将驱动方程代入触发器的特性方程即可得到状态方程。图 5.2.4 所示时序逻辑电路的状态方程为

$$\begin{cases} Q_1^{n+1} = \bar{Q}_3^n \bar{Q}_1^n \\ Q_2^{n+1} = \bar{Q}_2^n Q_1^n + Q_2^n \bar{Q}_1^n \\ Q_3^{n+1} = \bar{Q}_3^n Q_2^n Q_1^n \end{cases} \quad (5.2.5)$$

图 5.2.4 所示时序逻辑电路的输出方程为

$$Z = Q_3^n \quad (5.2.6)$$

同步时序逻辑电路时钟方程可省略,异步时序逻辑电路的时钟方程需要列出。

2. 状态转换表

时序逻辑电路的状态与时间因素有关,将输入和电路的初态代入逻辑方程,即可得到电路的次态方程和输出;将得到的次态作为电路新的初态,和这时的输入代入逻辑方程,即可得到一组新的次态和输出。如此继续,将所有的结果列成表的形式,就得到了状

态转换表。状态转换表反映的是输出 Z 、次态 Q^{n+1} 和输入 X 、现态 Q^n 之间的关系。图 5.2.4 所示时序逻辑电路的状态转换表如表 5.2.1 所示。

表 5.2.1 图 5.2.4 所示时序逻辑电路的状态转换表

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	0	1	0	1
1	1	0	0	1	0	1
1	1	1	0	0	0	1

3. 状态转换图

为了更加形象、直观地展示时序逻辑电路的功能,可将状态转换表表示成状态转换图的形式。状态转换图反映出时序电路状态转换规律及相应输入、输出取值关系。图 5.2.4 所示时序逻辑电路的状态转换图如图 5.2.5 所示。

图 5.2.5 中圆圈表示电路的各个状态,箭头表明状态转换的方向,箭尾表示电路的现态,箭头指向的是电路的次态,箭头上标注相应的输入和输出。通常输入写在斜线左边,输出写在斜线右边。如果电路没有输入逻辑变量,可以不写。

4. 时序图

时序图又称为工作波形图,它用波形形式表达输入信号、输出信号、电路状态等取值在时间上的对应关系。图 5.2.4 所示时序逻辑电路的时序图如图 5.2.6 所示。

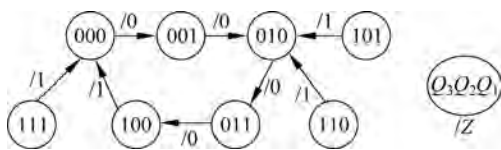


图 5.2.5 时序逻辑电路的状态转换图

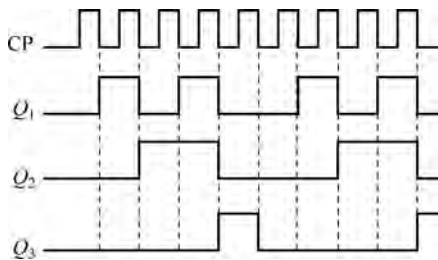


图 5.2.6 时序逻辑电路的时序图

时序逻辑电路的四种描述方法从不同侧面突出了时序电路逻辑功能的特点,它们在本质上是相同的,可以互相转换。

5.2.3 课前自学——预习自测

5.2.3.1 以下对时序逻辑电路描述正确的是()。

- A. 时序逻辑电路某一时刻的电路状态仅取决于电路该时刻的输入信号
 B. 时序逻辑电路某一时刻的电路状态仅取决于电路进入该时刻前所处的状态
 C. 时序逻辑电路某一时刻的电路状态不仅取决于当时输入信号,还取决于电路原来的状态
 D. 时序逻辑电路通常包含组合逻辑电路和存储电路两个组成部分,其中组合逻辑电路是必不可少的

5.2.3.2 以下电路中属于时序逻辑电路的是()。

- A. TTL 与非门 B. JK 触发器 C. OC 门 D. 异或门

5.2.3.3 时序逻辑电路一般是由门电路和()组成。

- A. 数据选择器 B. 全加器 C. 译码器 D. 存储电路

(二) 课上篇

5.2.4 课中学习——同步时序逻辑电路的分析方法

分析时序逻辑电路的步骤大致如下。

(1) 根据给定的同步时序逻辑电路写出下列方程组:

- ① 根据时序逻辑电路写出每个触发器的驱动方程,构成驱动方程组;
- ② 根据时序逻辑电路写出输出方程。

(2) 将各个触发器的驱动方程代入相应触发器的特性方程,得到各个触发器的状态方程,构成状态方程组。

(3) 根据状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图和时序图。

(4) 确定电路的逻辑功能。

例 5.2.1 试分析图 5.2.7 所示电路的逻辑功能。

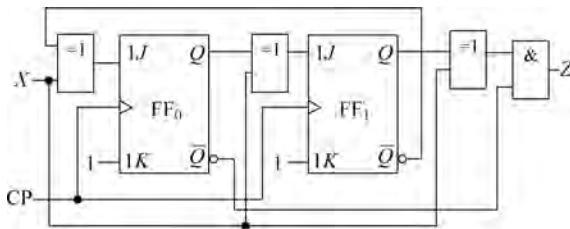


图 5.2.7 例 5.2.1 电路

解: 该电路中含有两个上升沿触发的 JK 触发器,两个触发器受同一个 CP 脉冲的控制,因此是同步时序逻辑电路,有输入信号 X,输出信号 Z。

(1) 由图 5.2.7 所示电路写出逻辑方程组:

驱动方程为

$$\begin{cases} J_0 = X \oplus \bar{Q}_1^n, & K_0 = 1 \\ J_1 = X \oplus Q_0^n, & K_1 = 1 \end{cases}$$

输出方程为

$$Z = (X \oplus Q_1^n) \bar{Q}_0^n$$

(2) 将驱动方程代入 JK 触发器特性方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$, 进而得到时序逻辑电路状态方程:

$$\begin{cases} Q_0^{n+1} = (X \oplus \bar{Q}_1^n) \bar{Q}_0^n \\ Q_1^{n+1} = (X \oplus Q_0^n) \bar{Q}_1^n \end{cases}$$

(3) 根据状态方程组和输出方程列写时序逻辑电路的状态转换表, 如表 5.2.2 所示。

表 5.2.2 例 5.2.1 状态转换表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	0	0	0

(4) 根据状态转换表画出状态转换图, 如图 5.2.8 所示。

(5) 总结时序逻辑电路的逻辑功能。从状态转换图不难发现, 图 5.2.7 所示电路状态转换规律及相应输入与输出关系: 当 $X=0$ 时, 按照加 1 规律从 $00 \rightarrow 01 \rightarrow 10$ 循环变化, 并每当转换为 10 状态(最大数)时, 输出 $Z=1$; 当 $X=1$ 时, 按照减 1 规律从 $10 \rightarrow 01 \rightarrow 00$ 循环变化, 并每当转换为 00 状态(最小数)时, 输出 $Z=1$ 。所以该电路是能自启动的同步可控三进制计数器, 当 $X=0$ 时实现加法计数, Z 是进位信号, 当 $X=1$ 时实现减法计数, Z 是借位信号。关于计数器的详细内容将在 5.4 节讲述。

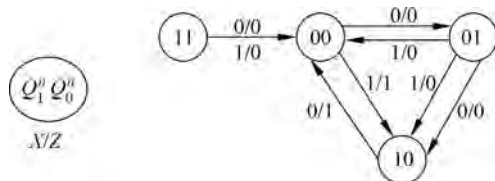


图 5.2.8 例 5.2.1 状态转换图

5.2.5 课中学习——异步时序逻辑电路的分析方法

异步时序逻辑电路分析与同步时序逻辑电路分析的区别: 在异步时序电路中, 每次电路状态发生转换时并不是所有触发器的时钟信号都有效, 时钟信号有效的触发器才能用特性方程计算次态, 时钟信号无效的触发器保持原态不变。

例 5.2.2 分析图 5.2.9 所示电路的逻辑功能。

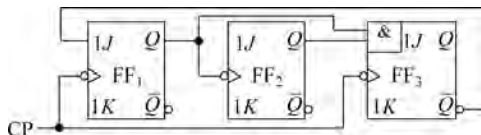


图 5.2.9 例 5.2.2 电路

解：该电路中含有三个下降沿触发的 JK 触发器，三个触发器不受同一个 CP 的控制，因此是异步时序逻辑电路。该电路没有外部输入信号，也没有输出信号。

(1) 由图 5.2.12 所示电路写出逻辑方程组：

驱动方程为

$$\begin{cases} J_1 = \bar{Q}_3^n, & K_1 = 1 \\ J_2 = 1, & K_2 = 1 \\ J_3 = Q_2^n Q_1^n, & K_3 = 1 \end{cases}$$

时钟方程为

$$\begin{cases} CP_1 = CP \downarrow \\ CP_2 = Q_1 \downarrow \\ CP_3 = CP \downarrow \end{cases}$$

(2) 将驱动方程代入 JK 触发器的特性方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ ，进而得到时序逻辑电路的状态方程：

$$\begin{cases} Q_1^{n+1} = \bar{Q}_3^n \bar{Q}_1^n \cdot CP_1 \\ Q_2^{n+1} = \bar{Q}_2^n \cdot CP_2 \\ Q_3^{n+1} = \bar{Q}_3^n Q_2^n Q_1^n \cdot CP_3 \end{cases}$$

式中，CP 不是一个逻辑变量。CP=1，表示时钟输入端有有效时钟，此时触发器按照状态方程计算次态；CP=0，表示时钟输入端无有效时钟，此时触发器保持原来的状态不变。

(3) 根据状态方程组列写时序逻辑电路的状态转换表，如表 5.2.3 所示。

表 5.2.3 例 5.2.3 状态转换表

Q_3^n	Q_2^n	Q_1^n	CP_3	CP_2	CP_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	1	0	1	0	0	1
0	0	1	1	1	1	0	1	0
0	1	0	1	0	1	0	1	1
0	1	1	1	1	1	1	0	0
1	0	0	1	0	1	0	0	0
1	0	1	1	1	1	0	1	0
1	1	0	1	0	1	0	1	0
1	1	1	1	1	1	0	0	0

(4) 根据状态转换表画出状态转换图,如图 5.2.10 所示。

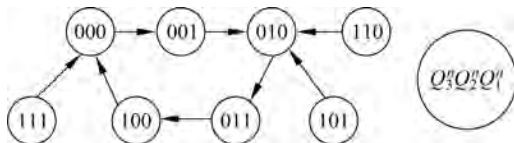


图 5.2.10 例 5.2.2 状态转换图

(5) 总结时序逻辑电路的逻辑功能。从状态图不难发现,图 5.2.10 所示电路是能自启动的异步五进制(模五)加法计数器。

(三) 课后篇

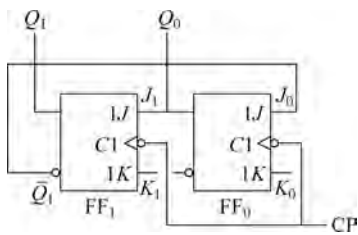
5.2.6 课后巩固——练习实践

5.2.6.1 在题图 5.2.6.1 所示电路中,触发器原状态 $Q_1Q_0=01$,则在下一个 CP 作用后, Q_1Q_0 为()。

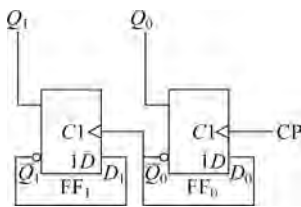
A. 00

B. 01

C. 10



题图 5.2.6.1



题图 5.2.6.2

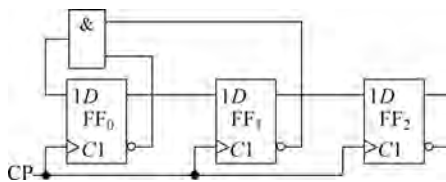
5.2.6.2 在题图 5.2.6.2 所示的电路中,触发器的原状态 $Q_1Q_0=00$,则在下一个 CP 作用后, Q_1Q_0 为()。

A. 00

B. 01

C. 10

5.2.6.3 试分析题图 5.2.6.3 所示电路的逻辑功能,写出电路的驱动方程、状态方程,并画出电路的状态转换图。



题图 5.2.6.3

5.2.6.4 题图 5.2.6.4 所示电路由三个下降沿触发的 JK 触发器、与门、3 线-8 线

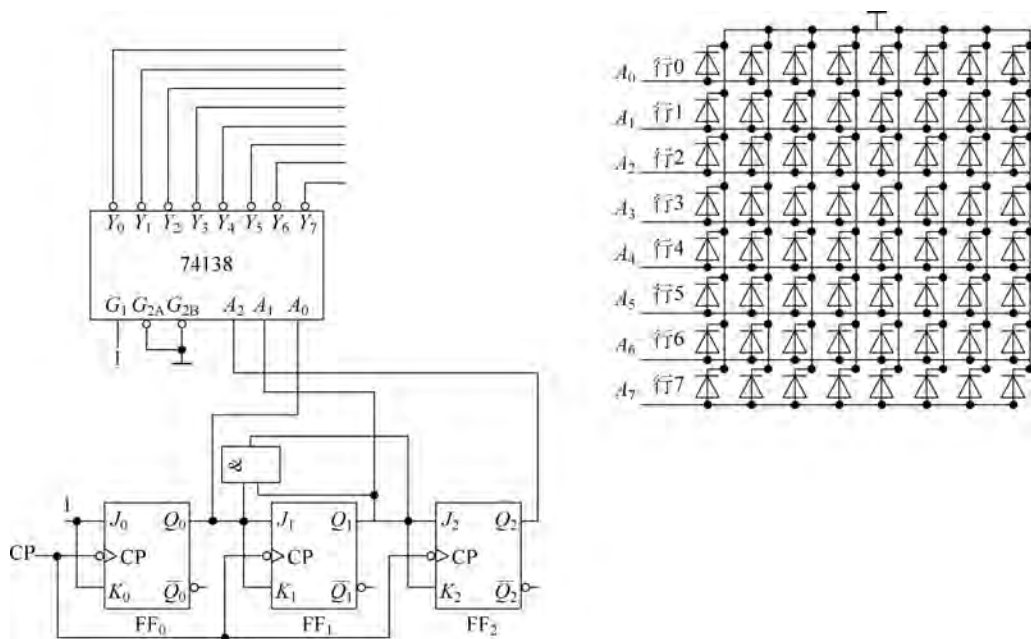


讲解视频



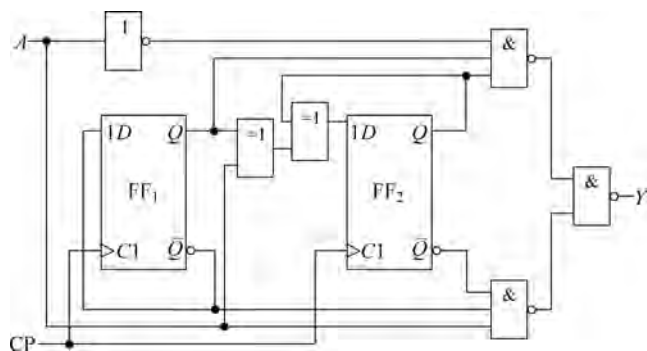
讲解视频

译码器 74138 和 64 个发光二极管构成。要求：(1)分析三个下降沿触发的 JK 触发器和与门构成电路的逻辑功能,写出驱动方程、状态方程,画出完整的状态转换表及状态转换图,用一句话总结逻辑功能。(2)64 个发光二极管排列成 8 行 8 列,每一行 8 个发光二极管阳极连在一起,每一列 8 个发光二极管阴极连在一起接地,如果期望 8 行发光二极管从行 0 到行 7 依次点亮,74138 芯片的输出($Y_0 \sim Y_7$)和发光二极管的阳极($A_0 \sim A_7$)之间如何连接?



题图 5.2.6.4

5.2.6.5 试分析题图 5.2.6.5 所示时序逻辑电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,并画出电路的状态转换图。



题图 5.2.6.5



讲解视频

5.2.7 本节思维导图



知识拓展——拯救摩尔定律的 FinFET 工艺

集成电路先进技术

半导体工艺一直按照摩尔定律规律发展,也就是每 18 个月提升 1 倍晶体管密度。传统硅基半导体工艺在 28nm 之后,制造难度越来越大,已无法继续提高。1999 年,中国科学院外籍院士胡正明教授研究小组研制出世界上体积最小、通过电流最大的半导体晶体管——FinFET。因为晶体管的形状与鱼鳍相似,所以也叫鳍式晶体管或者 3D 晶体管。FinFET 可使芯片容量比从前提高 400 倍。英特尔公司首先在 2012 年正式采用 FinFET 技术,首发的是 22nm 工艺。当时台积电公司、三星公司还停留在 28nm 工艺,之后在 16/14nm 节点上他们才进入 FinFET 时代。

5.3 寄存器和移位寄存器

(一) 课前篇

本节导学单

1. 学习目标

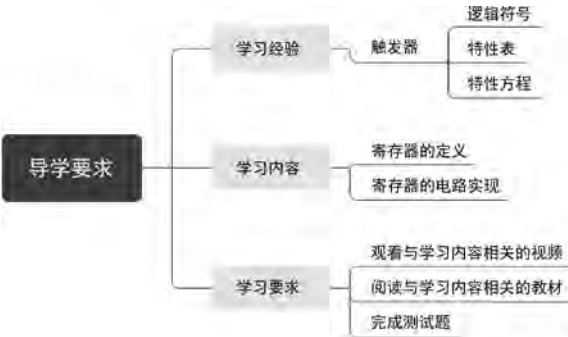
根据《布鲁姆教育目标分类学》,从知识维度和认知过程两方面进一步细化本节课的

教学目标,明确学习本节课所必备的学习经验。

知识 维度	认 知 过 程					
	1. 回忆	2. 理解	3. 应用	4. 分析	5. 评价	6. 创造
A. 事实性知识	回忆触发器的基本概念	说出寄存器、移位寄存器的基本概念及分类				
B. 概念性知识	回忆常用触发器的逻辑符号、真值表、特性方程以及状态转换图	阐释移位寄存器的四种工作方式			评价总结单向移位寄存器的电路构成规律	
C. 程序性知识	回忆触发器多种表示方法之间的转换	阐释集成寄存器内部电路,画出集成寄存器芯片引脚及真值表	应用触发器设计移位寄存器电路。应用数据选择器设计多功能双向移位寄存器电路	分析单向、双向移位寄存器电路的工作过程。分析 74194 的内部电路,得出功能表		利用集成芯片 74194 设计应用电路,会借助仿真软件进行验证,会利用口袋实验包进行电路搭建与调试
D. 元认知知识	明晰学习经验是理解新知识的前提		根据概念及学习经验迁移得到新理论的能力	将知识分为若干任务,主动思考,举一反三,完成每个任务	类比评价也是知识整合吸收的过程	通过电路的设计、仿真、搭建、调试,培养工程思维

2. 导学要求

根据本节的学习目标,将回忆、理解、应用层面学习目标所涉及的知识点的课前自学完成,形成自学导学单。



5.3.1 课前自学——寄存器

1. 定义

寄存器是数字系统中用来存储代码或数据的逻辑部件,它的主要组成部分是触发器。

如图 5.3.1 说明了 D 触发器存储 1 或 0 的原理。当 $D=1$ 时,触发器的输出 Q 会在时钟 CP 的上升沿到来时变为 1 并存储下来。同理,当 $D=0$ 时,触发器的输出 Q 会在时钟 CP 的上升沿到来时变为 0 并存储下来。

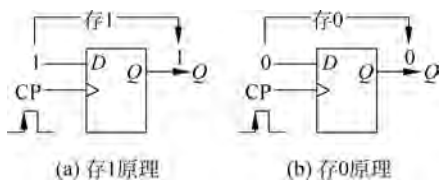


图 5.3.1 触发生器的存储原理

一个触发器能存储 1 位二进制代码,存储 n 位二进制代码的寄存器需要用 n 个触发器。寄存器实际上是若干触发器的集合。图 5.3.2 所示电路是由 4 个触发器构成的 4 位寄存器逻辑图。 $D_0 \sim D_3$ 为 4 位数据输入端, $Q_0 \sim Q_3$ 为 4 位数据输出端, R_D 为直接置零信号。

将 4 位数据送入数据输入端,在 CP 的下降沿到达后,数据便存入寄存器中,一直保持到下一个 CP 下降沿到达时。这种将数据同时存入又同时取出的方式称为并入并出方式。

2. 集成芯片

带输出缓冲器 8 位寄存器 74374 内部电路如图 5.3.3 所示,由 8 个 D 触发器和 8 个三态门构成。 $D_0 \sim D_7$ 是 8 位数据输入端,在 CP 上升沿的作用下,8 位数据同时存入 D 触发器的输出端。 $\overline{OE}$ 是输出使能控制信号,低电平有效。当 $\overline{OE}=0$ 时,触发器存储的数据通过三态门输出到输出端 $Q_0 \sim Q_7$; 当 $\overline{OE}=1$ 时,输出端 $Q_0 \sim Q_7$ 输出高阻态。74374 功能表如表 5.3.1 所示。

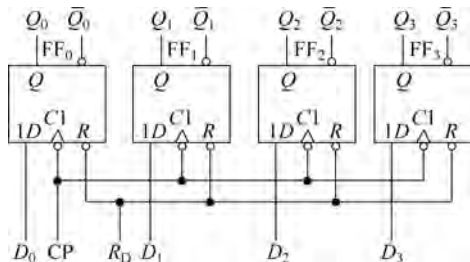


图 5.3.2 4 位寄存器逻辑图

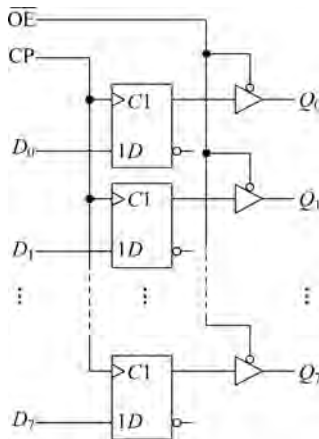


图 5.3.3 8 位寄存器 74374 内部电路

表 5.3.1 74374 功能表

输 入			输 出
$\overline{\text{OE}}$	CP	D_N	$Q_0 \sim Q_7$
0	$\uparrow$	0	0
0	$\uparrow$	1	1
1	$\uparrow$	0	高阻
1	$\uparrow$	1	高阻

5.3.2 课前自学——预习自测

5.3.2.1 若一个寄存器的数码是“同时输入,同时输出”,则该寄存器采用()。

- A. 串行输入串行输出 B. 并行输入并行输出
C. 串行输入并行输出 D. 并行输入串行输出

5.3.2.2 在数字系统和计算机中,不同部件的数据输入和输出一般是通过公共数据总线传送,试用三片 74374 设计与数据总线进行数据传送的电路。

(二) 课上篇

5.3.3 课中学习——移位寄存器

1. 定义及分类

移位寄存器既能寄存数码,又能在时钟脉冲的作用下使数码依次左移或右移。因此,移位寄存器应用广泛,不仅具有寄存器的功能,还可以实现数据的串行-并行转换、数值的运算以及数据处理等,是数字系统和计算机中的一个重要部件。

移位寄存器按照移位方式可分为单向移位寄存器和双向移位寄存器,单向移位寄存器又可分为左移移位寄存器和右移移位寄存器,双向移位寄存器则兼有左移和右移的功能。

2. 单向移位寄存器

1) 右移移位寄存器

如图 5.3.4 所示,4 个上升沿触发的 D 触发器,左边触发器的输出端接右邻触发器的输入端就构成了右移移位寄存器。

假设移位寄存器的初始状态是 0000,串行输入数码 $D_1=1101$,从高位到低位依次输入。第一个时钟脉冲到来后,由于从 CP 上升沿到达开始到输出端新状态的建立需要经过一段传输延迟时间,所以当 CP 的上升沿同时作用于所有触发器时,它们输入端(D 端)的状态还没有改变。于是 FF₁ 触发器按 Q_0 原来的状态翻转($Q_1=0$),FF₂ 按 Q_1 原来的

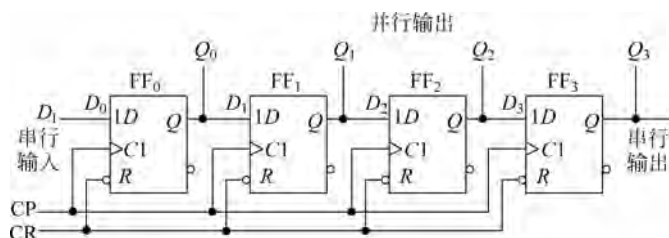


图 5.3.4 4 位右移移位寄存器电路

状态翻转($Q_2=0$), FF_3 按 Q_2 原来的状态翻转($Q_3=0$), 加到 FF_0 输入端的 D_1 代码存入 FF_0 ($Q_0=1$), 总的效果相当于将 1 移入到 FF_0 触发器, 其余触发器的输出依次右移一位。以此类推, 经过 4 个 CP, 即可将 1101 代码移入到移位寄存器中, 同时在 4 个触发器的输出端得到了并行输出的代码, 如表 5.3.2 所示。图 5.3.5 给出了各触发器输出端在移位过程中的电压波形图。该电路可以实现代码的串行输入串行输出(D_1 串行输入, Q_3 串行输出), 也可以实现代码的串行输入并行输出(D_1 串行输入, $Q_0 Q_1 Q_2 Q_3$ 并行输出)。

表 5.3.2 4 位右移移位寄存器代码移动

移位脉冲	输入数码	输出
CP	D_1	Q_0 Q_1 Q_2 Q_3
0		0 0 0 0
1	1	1 0 0 0
2	1	1 1 0 0
3	0	0 1 1 0
4	1	1 0 1 1

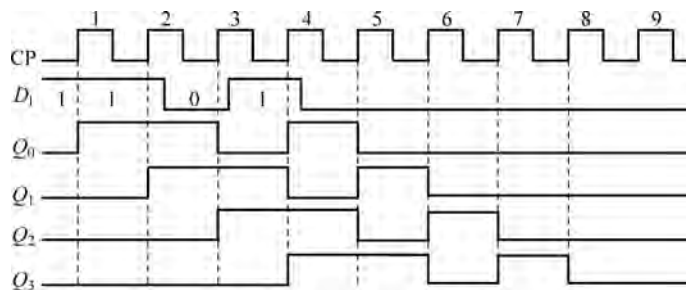


图 5.3.5 图 5.3.4 电路的电压波形

2) 左移移位寄存器

如图 5.3.6 所示, 4 个上升沿触发的 D 触发器, 右边触发器的输出端接左邻触发器的输入端就构成了左移移位寄存器。它依然可以实现代码的串行输入串行输出(D_1 串行输入, Q_0 串行输出), 也可以实现代码的串行输入并行输出(D_1 串行输入, $Q_0 Q_1 Q_2 Q_3$ 并行输出)。读者自行分析电路的工作过程并画出代码移动状况。

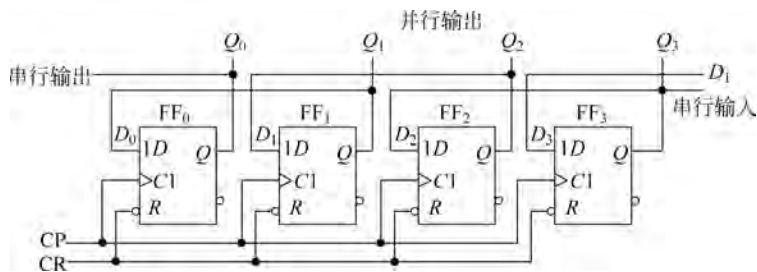


图 5.3.6 4 位左移移位寄存器电路

3. 双向移位寄存器

将左移移位寄存器和右移移位寄存器组合起来并引入一个控制端 S 便构成既可右移又可左移的双向移位寄存器,如图 5.3.7 所示。其中, D_{SR} 为右移串行输入端, D_{SL} 为左移串行输入端。

当 $S=1$ 时, $D_0 = D_{SR}$, $D_1 = Q_0$, $D_2 = Q_1$, $D_3 = Q_2$, 实现右移操作; 当 $S=0$ 时, $D_0 = Q_1$, $D_1 = Q_2$, $D_2 = Q_3$, $D_3 = D_{SL}$, 实现左移操作。

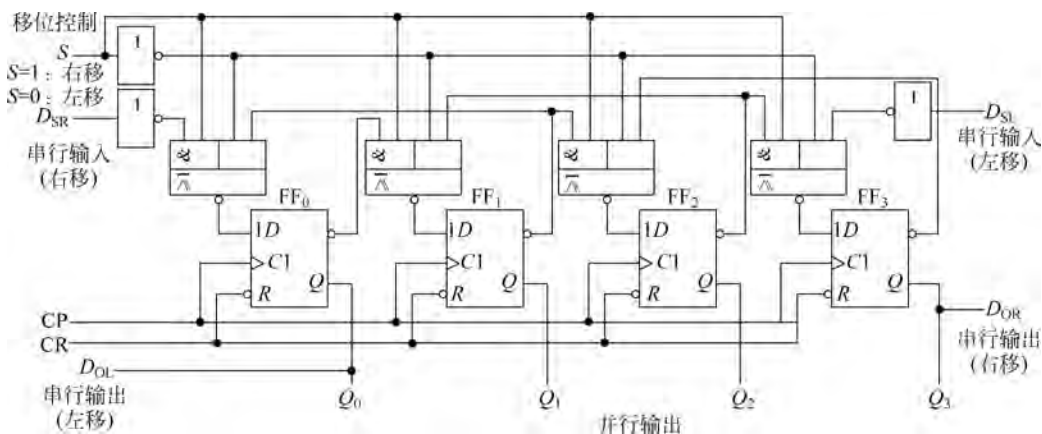


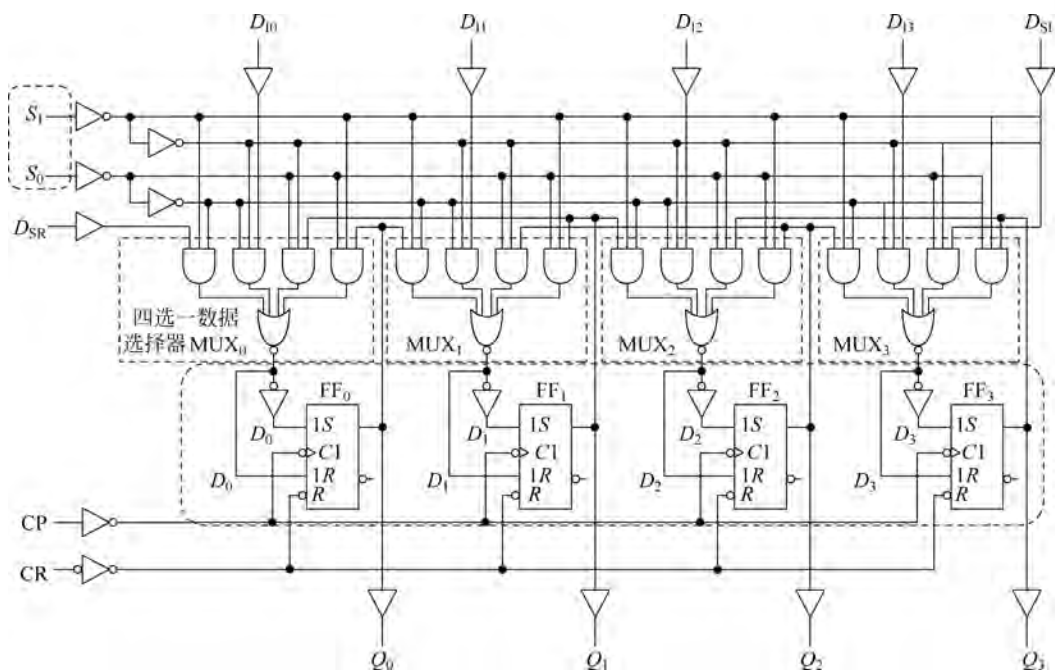
图 5.3.7 4 位双向移位寄存器电路

4. 集成移位寄存器

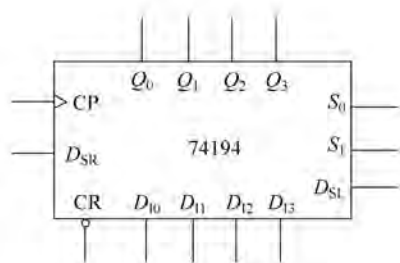
1) 功能

集成 4 位双向移位寄存器 74194 的逻辑图如图 5.3.8(a) 所示。采用了 4 个 RS 触发器, 根据 RS 触发器特性方程 $Q^{n+1} = S + \bar{R}Q^n = D + \bar{D}Q^n = D$, 实现了 D 触发器的功能。 D_{SR} 是右移串行数据输入端, D_{SL} 是左移串行数据输入端, $D_{10} \sim D_{13}$ 是并行数据输入端, $\overline{CR}$ 连接到每个触发器的直接置 0 端, 可控制触发器异步清零。图中输入端接入的缓冲器用于减轻前级的负载, 而输出缓冲器可以提高驱动能力。

74194 的符号图如图 5.3.8(b) 所示, 功能表如表 5.3.3 所示。表 5.3.3 中, 第一行表明移位寄存器异步清零操作, 第二行为保持功能, 第三、四行为右移操作, 第五、六行为



(a) 电路图



(b) 逻辑符号图

图 5.3.8 4 位双向移位寄存器 74194

左移操作,第七行为并行置数操作。74194 输出默认排列顺序为 $Q_0Q_1Q_2Q_3$ 。

表 5.3.3 74194 功能表

输 入					输 出	工 作 模 式
清零	控制	串行输入	时钟	并行输入		
CR	S_1S_0	$D_{SL}D_{SR}$	CP	$D_{10}D_{11}D_{12}D_{13}$	$Q_0Q_1Q_2Q_3$	
0	$\times \times$	$\times \times$	$\times$	$\times \times \times \times$	0 0 0 0	异步清零
1	0 0	$\times \times$	$\times$	$\times \times \times \times$	$Q_0Q_1Q_2Q_3$	保持
1	0 1	$\times 1$	$\uparrow$	$\times \times \times \times$	1 $Q_0Q_1Q_2$	右 移
1	0 1	$\times 0$	$\uparrow$	$\times \times \times \times$	0 $Q_0Q_1Q_2$	右 移
1	1 0	1 $\times$	$\uparrow$	$\times \times \times \times$	$Q_1Q_2Q_3$ 1	左 移
1	1 0	0 $\times$	$\uparrow$	$\times \times \times \times$	$Q_1Q_2Q_3$ 0	左 移
1	1 1	$\times \times$	$\uparrow$	$D_{10}D_{11}D_{12}D_{13}$	$D_{10}D_{11}D_{12}D_{13}$	并行置数

2) 应用

(1) 扩展。

74194 接成多位双向移位寄存器的方法十分简单。如图 5.3.9 所示是用两片 74194 接成 8 位双向移位寄存器的电路图。

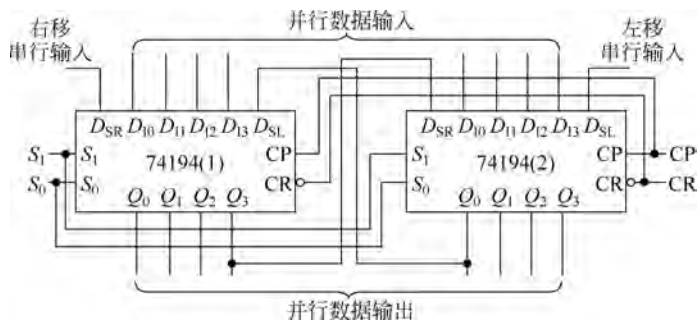


图 5.3.9 用两片 74194 接成 8 位双向移位寄存器

两片 74194 具有 8 个并行输入端和 8 个并行输出端,仅需要将片 74194(1)的 Q_3 接片 74194(2)的 D_{SR} ,将片 74194(2)的 Q_0 接片 74194(1)的 D_{SL} ,同时将两片的 S_1 、 S_0 、 CP 、 CR 并联即可。

(2) 环形计数器。

将移位寄存器输出 Q_3 直接反馈至串行数据输入端 D_{SR} ,使寄存器工作在右移状态,就构成了环形计数器,如图 5.3.10(a)所示。

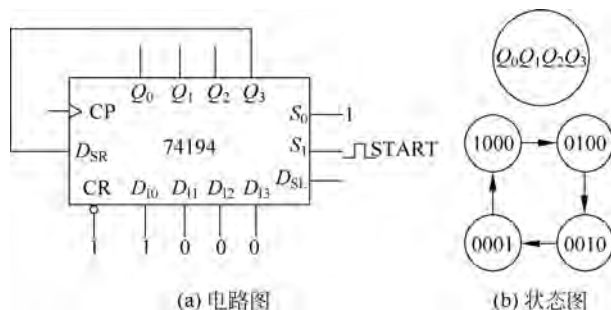


图 5.3.10 4 位环形计数器

在 S_1 启动脉冲的作用下,将初始状态 1000 置入移位寄存器 74194 中。之后 $S_1 S_0 = 01$,电路实现右移操作,将 Q_3 反馈至 D_{SR} ,在时钟脉冲的作用下,移位寄存器 74194 的数码依次变为 0100、0010、0001,然后又回到 1000。如此周而复始,实现了将寄存的数码循环右移。

图 5.3.11 为 4 位环形计数器的工作波形图。从波形图可以看出,将一个 CP 周期的脉冲宽度依次分配到各输出端,将这种电路称为顺序脉冲发生器。其主要应用于需要按照事先规定的顺序进行一系列操作的系统中,可以给系统的控制部分产生一组在时间上有一定先后顺序的脉冲信号。

可以看出,4位移位寄存器74194构成的4位环形计数器,每4个脉冲构成一个循环,显然, N 位移位寄存器可以构成 N 进制的环形计数器。

(3) 扭环形计数器。

如果将移位寄存器74194的输出 Q_3 取反后再反馈至串行数据输入端 D_{SR} ,如图5.3.12(a)所示,就构成了4位扭环形计数器。

利用清零引脚 CR 加入负脉冲,使得电路的初始状态为0000。 $S_1S_0=01$,电路实现右移,将 Q_3 取反反馈至 D_{SR} ,在时钟脉冲的作用下,移位寄存器74194的数码依次变为1000、1100、1110……然后又回到0000,状态图如图5.3.12(b)所示。4位移位寄存器74194可以构成八进制的扭环形计数器。显然, N 位移位寄存器可以构成 $2N$ 进制的扭环形计数器。

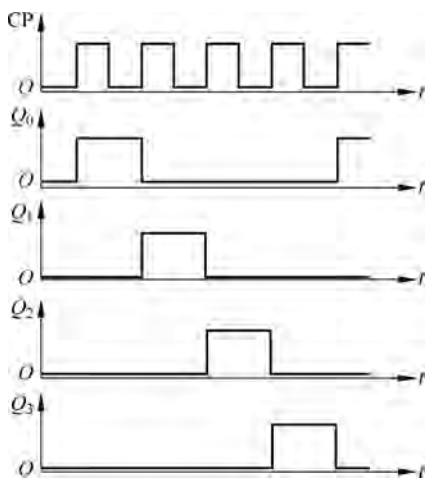


图 5.3.11 4 位环形计数器的工作波形图

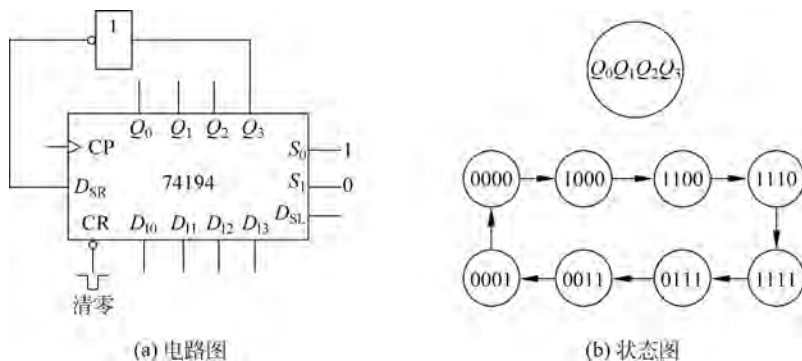


图 5.3.12 4 位扭环形计数器

(三) 课后篇

5.3.4 课后巩固——练习实践

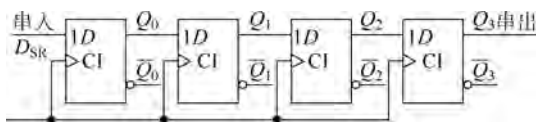
1. 知识巩固练习

5.3.4.1 题图5.3.4.1所示的移位寄存器,若 $Q_0Q_1Q_2Q_3=1010$,而在4个CP内输入的代码依次为0011,则4个脉冲后,串出端依次输出的数值为()。

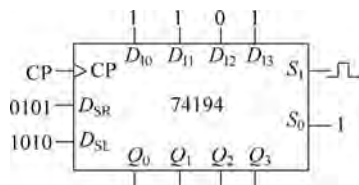
- A. 1010 B. 0101 C. 0011 D. 1100

5.3.4.2 利用74194构成的移位寄存器如题图5.3.4.2所示,在图示的工作模式下,数据输出的端口是()。

- A. Q_0 B. Q_1 C. Q_2 D. Q_3



题图 5.3.4.1



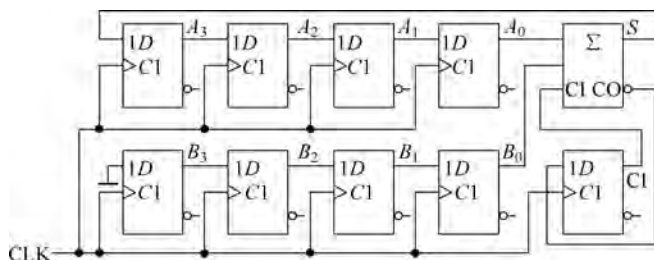
题图 5.3.4.2

5.3.4.3 试用移位寄存器 74194 和门电路设计一个时序逻辑电路,可产生题表 5.3.4.3 所示的脉冲序列。

题表 5.3.4.3 脉冲序列

CP	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	1	1	0	0
2	1	1	1	0
3	1	1	1	1
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1

5.3.4.4 在题图 5.3.4.4 电路中,若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0=1001$, $B_3B_2B_1B_0=0011$,试问经过 4 个 CP 信号作用以后两个寄存器中的数据如何? 这个电路完成什么功能?



题图 5.3.4.4

5.3.4.5 时序电路如题图 5.3.4.5 所示,其中 R_A 、 R_B 和 R_S 均为 8 位移位寄存器,其余电路分别为全加器和 D 触发器,要求:

(1) 说明电路的逻辑功能;

(2) 若电路工作前先清零,且两组数码 $A=10001000$, $B=00001110$,8 个 CP 后, R_A 、 R_B 和 R_S 中的内容为何?

(3) 再来 8 个 CP, R_S 中的内容为何?

5.3.4.6 由移位寄存器 74194 和 3 线-8 线译码器 74138 组成的时序电路如题图 5.3.4.6 所示,分析该电路:(1)画出 74194 的态序表;(2)求出 Z 的输出序列。

5.3.4.7 试画出题图 5.3.4.7 所示电路的输出 ($Q_0 \sim Q_3$) 波形,并分析该电路的逻辑功能。

知识拓展——国产 CPU 芯片企业巡礼

集成电路国产化进程

目前,中国国产主要的 CPU 芯片有中国科学院的龙芯系列、华为海思公司的鲲鹏系列、国防科技大学的飞腾系列、曙光信息产业股份有限公司的海光系列、江南计算技术研究所的申威系列和平头哥半导体有限公司的倚天系列。主要采用 7~28nm 工艺制造,申威和龙芯拥有独立自主指令集,完全自主可控;鲲鹏、飞腾是指令集架构 ARM 授权模式,自主可控程度高;海光、兆芯则是 IP 核授权模式,自主可控程度低。其中搭载申威 CPU 的“神威·太湖之光”超级计算机,使用了 40960 块申威处理器,曾位列超级计算机 TOP500 榜首。飞腾 CPU 是国防科技大学高性能处理器研究团队研发的产品,“天河一号”和“天河二号”均使用数千颗飞腾 CPU 作为服务节点。

5.4 计数器

(一) 课前篇

本节导学单

1. 学习目标

根据《布鲁姆教育目标分类学》,从知识维度和认知过程两方面进一步细化本节课的教学目标,明确学习本节课所必备的学习经验。

知 识 维 度	认 知 过 程					
	1. 回忆	2. 理解	3. 应用	4. 分析	5. 评价	6. 创造
A. 事实性知识	回忆触发器的基本概念	说出计数器的基本概念及分类				
B. 概念性知识	回忆常用触发器的逻辑符号、真值表、特性方程以及状态转换图					

续表

知识维度	认知过程					
	1. 回忆	2. 理解	3. 应用	4. 分析	5. 评价	6. 创造
C. 程序性知识	回忆触发器多种表示方法之间的转换	画出集成计数器符号图以及功能表	应用触发器设计二进制计数器	分析触发器构成的二进制计数器电路,分析集成计数器构成的电路,应用集成计数器实现任意进制计数器	对比两种不同情况下集成计数器构成任意进制计数器的原理、思路及实现方法	利用集成计数器设计24小时制数字电子钟电路,会借助于仿真软件进行验证,会利用口袋实验包进行电路搭建与调试
D. 元认知知识	明晰学习经验是理解新知识的前提		根据概念及学习经验迁移得到新理论的能力	将知识分为若干任务,主动思考,举一反三,完成每个任务	类比评价也是知识整合吸收的过程	通过电路的设计、仿真、搭建、调试,培养工程思维

2. 导学要求

根据本节的学习目标,将回忆、理解、应用层面学习目标所涉及的知识点的课前自学完成,形成自学导学单。



5.4.1 课前自学——计数器的定义及分类

1. 计数器的定义

计数器是数字系统中应用最广泛的时序电路,其基本功能是对时钟脉冲进行计数

(数字钟就是计数器的典型应用);此外,还可以用于分频、定时、产生节拍脉冲和脉冲序列等多种数字逻辑。

2. 计数器的分类

计数器按照内部触发器的动作方式分为同步计数器和异步计数器。在同步计数器中,所有触发器受同一个 CP 的控制。在异步计数器中,至少有一个触发器不直接受 CP 的控制。

计数器按照运算功能可分为加法计数器、减法计数器和可逆计数器。随着计数脉冲输入做递增计数电路称为加法计数器。随着计数脉冲输入做递减计数电路称为减法计数器。在控制信号作用下,可递增计数也可递减计数的电路称为可逆计数器。

按照计数编码方式可分为二进制计数器和非二进制计数器。非二进制计数器中典型的是十进制计数器。计数器进制是计数器电路中有效状态个数,计数器进制又称为计数器的“模”。例如,十进制计数器中有 10 个有效状态,也称为模 10 计数器。

5.4.2 课前自学——计数器的电路实现

如何能够用触发器来实现计数器功能?下面以二进制计数器为例介绍计数器电路的设计过程。

1. 同步计数器

1) 同步二进制加法计数器

根据计数器定义画出 3 位同步二进制加法计数器的状态转换表,如表 5.4.1 所示。

表 5.4.1 3 位同步二进制加法计数器的状态转换表

计数顺序	电路状态		
	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

电路状态的每一位均用一个触发器来实现,来观察各个触发器的动作特点。 Q_0 : 每来一个 CP, Q_0 翻转一次; Q_1 : $Q_0=1$ 时,来一个 CP, Q_1 翻转一次; Q_2 : $Q_1Q_0=11$ 时,来一个 CP, Q_2 翻转一次。

因此,3 位同步二进制加法计数器可以用 3 个 T 触发器构成,3 个 T 触发器时钟端

连在一起接 CP, 每次 CP 到达时, 应翻转的触发器输入控制端 $T_i = 1$, 不翻转的触发器输入控制端 $T_i = 0$ 。3 位同步二进制加法计数器电路如图 5.4.1 所示, 对应时序图如图 5.4.2 所示。

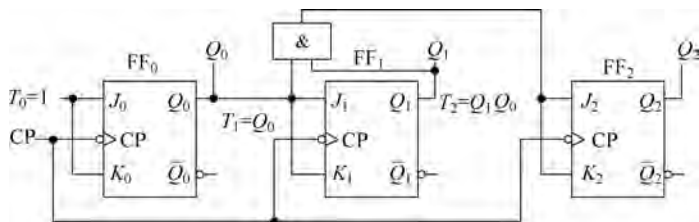


图 5.4.1 3 位同步二进制加法计数器电路

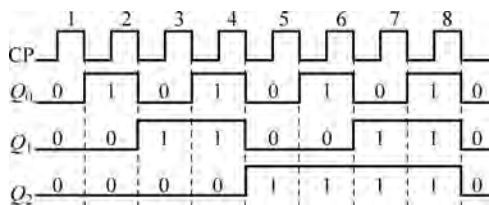


图 5.4.2 3 位同步二进制加法计数器电路的时序图

2) 同步二进制减法计数器

根据计数器的定义, 可以画出 3 位同步二进制减法计数器的状态转换表, 如表 5.4.2 所示。

表 5.4.2 3 位同步二进制减法计数器的状态转换表

计数顺序	电路状态		
	Q_2	Q_1	Q_0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1

电路状态的每一位均用一个触发器来实现, 因此 3 位同步二进制减法计数器电路由 3 个触发器构成, 来观察各个触发器的动作特点。 Q_0 : 每来一个 CP, Q_0 翻转一次; Q_1 : $Q_0 = 0$ 时, 来一个 CP, Q_1 翻转一次; Q_2 : $Q_1Q_0 = 00$ 时, 来一个 CP, Q_2 翻转一次。

因此, 3 位同步二进制减法计数器电路可以用 3 个 T 触发器构成, 3 个 T 触发器的时钟端连在一起接 CP, 每次 CP 到达时应翻转的触发器输入控制端 $T_i = 1$, 不翻转的触发器输入控制端 $T_i = 0$ 。3 位同步二进制减法计数器电路如图 5.4.3 所示。

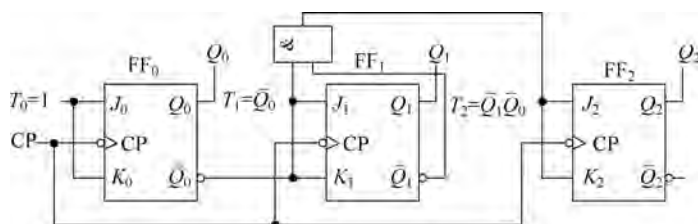


图 5.4.3 3 位同步二进制减法计数器电路

电路对应的时序图如图 5.4.4 所示,若计数输入脉冲 CP 的频率为 f_0 ,则 Q_0 、 Q_1 、 Q_2 端输出脉冲的频率将依次为 $f_0/2$ 、 $f_0/4$ 、 $f_0/8$,因此计数器也可实现分频功能。

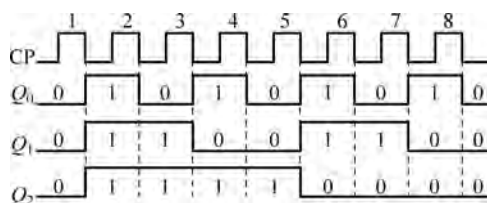


图 5.4.4 3 位同步二进制减法计数器电路的时序图

3) 同步二进制可逆计数器

将加法计数器和减法计数器合并起来,并且引入一加/减控制信号 X ,便构成 3 位二进制同步可逆计数器。各触发器的驱动方程为

$$T_0 = 1$$

$$T_1 = XQ_0 + \bar{X}\bar{Q}_0$$

$$T_2 = XQ_1Q_0 + \bar{X}\bar{Q}_1\bar{Q}_0$$

3 位同步二进制可逆计数器电路如图 5.4.5 所示。当控制端 $X=1$ 时, FF_1 、 FF_2 触发器各 T 端分别与低位触发器的 Q 端相连,实现加法计数;当控制端 $X=0$ 时, FF_1 、 FF_2 触发器各 T 端分别与低位触发器的 $\bar{Q}$ 端相连,实现减法计数。由此可见,该电路实现了可逆计数器的功能。

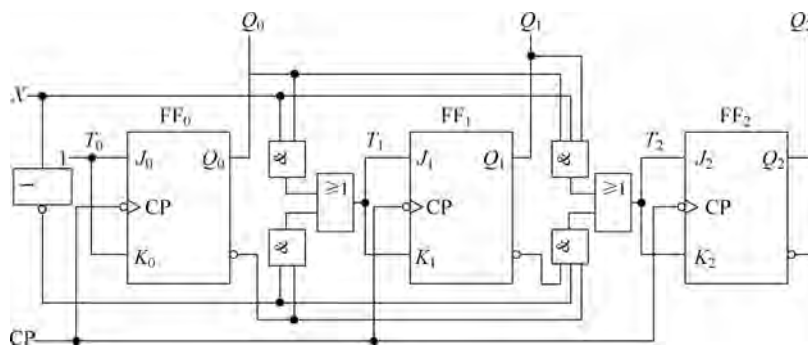


图 5.4.5 3 位同步二进制可逆计数器电路

同步二进制计数器构成方法总结：因为计数脉冲 CP 连到各个触发器的时钟端，因此电路通过控制触发器的输入端来控制触发器是否翻转。通常采用 T 触发器构成，最低位触发器 $T=1$ ，其余位触发器的驱动方程：

$$\text{加法计数器: } T_i = Q_{i-1} Q_{i-2} \cdots Q_0$$

$$\text{减法计数器: } T_i = \bar{Q}_{i-1} \bar{Q}_{i-2} \cdots \bar{Q}_0$$

$$\text{可逆计数器: } T_i = XQ_{i-1}Q_{i-2}\cdots Q_0 + \bar{X}\bar{Q}_{i-1}\bar{Q}_{i-2}\cdots\bar{Q}_0$$

2. 异步计数器

1) 异步二进制加法计数器

3 位异步二进制加法计数器与 3 位同步二进制加法计数器的状态转换表相同，区别在于异步计数器的各个触发器不是同步翻转的，各个触发器的动作特点： Q_0 ，每来一个 CP， Q_0 翻转一次； Q_1 ，当 Q_0 出现下降沿时， Q_1 翻转一次； Q_2 ，当 Q_1 出现下降沿时， Q_2 翻转一次。

因此，3 位异步二进制加法计数器电路可以用 3 个 T' 触发器构成，通过控制触发器的时钟端来控制触发器是否翻转，电路如图 5.4.6 所示。下降沿触发的 JK 触发器当 $J=K=1$ 时得到 T' 触发器，CP 是要记录的计数输入脉冲，接 FF_0 的时钟端，将 Q_0 接 FF_1 的时钟端，将 Q_1 接 FF_2 的时钟端。用上升沿触发器的 T' 触发器同样可以组成异步二进制加法计数器，但是高位触发器的时钟端接低位触发器的 $\bar{Q}$ 端输出。

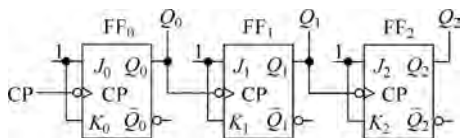


图 5.4.6 3 位异步二进制加法计数器电路

2) 异步二进制减法计数器

将 T' 触发器之间按照二进制减法计数规则连接，即可得到二进制减法计数器。观察表 5.4.2，不难得出各个触发器的特点： Q_0 ，每来一个 CP， Q_0 翻转一次； Q_1 ，当 Q_0 出现上降沿时， Q_1 翻转一次； Q_2 ，当 Q_1 出现上降沿时， Q_2 翻转一次。

仍采用 JK 触发器构成的 T' 触发器实现 3 位异步二进制减法计数器如图 5.4.7 所示。CP 是要记录的计数输入脉冲，接 FF_0 的时钟端，将 $\bar{Q}_0$ 接 FF_1 的时钟端，将 $\bar{Q}_1$ 接 FF_2 的时钟端。

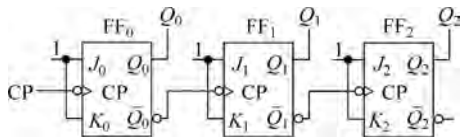


图 5.4.7 3 位异步二进制减法计数器电路

异步二进制计数器构成方法总结：每个触发器都处在计数状态,通过时钟信号控制各个触发器计数,最低位触发器接 CP,其余各位触发器接各自低一位触发器的输出端。

加法计数器：如果采用下降沿触发的触发器,则高位触发器的时钟端 CP 接低一位触发器的输出 Q 端;如果采用上升沿触发的触发器,则高位触发器的时钟端 CP 接低一位触发器的输出 $\bar{Q}$ 端。

减法计数器：如果采用下降沿触发的触发器,则高位触发器的时钟端 CP 接低一位触发器的输出 $\bar{Q}$ 端;如果采用上升沿触发的触发器,则高位触发器的时钟端 CP 接低一位触发器的输出 Q 端。

5.4.3 课前自学——预习自测

5.4.3.1 试用下降沿触发 JK 触发器组成 5 位异步二进制减法计数器电路。

5.4.3.2 试用下降沿触发 D 触发器组成 5 位异步二进制加法计数器电路。

(二) 课上篇

5.4.4 课中学习——集成计数器及其应用

常用的中规模集成计数器品种较多,主要分为同步计数器和异步计数器两大类,每一类又分为二进制计数器和十进制计数器。下面对部分集成计数器进行介绍。

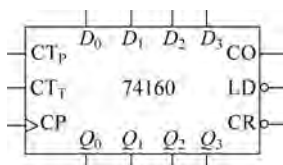


图 5.4.8 74160 的符号图

1. 同步集成计数器

1) 同步十进制计数器 74160

同步十进制加法计数器 74160 的符号图如图 5.4.8 所示。

74160 计数翻转是在时钟信号的上升沿完成的,CT_P、CT_T 是使能控制端,LD 是置数端,CR 是清零端,D₀D₁D₂D₃ 是四个数据输入端(D₃ 为最高位,D₀ 为最低位),Q₀Q₁Q₂Q₃ 是四个数据输出端(Q₃ 为最高位,Q₀ 为最低位),CO 是进位输出端。74160 具有清零、置数、保持以及计数功能。其功能表如表 5.4.3 所示。

表 5.4.3 74160 的功能表

CP	CR	LD	CT _T	CT _P	工作状态
×	0	×	×	×	清零
↑	1	0	×	×	置数
×	1	1	0	×	保持
×	1	1	×	0	保持
↑	1	1	1	1	计数

(1) 异步清零：当 CR=0 时,其他输入任意,可以使计数器立即清零。

(2) 同步置数: 当 $CR=1$ 且 $D_3D_2D_1D_0=DCBA$ 时, 若置数控制信号 $LD=0$, 在 CP 的上升沿到来时, 完成置数操作, 使 $Q_3Q_2Q_1Q_0=DCBA$ 。使能控制信号 CT_T 、 CT_P 的状态不影响置数操作。

(3) 保持: 当 $CR=LD=1$ 时, 若使能控制信号 CT_T (或者 CT_P) 为 0, 都能使计数器保持状态不变。

(4) 计数: 当 $CR=LD=1$ 时, $CT_T=CT_P=1$ 时, 在 CP 的上升沿到来时, 计数器进行计数。

CO 是进位输出信号, $CO=Q_3Q_0CT_T$, 当 $Q_3Q_2Q_1Q_0=1001$ (计数到 9) 且 $CT_T=1$ 时, $CO=1$ 产生进位输出。

与 74160 相似的还有同步二进制计数器 74161, 它是 4 位二进制计数器, 它的进位输出 $CO=Q_3Q_2Q_1Q_0CT_T$ 。

2) 同步二进制计数器 74163

同步二进制加法计数器 74163 的符号图如图 5.4.9 所示。

74163 计数翻转是在时钟信号的上升沿完成的, CT_P 、 CT_T 是使能控制端, LD 是置数端, CR 是清零端, $D_0D_1D_2D_3$ 是四个数据输入端 (D_3 为最高位, D_0 为最低位), $Q_0Q_1Q_2Q_3$ 是四个数据输出端 (Q_3 为最高位, Q_0 为最低位), CO 是进位输出端。74163 具有清零、置数、保持以及计数功能。其功能表如表 5.4.4 所示。从表中不难看出, 除了 CR 位同步清零外, 其余功能与 74160 完全相同, 这里不再赘述。

表 5.4.4 74163 的功能表

CP	CR	LD	CT_T	CT_P	工作状态
↑	0	×	×	×	清零
↑	1	0	×	×	置数
×	1	1	0	×	保持
×	1	1	×	0	保持
↑	1	1	1	1	计数

与 74163 相似的还有同步十进制计数器 74162, 芯片的符号图和功能表完全相同。与 74163 不同的是, 74162 是十进制计数器, 它的进位输出 $CO=Q_3Q_0CT_T$ 。

2. 异步集成计数器 74290

74290 是异步二-五-十进制加法计数器, 逻辑符号图如图 5.4.10 所示。

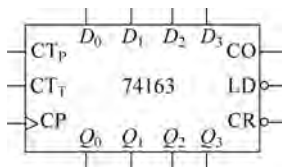


图 5.4.9 74163 的符号图

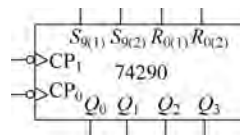


图 5.4.10 74290 的符号图

74290 有 CP_1 、 CP_0 两个时钟脉冲,说明内部触发器并不是受同一个脉冲控制,因此是异步集成计数器,计数翻转在时钟信号的下降沿完成。 CT_P 、 CT_T 是使能控制端, $S_{9(1)}$ 、 $S_{9(2)}$ 是置 9 端, $R_{0(1)}$ 、 $R_{0(2)}$ 是清零端, $Q_3Q_2Q_1Q_0$ 是四个数据输出端。74290 具有清零、置 9 以及计数功能。其功能表如表 5.4.5 所示。

表 5.4.5 74290 的功能表

输 入				输 出		工作模式	
$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	CP_0	CP_1		$Q_3Q_2Q_1Q_0$
1	1	0	×	×	×	0000	异步清零
1	1	×	0	×	×	0000	
×	×	1	1	×	×	1001	异步置 9
$R_{0(1)} R_{0(2)} = 0$		$S_{9(1)} S_{9(2)} = 0$		CP	0	二进制	加法计数
				0	CP	五进制	
				CP	Q_0	8421 十进制	
				Q_3	CP	5421 十进制	

(1) 异步清零: 当 $R_{0(1)} = R_{0(2)} = 1$ 时, $S_{9(1)}$ 、 $S_{9(2)}$ 至少有 1 个为 0, 可以使计数器立即清零。

(2) 异步置 9: 当 $S_{9(1)} = S_{9(2)} = 1$ 时, 可以使计数器立即置 9。

(3) 加法计数: 当 CP 仅送入 CP_0 , 由 Q_0 输出, 电路为二进制加法计数器; 当 CP 仅送入 CP_1 , 由 $Q_3Q_2Q_1$ 输出, 电路为五进制加法计数器; 当 CP 送入 CP_0 , Q_0 接置 CP_1 , 则构成 2×5 十进制加法计数器, $Q_3Q_2Q_1Q_0$ 输出 8421 码; 当 CP 送入 CP_1 , Q_3 接置 CP_0 , 则构成 5×2 十进制加法计数器, $Q_0Q_3Q_2Q_1$ 输出 5421 码。下面具体介绍为什么能构成 8421 码和 5421 码的十进制加法计数器。

74290 包含一个独立的二进制计数器和一个独立的五进制计数器。二进制计数器的时钟输入端为 CP_0 , 输出为 Q_0 ; 五进制计数器的时钟输入端为 CP_1 , 输出为 $Q_3Q_2Q_1$ 。如果将二进制计数器的输出作为五进制计数器的时钟端, 如图 5.4.11 所示。

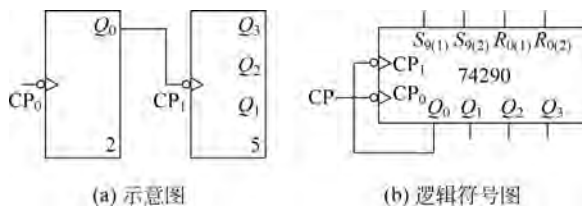


图 5.4.11 74290 构成 8421 码十进制计数器

对于二进制计数器来说,每来一个脉冲, Q_0 就翻转;对于五进制计数器来说,只有 Q_0 的下降沿到来,计数器才会加 1 计数,否则计数器保持不变。根据电路的工作过程,列出电路的状态转换表,如表 5.4.6 所示。注意:此时电路的高低位排列顺序是 $Q_3Q_2Q_1Q_0$ 。

表 5.4.6 图 5.4.11 状态转换表

Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	×	×	×	×
1	0	1	1	×	×	×	×
1	1	0	0	×	×	×	×
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

将五进制计数器的输出 Q_3 作为二进制计数器的时钟端,如图 5.4.12 所示。

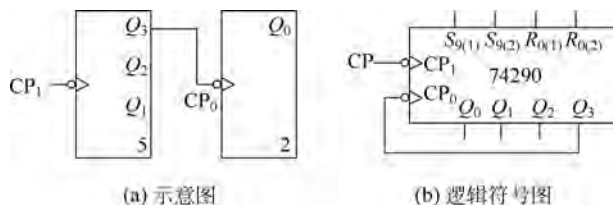


图 5.4.12 74290 构成 5421 码十进制计数器

对于五进制计数器来说,每来一个脉冲,计数器就加 1 计数;对于二进制计数器来说,只有 Q_3 的下降沿到来,计数器输出 Q_0 才会翻转。根据电路的工作过程,列出电路的状态转换表,如表 5.4.7 所示。注意:此时电路的高低位排列顺序是 $Q_0 Q_3 Q_2 Q_1$ 。

表 5.4.7 图 5.4.12 状态转换表

Q_0^n	Q_3^n	Q_2^n	Q_1^n	Q_0^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	1	0	0	0
0	1	0	1	×	×	×	×
0	1	1	0	×	×	×	×

续表

Q_0^n	Q_3^n	Q_2^n	Q_1^n	Q_0^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	1	1	1	×	×	×	×
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	0	0	0	0
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

3. 集成计数器的应用

由于中规模集成计数器体积小、功耗低、可靠性高等特点而获得了广泛应用。但是出于成本方面的考虑,集成计数器的定型产品追求大批量,因而目前市售集成计数器产品主要是应用较广泛的十进制、十六进制等几种产品,在需要其他任意进制计数器时,只能在现有中规模集成计数器基础上,经过外电路的不同连接来实现。这就是集成计数器的应用——任意进制计数器的实现。

假设集成计数器的最大计数值是 N ,而需要得到的计数器的模值是 M ,这时就有 $N > M$ 和 $N < M$ 两种情况。下面分别讨论两种情况下任意进制计数器的实现方法。

1) $N > M$

这种情况下,用一片集成计数器即可实现。

思路:在集成计数器顺序计数的过程中,设法跳过 $N - M$ 个状态。

方法:反馈清零法和反馈置数法。

反馈清零法适用于有置零输入端计数器。其工作原理是: N 进制计数器从全 0 状态 S_0 开始计数,接收了 $M - 1$ 个计数脉冲后电路进入 S_{M-1} 状态,将该状态译码产生一个置零信号加到计数器的置零输入端,则计数器将立刻返回 S_0 状态,这样就跳过了 $N - M$ 个状态而得到 M 进制计数器,如图 5.4.13(a)所示。

反馈置数法适用于有置数输入端的计数器。与反馈清零法的区别在于,它是通过给计数器置入某个数值的方法来跳过 $N - M$ 个状态,从而获得 M 进制计数器,如图 5.4.13(b)所示,置数操作可以在电路的任何一个状态下进行。

例 5.4.1 试利用同步十进制计数器 74160 实现六进制计数器。

解: 74160 既有清零端又有置数端,所以两种方法均可采用。

(1) 反馈清零法。

按照反馈清零法的工作原理,当计数器计数到 $Q_3 Q_2 Q_1 Q_0 = 0101 (S_{M-1} \text{ 状态})$ 时,担任译码电路的与非门输出低电平使得 74160 芯片的清零端 CR 有效,使得计数器回到 0000 状态。如果取 5 作为反馈,5 的状态仅持续一个与非门的传输延迟时间,而这

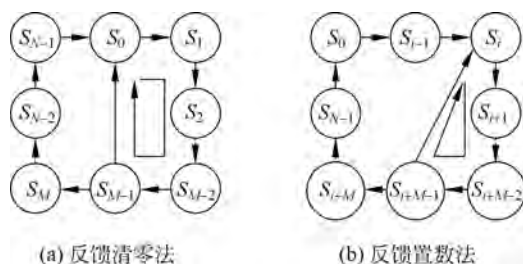


图 5.4.13 任意进制计数器的实现方法

个时间非常短(纳秒级),因此在稳定的状态循环中不包括 5。因此,对于异步清零的芯片,需要多取一个状态 S_M 作为反馈。但是对于同步清零的芯片,因为清零的动作不仅与清零端有关,还与 CP 有关,所以只需要取有效循环的最后一个状态 S_{M-1} 作为反馈,如图 5.4.14 所示。

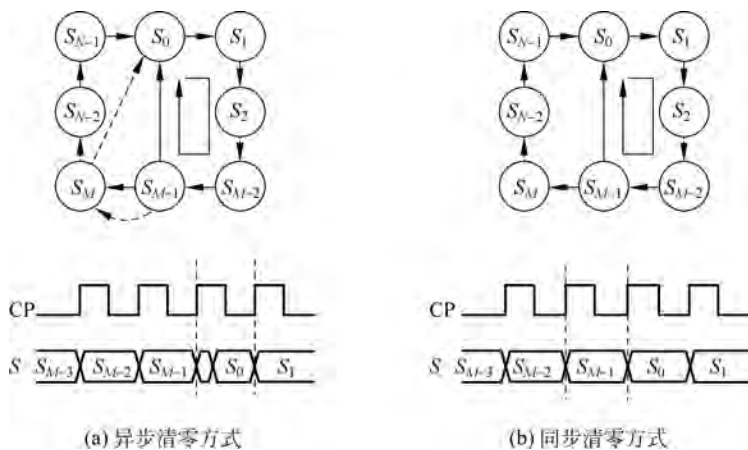


图 5.4.14 反馈清零法的两种清零方式

因此,74160 采用反馈清零法实现六进制计数器必须多取一个状态 6 作为反馈,如图 5.4.15 所示。

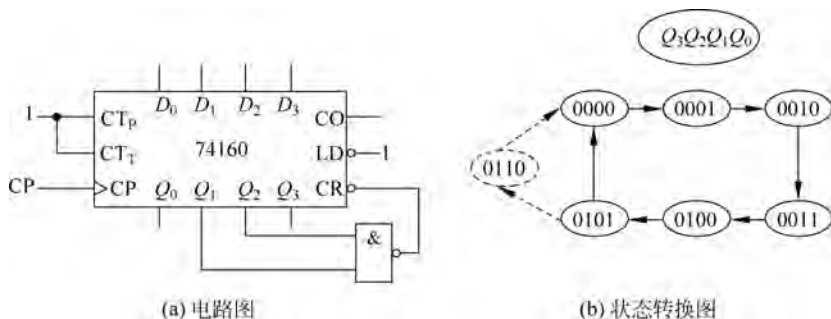


图 5.4.15 74160 用反馈清零法实现六进制计数器(取 6 作为反馈)



仿真视频

图 5.4.15 所示电路由于置零信号被置零而立即消失,所以置零信号持续时间较短。芯片内部触发器的复位速度有快有慢,可能慢的触发器还没来得及复位置零信号就消失了,导致电路误动作,因此这种接法电路的可靠性不高。为了克服该缺点,采用图 5.4.16 所示电路,将基本 RS 触发器 $\bar{Q}$ 输出的低电平作为计数器的置零信号,利用基本 RS 触发器的记忆功能将电路进入 0110 状态时的置零信号维持住,直到计数脉冲回到低电平以后,基本 RS 触发器被置零, $\bar{Q}$ 输出的低电平信号才消失。这样,加到计数器 CR 端的置零信号与输入脉冲 CP 的高电平持续时间相等,同时进位输出脉冲也可以从基本 RS 触发器的 Q 端引出,这个脉冲的宽度与计数脉冲高电平宽度相等。

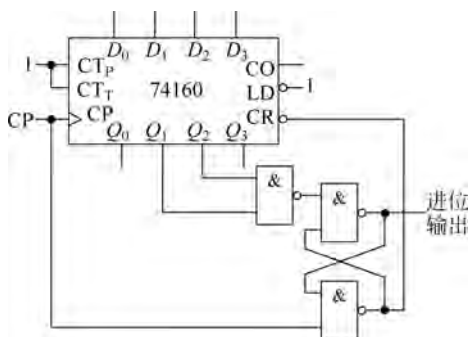


图 5.4.16 图 5.4.15 的改进电路

(2) 反馈置数法。

反馈置数法可以从计数循环中的任意一个状态置入,这里主要介绍两种方案。

① 从 0000 开始。计数范围为 0000~0101,由于 74160 是同步清零,因此取有效循环的最后一个数 5 作为反馈,如图 5.4.17 所示。

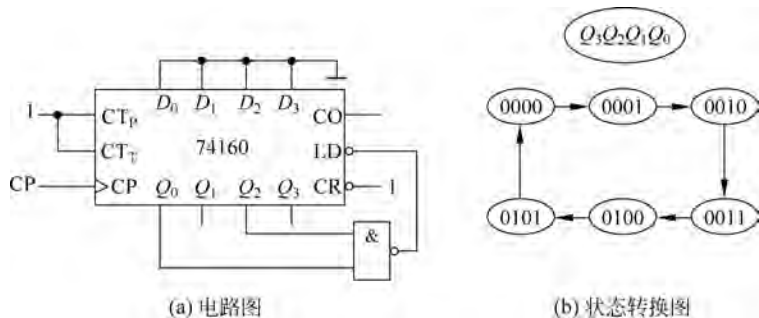


图 5.4.17 74160 用反馈置数法实现六进制计数器(从 0000 开始)

② 从 0100 开始。计数范围为 0100~1001,由于 74160 是同步清零,因此取有效循环的最后一个数 9 作为反馈,由于计数器计到 9(最大数)时,计数器的进位输出 CO 输出为 1,因此也可以用进位输出作为置数译码信号,如图 5.4.18 所示。

总结: 当 $N > M$ 时,用一片集成计数器加反馈控制即可实现。

思路: 跳过 $(N - M)$ 个状态。

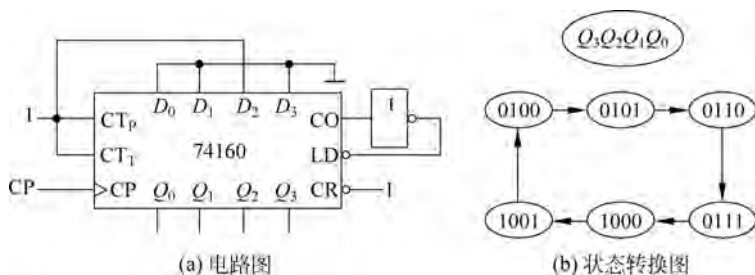


图 5.4.18 74160 用反馈置数法实现六进制计数器(从 0100 开始)

方法：反馈清零法和反馈置数法。

原理：通过芯片的清零或者置数引脚，当计数到 M 个状态时产生清零/置数译码信号，使得芯片清零或置数，从而跳过 $N-M$ 个状态，如图 5.4.13 所示。

注意：不管是反馈清零法还是反馈置数法，关键看集成芯片的清零或置数方式，如果是异步，需要多取一个数作为反馈；如果是同步，取有效循环中的最后一个数作为反馈。

2) $N < M$

这种情况下，需要用多片 N 进制计数器组合起来，才能构成 M 进制计数器。

方法：整体法和分体法。

(1) 整体法。

其工作原理是先用多片 N 进制计数器级联，组成 $N \times \cdots \times N$ 进制计数器，再利用芯片的清零或者置数引脚通过反馈控制电路跳过 $N \times \cdots \times N - M$ 个状态，从而实现 M 进制计数器。级联分为同步级联和异步级联，下面以两片同步十进制加法计数器 74160 芯片的连接为例详细介绍两种级联方式。

同步级联是指所有计数器使用同一时钟信号，将前一级计数器的进位输出作为后一级计数器的使能信号，以获得计数容量更大的计数器。

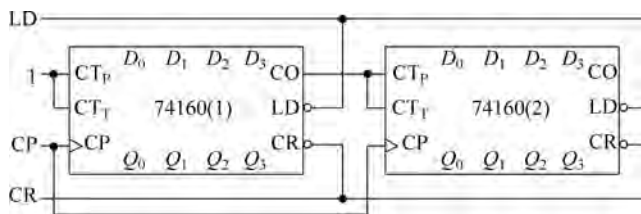


图 5.4.19 74160 的同步级联

如图 5.4.19 所示，两片 74160 采用同步级联方式构成一百进制加法计数器。两片 74160 共用 CP，低位片(74160(1))使能信号 $CT_T = CT_P = 1$ ，所以总是工作在计数状态；而高位片(74160(2))使能信号 CT_T, CT_P 接低位片进位输出 CO，所以只有当低位片计数到最大值 1001 时， $CO = 1$ ，使得高位片使能信号 $CT_T = CT_P = 1$ ，满足计数条件，在下一个脉冲到来时，低位片回零，高位片加 1，实现了进位。

异步级联是指所有计数器没有共用同一时钟信号,将前一级计数器的进位输出作为后一级计数器的时钟信号,以获得计数容量更大的计数器。

如图 5.4.20 所示,两片 74160 采用异步级联方式构成一百进制加法计数器,外部时钟信号 CP 接至低位片(74160(1))CP 端,使得低位片处于计数状态。当低位片计数值由 1001 回到 0000 时,低位片的进位输出 CO 发一个进位脉冲下降沿,而 74160 芯片的有效边沿是上升沿,因此需要通过非门送至高位片的时钟端,使得低位片回零,高位片加 1,实现了进位。

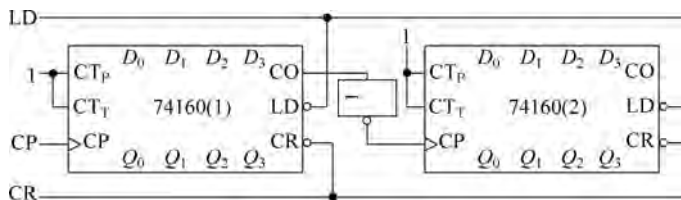


图 5.4.20 74160 的异步级联

例 5.4.2 试利用同步十进制计数器 74160 实现六十进制计数器。

解：芯片 74160 是同步十进制加法计数器,而要实现的是六十进制计数器,很显然一片芯片无法实现,因此需要两片芯片采用级联方式实现一百进制计数器,将两片芯片看作一个整体,整体计数器的模值是 $100 > 60$,利用清零或者置数引脚跳过 $100 - 60$ 个状态,实现六十进制计数器。

反馈清零法。如图 5.4.21 所示,两片 74160 芯片采用同步级联的方式实现一百进制计数器。采用反馈清零法,因此计数器的计数范围为 $0 \sim 59$,由于 74160 芯片是异步清零方式,因此取 60 作为反馈数,当计数器计数到 60,即 01100000 时,担任译码电路的与非门输出低电平使得两片 74160 芯片的清零端 CR 处在有效状态,计数器回到 0 状态。

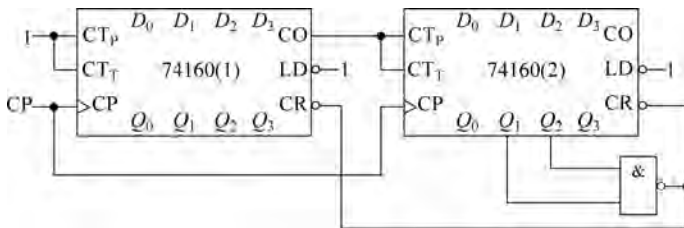


图 5.4.21 反馈清零法实现六十进制计数器

反馈置数法。如图 5.4.22 所示,两片 74160 采用同步级联方式实现一百进制计数器。反馈置数法可以从计数循环中任意一个状态置入,假如从 0 开始,计数范围依然是 $0 \sim 59$ 。

反馈置数法与反馈清零法的区别: ① 初始数 0 需要从数据输入端体现; ② 由于 74160 是同步置数方式,因此取 59 作为反馈数,当计数器计数到 59,即 01011001 时,担任译码电路的与非门输出低电平使得两片 74160 的置数端 LD 处在有效状态,下一个脉冲到来,计数器回到起始数 0 状态。



仿真视频

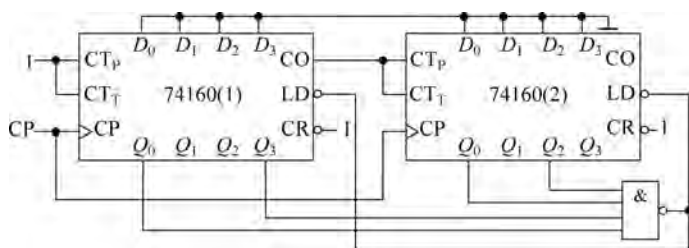


图 5.4.22 反馈置数法实现六十进制计数器

(2) 分体法。

其工作原理是将 M 分解为两个小于 N 的因数相乘，即 $M = N_1 \times N_2$ ，然后将 N_1 进制计数器和 N_2 进制计数器连接起来构成 M 进制计数器。注意：当 M 为大于 N 的素数时，不能分解为 N_1 和 N_2 ，分体法就行不通了，此时必须采用整体法实现 M 进制计数器。

例 5.4.3 试利用同步十进制计数器 74160 采用分体法实现六十进制计数器。

解： $60 = 10 \times 6$ ，因此用两片 74160 分别实现十进制和六进制，十进制作为低位芯片，六进制作为高位芯片，将低位芯片的进位输出作为高位芯片的使能信号，而两片芯片共用同一个 CP，电路如图 5.4.23 所示。片 74160(1) 是低位芯片，使能信号处于有效，由于 74160 就是十进制计数器，因此只需将 CR 和 LD 处于无效，在时钟脉冲 CP 的作用下处于计数状态即可实现十进制。片 74160(2) 是高位芯片，采用反馈清零法实现六进制。将低位芯片的进位输出作为高位芯片的使能信号，当低位芯片计数到最大值 1001 时， $CO = 1$ ，使得高位片的使能信号 $CT_T = CT_P = 1$ ，满足计数条件，在下一个脉冲到来时，低位片回零，高位片加 1，实现了进位，最终实现六十进制计数器。

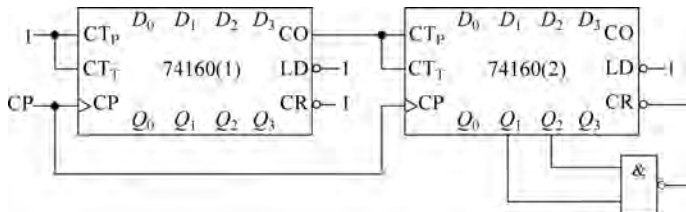


图 5.4.23 分体法实现六十进制计数器

总结：当 $N < M$ 时，用多片集成计数器加反馈控制即可实现。

方法：整体法和分体法。

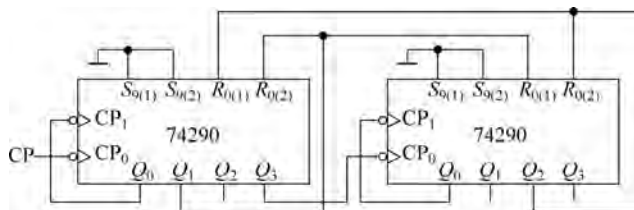
原理：整体法先用多片 N 进制计数器通过同步级联或异步级联组成 $N \times \dots \times N$ 进制计数器，再利用芯片的清零或者置数引脚通过反馈控制电路跳过 $N \times \dots \times N - M$ 个状态，从而实现 M 进制计数器。分体法将 M 分解为若干小于 N 的因数相乘，即 $M = N_1 \times \dots \times N_i$ ，然后将多个小于 N 的计数器连接起来实现 M 进制计数器。

(三) 课后篇

5.4.5 课后巩固——练习实践

1. 知识巩固练习

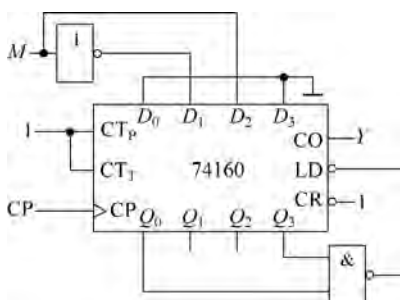
5.4.5.1 分析题图 5.4.5.1 所示电路的逻辑功能。



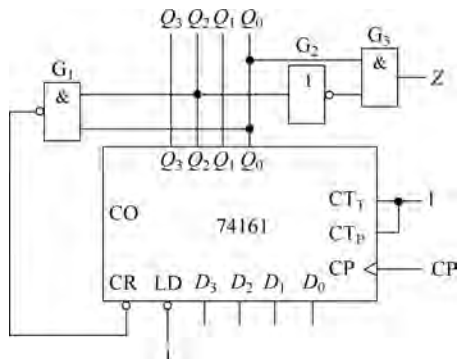
题图 5.4.5.1

5.4.5.2 分析题图 5.4.5.2 所示的计数器在 $M=1$ 和 $M=0$ 时各为几进制。

5.4.5.3 分析题图 5.4.5.3 所示电路的逻辑功能。

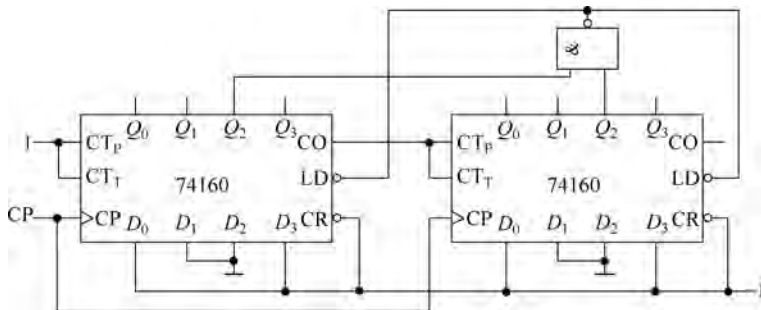


题图 5.4.5.2



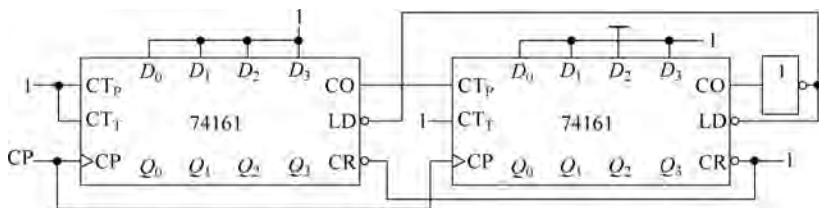
题图 5.4.5.3

5.4.5.4 题图 5.4.5.4 所示由 74160 构成的计数器,要求:(1)指出计数器的计数范围和计数长度;(2)用 74161 构成范围和长度与之相同的计数器;(3)用 74290 构成范围和长度与之相同的 5421 码计数器。



题图 5.4.5.4

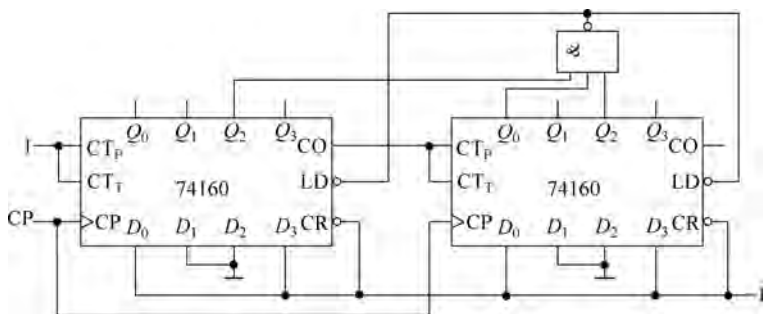
5.4.5.5 题图 5.4.5.5 所示电路由 74161 构成的计数器,要求:(1)分析该计数器的计数范围及计数长度;(2)用 74162 实现与(1)计数长度相同的计数器。



题图 5.4.5.5

5.4.5.6 试分别用 74160 和 74161 及最少的门电路实现计数长度为 8,计数范围 6~9,0~3 的计数器。

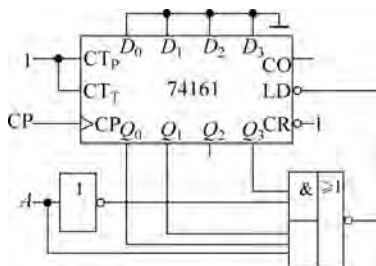
5.4.5.7 (1)分析题图 5.4.5.7 所示 74160(十进制、异步清零同步置数器件)构成的计数器,指出计数范围和计数长度。(2)用 74290(二-五-十进制、异步清零异步置 9 器件)构成与图示电路计数范围和计数长度相同的 5421 码计数器。



题图 5.4.5.7

5.4.5.8 用同步十进制计数器芯片 74162 设计一个三百六十五进制的计数器,要求各位间为十进制关系,允许附加必要的门电路。

5.4.5.9 题图 5.4.5.9 所示电路是可变进制计数器,试分析当控制变量 A 为 1 和 0 时电路各为几进制计数器。



题图 5.4.5.9



讲解视频



讲解视频



讲解视频



讲解视频



讲解视频



讲解视频



讲解视频

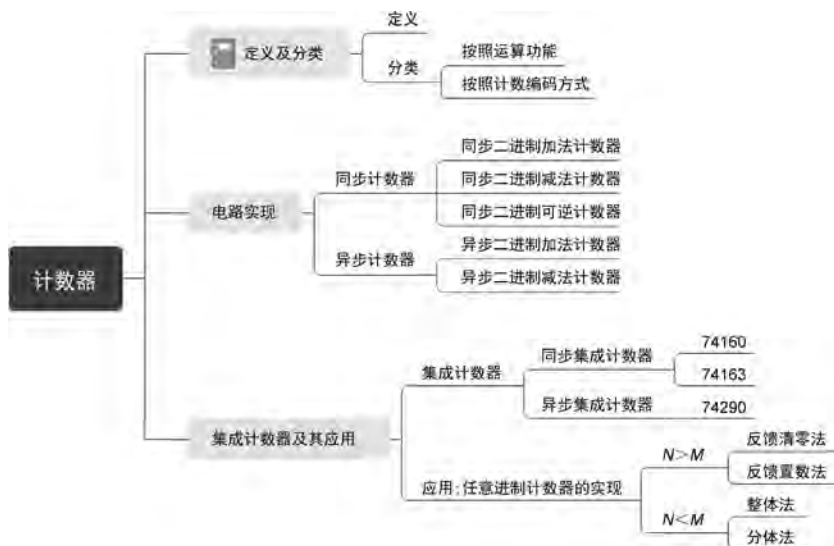


讲解视频

2. 工程实践练习

5.4.5.10 利用口袋实验包完成 24 小时制数字电子钟电路搭建与调试,要求:能够显示小时、分钟、秒;能够手动校时校分;具有整点报时功能。

5.4.6 本节思维导图



知识拓展——中国 CPU 第一芯：龙芯

集成电路国产化进程

CPU(中央处理器)作为集成电路中的重要元器件,一直是国家集成电路发展的标志性芯片。如果没有 CPU 的国产化与自主化,国家信息安全将无从谈起。我国的第一个 CPU 芯片研制开始于 2001 年中国科学院计算机研究所成立的一个芯片研发课题组,2002 年 8 月 10 日,首片“龙芯 1 号”XIA50 流片成功,这一天称为龙芯誕生日。经过 20 年的发展,“龙芯 2 号”“龙芯 3 号”一系列产品应用到金融、通信、教育、交通、军工各个领域,尤其是 2021 年龙芯拿出了“自主芯片+自主指令+自主操作系统”三大杀手锏,分别对应新一代 3A5000/3C5000L 芯片、LoongArch 自主指令集、信息行业的 Loongnix 以及工控类的 LoongOS 操作系统,实现我国 CPU 从硬到软到系统的全国产化。

5.5 同步时序逻辑电路的设计方法

(一) 课前篇

本节导学单

1. 学习目标

根据《布鲁姆教育目标分类学》，从知识维度和认知过程两方面进一步细化本节课的教学目标，明确学习本节课所必备的学习经验。

知识维度	认知过程					
	1. 回忆	2. 理解	3. 应用	4. 分析	5. 评价	6. 创造
A. 事实性知识	回忆触发器的基本概念	说出序列信号发生器和序列信号检测器的基本概念				
B. 概念性知识	回忆常用触发器的逻辑符号、真值表、特性方程以及状态转换图	阐释等价状态的概念	应用等价状态的基本概念，判断电路状态转换图是否最简			
C. 程序性知识	回忆触发器多种表示方法之间的转换	阐释触发器个数与电路状态个数之间的关系	列举同步时序逻辑电路的设计步骤，解答每一个步骤所起的作用	根据同步时序逻辑电路的设计步骤，设计计数器 and 序列信号检测器	对比同步时序逻辑电路设计和同步时序逻辑电路分析步骤	利用集成芯片设计应用电路，会借助仿真软件进行验证，会利用口袋实验包进行电路搭建与调试
D. 元认知知识	明晰学习经验是理解新知识的前提		根据概念及学习经验迁移得到新理论的能力	将知识分为若干任务，主动思考，举一反三，完成每个任务	通过类比学习是知识整合吸收的过程	通过电路的设计、仿真、搭建、调试，培养工程思维

2. 导学要求

根据本节的学习目标,将回忆、理解、应用层面学习目标所涉及的知识点课前自学完成,形成自学导学单。



5.5.1 课前自学——同步时序逻辑电路的设计步骤

同步时序逻辑电路的设计步骤(图 5.5.1)如下:

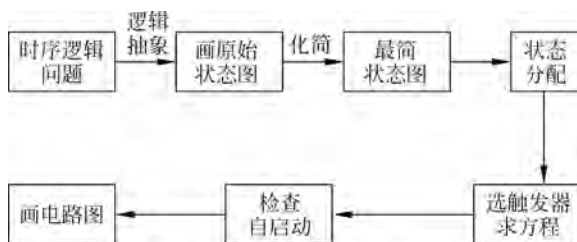


图 5.5.1 同步时序逻辑电路的设计步骤

(1) 逻辑抽象。根据设计要求,确定输入、输出变量以及电路的状态数目。通常将引起事件的原因作为输入变量,将事件的结果作为输出变量。定义输入变量、输出变量的逻辑状态,确定电路每个状态含义并进行编号。根据设计要求,画出电路的状态转换图。

(2) 状态化简。为了使设计电路达到最简单,需检查电路的状态转换图是否最简单。状态转换图中状态数越少,设计出来电路就越简单。如果电路的两个状态在相同输入的条件下有相同的输出,同时转换到相同的次态,则这两个状态为等价状态,可以合并。

(3) 状态分配。将时序逻辑电路中的状态用触发器状态的不同组合来表示,需要首先确定触发器个数 n 。触发器个数 n 与电路状态个数 M 满足下列关系:

$$2^n \geq M > 2^{n-1} \quad (5.5.1)$$

为了便于记忆和识别,一般选用的状态编码和它们的排列顺序都遵循一定的规律。

(4) 选定类型,求出方程。不同触发器的驱动方式不同,选用不同的触发器设计出的电路也不一样。因此,在设计具体电路前必须选定触发器的类型。根据状态转换表以及采用的触发器的逻辑功能,即可得出待设计电路的输出方程和驱动方程。

(5) 检查自启动。当电路有效状态不是 2^n 时,应检查设计电路能否自启动。若电路不能够自启动,则需要重新设计电路,或者在电路开始工作时通过预置数将电路状态置成有效循环中的一种。

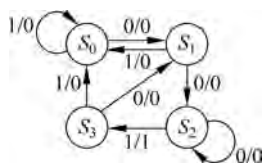
(6) 画电路图。根据驱动方程和输出方程画出电路图。

同步时序逻辑电路设计步骤与分析过程正好相反。

5.5.2 课前自学——预习自测

5.5.2.1 根据同步时序逻辑电路的设计步骤,试画出五进制加法计数器的状态转换图、状态转换表。

5.5.2.2 某时序逻辑电路的状态转换图如题图 5.5.2.2 所示,该图中是否有等效状态? 如果有,画出简化后的状态转换图。



题图 5.5.2.2

(二) 课上篇

5.5.3 课中学习——同步时序逻辑电路设计举例

例 5.5.1 试设计一个带进位输出端的同步五进制加法计数器。

解: (1) 逻辑抽象,确定输入、输出及状态数目。

根据设计要求,该电路无输入变量,有进位输出 CO,电路状态数目为 5,分别用 S_0 、 S_1 、 S_2 、 S_3 、 S_4 表示。

(2) 根据设计要求,画出状态转换图,如图 5.5.2 所示。显然,该状态转换图是最简单的,不需化简。

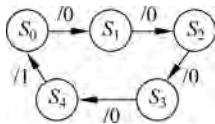


图 5.5.2 例 5.5.1 状态转换图

(3) 状态分配,列状态转换表。根据式(5.5.1),五个状态需要三个触发器,为了便于记忆与识别, S_0 用 000 表示, S_1 用 001 表示, S_2 用 010 表示, S_3 用 011 表示, S_4 用 100 表示。根据图 5.5.2 所示的状态转换图画出对应的状态转换表,如表 5.5.1 所示。由于计数器正常工作时不会出现 101、110、111 三个状态,因此三个状态看作无关项,状态转换表中用“×”表示。

表 5.5.1 例 5.5.1 状态转换表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CO
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	×	×	×	×
1	1	0	×	×	×	×
1	1	1	×	×	×	×

(4) 选择 JK 触发器, 求方程。

根据状态转换表, 可以画出 Q_2^{n+1} 、 Q_1^{n+1} 、 Q_0^{n+1} 、CO 卡诺图, 如图 5.5.3 所示。

从 Q_2^{n+1} 卡诺图中不难看出, 利用无关项可以使得 Q_2^{n+1} 表达式更简单。之所以不借助无关项, 是因为借助无关项虽然表达式最简单 $Q_2^{n+1} = Q_1^n Q_0^n$, 但要根据状态方程和 JK 触发器特性方程 $Q^{n+1} = JQ^n + \bar{K}Q^n$, 最终求出 J 、 K 表达式。借助于无关项已经将 Q_2^n 消去, 不好直接确定 J 、 K 表达式。可见, 最简和最佳可能是一对矛盾的两方面。

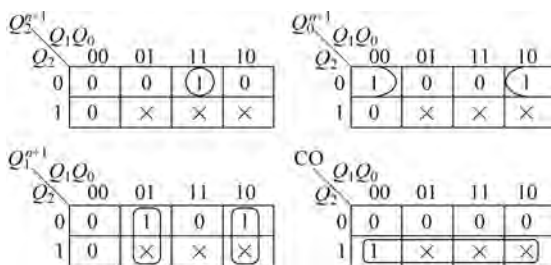


图 5.5.3 例 5.5.1 电路次态和输出的卡诺图

根据卡诺图可以得出电路的状态方程和输出方程为

$$\begin{cases} Q_2^{n+1} = \bar{Q}_2^n Q_1^n Q_0^n \\ Q_1^{n+1} = \bar{Q}_1^n Q_0^n + Q_1^n \bar{Q}_0^n \\ Q_0^{n+1} = \bar{Q}_2^n \bar{Q}_0^n \\ CO = Q_2^n \end{cases}$$

由状态方程和触发器特性方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$, 得出电路驱动方程为

$$\begin{cases} J_2 = Q_1^n Q_0^n \\ K_2 = 1 \end{cases}, \quad \begin{cases} J_1 = Q_0^n \\ K_1 = Q_0^n \end{cases}, \quad \begin{cases} J_0 = \bar{Q}_2^n \\ K_0 = 1 \end{cases}$$

(5) 检查自启动。

根据第 1 章含有无关项的卡诺图化简可知, 在卡诺图中用符号“×”表示无关项。在化简函数时既可以认为它是 1, 也可以认为它是 0。与 1 一起画在圈内它就是 1, 否则它

就是0。根据图5.5.3所示的卡诺图可以直接读出 $101 \rightarrow 010, 110 \rightarrow 010, 111 \rightarrow 000$,因此电路可以自启动。

(6) 根据驱动方程和输出方程画出电路图,如图5.5.4所示。

例 5.5.2 用下降沿触发的 JK 触发器设计高电平输出的同步 001 序列信号检测器。该检测器有一个输入端 X , 它的功能是对输入信号进行检测, 当连续输入 001 时, 该电路输出 $Y=1$, 否则输出 $Y=0$ 。

解: (1) 逻辑抽象, 确定输入、输出及状态数目。

根据设计要求, 取输入数据为输入变量, 用 X 表示; 取检测结果作为输出变量, 用 Y 表示。设电路在没有收到 0 时的状态为 S_0 , 收到一个 0 后的状态为 S_1 , 连续收到两个 0 后的状态为 S_2 , 连续收到 001 后的状态为 S_3 。

(2) 根据题意画出状态转换图, 如图 5.5.5 所示。

(3) 状态化简。

比较状态 S_0 和 S_3 即可发现, 它们在相同输入下有相同输出, 进入相同的次态。因此, S_0 和 S_3 为等价状态, 可以合并, 于是可得到图 5.5.6 化简后的状态转换图。

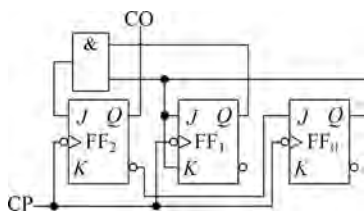


图 5.5.4 例 5.5.1 电路

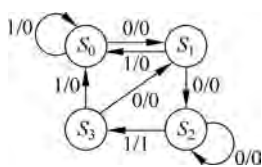


图 5.5.5 例 5.5.2 状态转换图

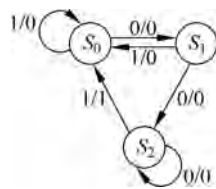


图 5.5.6 例 5.5.2 化简后的状态转换图

(4) 状态分配。

该电路有 3 个状态, 根据式 (5.5.1) 可知触发器个数为 2。取触发器 Q_1Q_0 状态为 00、01、11, 分别代表 S_0 、 S_1 、 S_2 , 根据图 5.5.6 可得出该电路状态转换表, 如表 5.5.2 所示。

表 5.5.2 例 5.5.2 状态转换表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	1	0
0	0	1	1	1	0
0	1	0	×	×	×
0	1	1	1	1	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	×	×	×
1	1	1	0	0	1

(5) 选择 JK 触发器, 求方程。

根据状态转换表可画出 Q_1^{n+1} 、 Q_0^{n+1} 的卡诺图, 如图 5.5.7 所示。

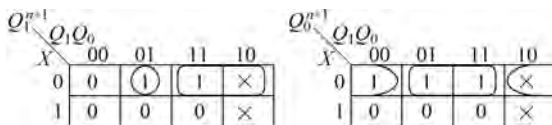


图 5.5.7 例 5.5.2 电路次态的卡诺图

由于采用 JK 触发器, 根据其特性方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$, 卡诺图画圈的原则: 在保留 Q_i^n 或 $\bar{Q}_i^n$ 的前提下, 尽可能借助无关项使状态方程最简单。

根据卡诺图可以得出电路的状态方程:

$$\begin{cases} Q_1^{n+1} = \bar{X}\bar{Q}_1^n Q_0^n + \bar{X}Q_1^n \\ Q_0^{n+1} = \bar{X}\bar{Q}_0^n + \bar{X}Q_0^n \end{cases}$$

电路的输出方程为

$$Z = XQ_1^n Q_0^n$$

根据状态方程和触发器的特性方程可得出驱动方程为

$$\begin{cases} J_1 = \bar{X}Q_0^n \\ K_1 = X \end{cases}, \quad \begin{cases} J_0 = \bar{X} \\ K_0 = X \end{cases}$$

(6) 检查自启动。

根据第 1 章含有无关项的卡诺图化简可知, 在卡诺图中用符号“×”表示无关项。在化简函数时既可以认为它是 1, 也可以认为它是 0。与 1 一起画在圈内它就是 1, 否则它就是 0。根据图 5.5.7 所示的卡诺图可以直接读出以 10 作为现态, 在输入为 0 的情况下次态为 11, 输出为 0;

以 10 作为现态, 在输入为 1 的情况下次态为 00, 输出为 0。因此, 电路可以自启动。

(7) 根据驱动方程和输出方程画出电路图, 如图 5.5.8 所示。

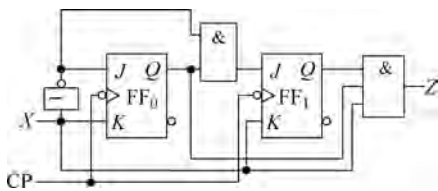


图 5.5.8 例 5.5.2 电路图

(三) 课后篇

5.5.4 课后巩固——练习实践

1. 知识巩固练习

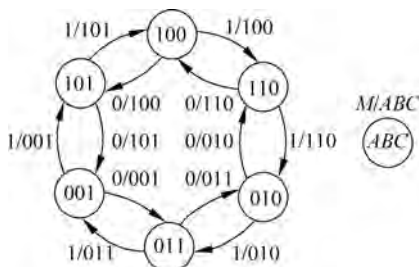
5.5.4.1 试分别用下降沿触发的 JK 触发器设计一个可重复触发的 101 序列信号检测器和一个不可重复触发的 101 序列信号检测器。

5.5.4.2 试用 JK 触发器和门电路设计一个同步七进制加法计数器, 并检查设计电路能否自启动。



5.5.4.3 试用下降沿触发的 D 触发器设计一个 1010 序列检测器,输入为串行编码序列,输出为检出信号。

5.5.4.4 设计一个控制步进电动机三相六状态工作的逻辑电路。若用 1 表示电动机绕组截止,则 3 个绕组 ABC 的状态转换图如题图 5.5.4.4 所示。 M 为输入控制变量,当 $M=1$ 时,电动机为正转,当 $M=0$ 时,电动机为反转。



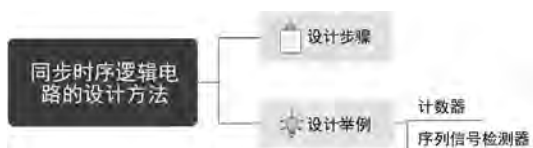
题图 5.5.4.4

5.5.4.5 试用边沿 JK 触发器设计一个同步可控模三计数器,当控制端 $X=0$ 时完成加法运算, $X=1$ 时完成减法运算,进借位输出公用端为 Z 。

2. 工程实践练习

5.5.4.6 设计一个自动售饮料机电路。投币口每次只能投入一枚五角或一元硬币。投入一元五角钱硬币后机器自动给出一杯饮料;投入两元(两枚一元)硬币后,在给出饮料同时找回一枚五角的硬币。利用口袋实验包完成自动售饮料机电路搭建与调试。

5.5.5 本节思维导图



知识拓展——GPU 国产先锋：景嘉微

集成电路国产化进程

每一个爱玩游戏的人都知道独立显卡的重要性,也知道英伟达这家图形处理器(Graphics Processing Unit, GPU)芯片设计公司,2020 年它超越英特尔公司成为美国市值最高的芯片厂商。在中国有一家被称为“中国英伟达”的公司——长沙景嘉微电子股份有限公司(简称景嘉微),它主要有图形显控领域产品、小型专业化雷达领域产品和 GPU 芯片领域产品。例如, JM5400、JM7200 和 JM9 系列 GPU 都是独立自主国产 GPU。

5.6 用 Verilog HDL 描述时序逻辑电路

前面学习了各种时序逻辑电路功能模块,利用 Verilog HDL 可以实现硬件电路设计,本节将介绍时序逻辑电路的三种建模技巧。

(一) 课前篇

本节导学单

1. 学习目标

根据《布鲁姆教育目标分类学》,从知识维度和认知过程两方面进一步细化本节课的教学目标,明确学习本节课所必备的学习经验。

知识维度	认知过程					
	1. 回忆	2. 理解	3. 应用	4. 分析	5. 评价	6. 创造
A. 事实性知识						
B. 概念性知识	回忆 C 语言运算符	阐释结构化建模的基本思想				
C. 程序性知识	回忆条件语句、循环语句、多路分支语句的语法规则。回忆移位寄存器、计数器的逻辑功能		应用 Verilog HDL 描述移位寄存器、计数器	分析 Verilog HDL 程序,得出程序所描述的逻辑功能		设计时序逻辑电路,会借助仿真软件进行验证,会利用 FPGA 开发板进行电路搭建与调试
D. 元认知知识	明晰学习经验是理解新知识的前提		根据基本思想及学习经验迁移得到新理论的能力			通过电路的设计、仿真、搭建、调试,培养工程思维

2. 导学要求

根据本节的学习目标,将回忆、理解、应用层面学习目标所涉及的知识点的课前自学完成,形成自学导学单。



5.6.1 课前自学——移位寄存器的 Verilog 建模

5.3.3 节介绍了集成移位寄存器 74194 的逻辑符号及功能,本节用 Verilog HDL 描述 74194 的逻辑功能。描述代码如下:

```

module shift74194 (
    input S1,S0,                //功能选择端口声明
    input Ds1, Dsr,             //串行数据输入端口声明
    input CP, CR,               //时钟和清零输入端口声明
    input [3:0]D,               //并行数据输入端口声明
    output reg [3:0]Q           //输出端口及变量数据类型声明
);
always @ (posedge CP, negedge CR)
if(~CR) Q<= 4'b0000;           //实现异步清零功能
else
case({S1, S0})
2'b00: Q<= Q;                 //输出保持不变
2'b01: Q<= {Q[2:0],Dsr};      //右移
2'b10: Q<= {Ds1, Q[3:1]};     //左移
2'b11: Q<= D;                //并行置数
endcase
endmodule
  
```

从程序代码的结构来看,整个代码分为端口声明和逻辑功能描述两部分。首先对于 74194 芯片的输入、输出端口进行声明,接下来对于 74194 的异步清零、保持、左移、右移、置数这五种逻辑功能进行描述。

当清零信号 $CR=0$ 时,输出立即置 0; 当 $CR=1$ 时,与时钟信号相关的四种功能由 case 语句的两个选择输入信号 S1、S0 决定。移位通过串行输入和触发器的输出拼接起来描述的,例如:

```
Q<= {Q[2:0],Dsr};
```

说明了右移的操作,即在时钟信号 CP 上升沿到来时,将右移串行输入端 Dsr 的数据直接传给输出 Q[0],而 Q[2:0]传给 Q[3:1],完成了将数据右移 1 位的操作,注意:由于计算机中规定输出排列顺序是 $Q_3Q_2Q_1Q_0$,而芯片本身默认的排列顺序是 $Q_0Q_1Q_2Q_3$,因此代码中描述的右移、左移是针对芯片本身默认的排列顺序而言。

5.6.2 课前自学——预习自测

5.6.2.1 试用 Verilog HDL 描述图 5.3.6 所示电路,并用 Quartus II 软件进行逻辑功能仿真,给出仿真波形。

(二) 课上篇

5.6.3 课中学习——计数器的 Verilog 建模

5.4.2 节介绍了同步二进制计数器和异步二进制计数器的电路实现,本节用 Verilog HDL 描述同步二进制计数器、异步二进制计数器以及同步十进制计数器的逻辑功能。

1. 同步二进制计数器

```
module syncounter(
    output Q0, Q1, Q2;           //输出端口声明
    input CP;                   //输入端口声明
);
    JK_FF FF0 ( Q0, Q0not, 1, 1, CP); //实例化 JK 触发器
    JK_FF FF1 ( Q1, Q1not, Q0, Q0, CP);
    JK_FF FF2 ( Q2, Q2not, Q0&Q1, Q0&Q1, CP);
endmodule

module JK_FF ( output reg Q, output Qnot, input J, K, CP ); //JK 触发器模块
    assign Qnot = ~Q;
    always @ (negedge CP)
        case({J,K})
            2'b00: Q <= Q;
            2'b01: Q <= 1'b0;
            2'b10: Q <= 1'b1;
            2'b11: Q <= ~Q;
        endcase
endmodule
```

从代码中不难看出,该程序采用结构化描述方式,第一个模块通过三次调用第二个模块完成计数功能,作为底层的第二个模块是下降沿触发的 JK 触发器。在第一个模块中,第一个触发器 FF0 的 J、K 接 1,实现 T' 触发器的功能。第二个触发器 FF1 的 J、K 接前一个触发器的输出 Q_0 ,第三个触发器 FF2 的 J、K 是前两个触发器输出相与,三个

触发器的时钟信号都接 CP, 因此是同步二进制计数器。代码描述与图 5.4.1 一致。

2. 异步二进制计数器

```
module ripplecounter(
    output Q0, Q1, Q2;           //输出端口声明
    input CP, CR;               //输入端口声明
);
D_FF FF0 ( Q0, ~Q0, CP, ~CR); //实例化 D 触发器
D_FF FF1 ( Q1, ~Q1, Q0, ~CR);
D_FF FF2 ( Q2, ~Q2, Q1, ~CR);
endmodule

module D_FF ( output reg Q, input D, CP, Rd ); //D 触发器模块
always @ ( negedge CP, negedge Rd)
    if ( ~Rd) Q <= 1'b0;         //实现异步清零功能
    else Q <= D;
endmodule
```

从代码中不难看出, 该程序采用结构化描述方式, 第一个模块通过三次调用第二个模块完成计数功能, 作为底层的第二个模块是带有异步置零的 D 触发器。在第一个模块中, 第一个触发器 FF0 的时钟接外部时钟 CP, 其输出 Q_0 取反后与数据输入 D 相连, 实现 T' 触发器的功能。第二个触发器 FF1 的时钟信号接前一个触发器的输出端, 其输出 Q_1 取反后接数据输入 D 。以此类推, 将三个触发器级联构成异步二进制计数器, 描述与图 5.4.3 类似。

3. 同步十进制计数器

```
module m10_counter(
    output reg[3:0]Q,           //输出端口声明
    input CE, CP, CR;          //输入端口声明
);
always @ ( negedge CP, negedge CR)
    if ( ~CR) Q = 4'b0000;      //实现异步清零功能
    else if (CE)
        begin
            if (Q >= 4'b1001 ) Q <= 4'b0000;
            else Q <= Q + 4'b0001;
        end
    else Q <= Q;
endmodule
```

从代码中不难看出, 该程序描述的是带有使能端和异步清零端的同步十进制计数器。当清零信号 CR 跳变到低电平时, 计数器输出被置 0。当 $CR=1, CE=1$ 时, 在 CP 的上升沿作用下, 计数器值小于 9 时, 计数器的值加 1; 计数值大于或等于 9 时, 计数器的输出被置 0。当 $CR=1, CE=0$ 时, 计数器保持原来的状态不变, 实现了十进制计数器的功能。

5.6.4 课中学习——任意分频的 Verilog 建模

分频在 FPGA 的设计中一直都担任着很重要的角色,而说到分频,很多人都已经想到了利用计数器来计算达到想要的时钟频率,但问题是仅仅利用计数器来分频,只可以实现偶数分频,而如果需要三分频、五分频、七分频等奇数类分频,究竟怎么办? 在这里介绍一个可以实现任意整数分频的方法,这个办法也同样利用了计数器来计算,跟偶数分频不一样的是任意整数分频利用两个计数器来实现。三分频实现的时序图如图 5.6.1 所示。

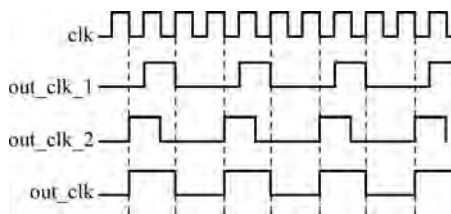


图 5.6.1 三分频实现的时序图

由图 5.6.1 所示的时序图可以知道,奇数分频是利用主时钟信号的上升沿和下降沿产生一对脉冲信号,将两个脉冲信号相或即可实现奇数分频。

理解了基本原理,接下来用代码实现, N 代表着需要多少分频,只要把 N 修改成需要的分频数即可,注意 $N > 1$ 。

```
module divider(clk, rst_n, out_clk);
    input clk, rst_n;           //定义输入时钟,复位信号端口
    output out_clk;             //定义输出时钟信号端口
    parameter N = 6;           //N 是定义几分频
    reg out_clk_1;              //由上升沿产生的时钟信号
    reg [9:0]count_1;           //负责产生上升沿时钟信号的计数器
    always @ (posedge clk or negedge rst_n)
    begin
        if (!rst_n)
        begin
            count_1 <= 10'd0;
            out_clk_1 <= 1'd0;
        end
        else
        begin
            if (N == 2)
                out_clk_1 <= ~out_clk_1;
            else if (count_1 <= ((N - 1'd1)/2) - 1'd1)
            begin
                count_1 <= count_1 + 1'd1;
            end
        end
    end
endmodule
```

```

        out_clk_1 <= 1'd1;
    end
else if (count_1 <= (N - 2'd2))
    begin
        count_1 <= count_1 + 1'd1;
        out_clk_1 <= 1'd0;
    end
else
    begin
        count_1 <= 10'd0;
        out_clk_1 <= 1'd0;
    end
end
end

reg out_clk_2;           //由下降沿产生的时钟信号
reg [9:0]count_1;       //负责产生下降沿时钟信号的计数器
always @ (negedge clk or negedge rst_n)
begin
    if (!rst_n)
    begin
        count_2 <= 10'd0;
        out_clk_2 <= 1'd0;
    end
    else
    begin
        if (N == 2)
            out_clk_2 <= 1'd0;
        else if (count_2 <= ((N - 1'd1)/2) - 1'd1)
            begin
                count_2 <= count_2 + 1'd1;
                out_clk_2 <= 1'd1;
            end
        else if (count_2 <= (N - 2'd2))
            begin
                count_2 <= count_1 + 1'd1;
                out_clk_2 <= 1'd0;
            end
        else
            begin
                count_2 <= 10'd0;
                out_clk_2 <= 1'd0;
            end
    end
end

assign out_clk = out_clk_1 | out_clk_2;

```

endmodule

仿真代码如下:

```

`timescale 1ns/1ps                //仿真时间单位是 ns, 仿真时间精度是 ps
module divider_tb();
    reg clk, rst_n;                //仿真激励时钟, 复位信号
    wire out_clk;                  //仿真输出分频信号
    initial begin
        clk = 0;                   //时钟信号初始化
        rst_n = 0;                 //复位信号初始化
        #200 rst_n = 1;            //200.1ns 之后复位结束
    end

    always #10 clk = ~clk;         //产生 50MHz 的时钟信号
    divider #(.N(3))               //设置 divider 模块中的参数 N
        u1(.clk(clk),              //把激励信号送进 divider 模块
            .rst_n(rst_n),
            .out_clk(out_clk)
        );
endmodule

```

三分频仿真波形图如图 5.6.2 所示, 奇数分频的占空是 50%, clk 的周期是 20ns, 而 out_clk 的周期 $20+40=60(\text{ns})$, 达到了三分频的目标。

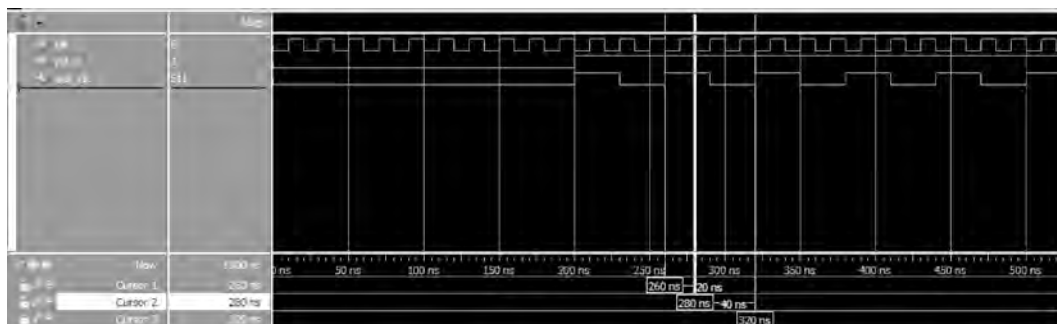


图 5.6.2 三分频仿真波形图

现在把 N 设置成 4, 仿真代码如下:

```

`timescale 1ns/1ps                //仿真时间单位是 ns, 仿真时间精度是 ps
module divider_tb();
    reg clk, rst_n;                //仿真激励时钟, 复位信号
    wire out_clk;                  //仿真输出分频信号
    initial begin
        clk = 0;                   //时钟信号初始化
        rst_n = 0;                 //复位信号初始化
        #200 rst_n = 1;            //200.1ns 之后复位结束
    end

```

```

end

always #10 clk = ~clk; //产生 50MHz 的时钟信号
divider #(.N(4))        //设置 divider 模块中的参数 N
    u1(.clk(clk), //把激励信号送进 divider 模块
        .rst_n(rst_n),
        .out_clk(out_clk)
    );

endmodule

```

四分频仿真波形图如图 5.6.3 所示,奇数分频的占空是 50%,而偶数分频却不是 50%,但偶数分频的目的也达到了,clk 的周期是 20ns,而 out_clk 的周期 $20+60=80$ (ns),达到了四分频的目标。

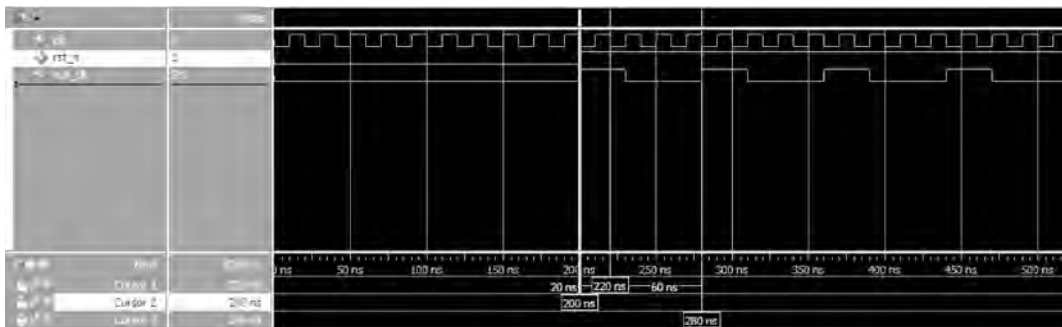


图 5.6.3 四分频仿真波形图

(三) 课后篇

5.6.5 课后巩固——练习实践

1. 知识巩固练习

5.6.5.1 试用 Verilog HDL 描述二-五-十进制计数器 74290 的行为,用 Quartus II 软件实现逻辑功能仿真,并给出仿真波形。

5.6.5.2 试用 Verilog HDL 描述一个 110 序列信号检测器电路,用 Quartus II 软件对模块进行逻辑功能仿真,并给出仿真波形。

2. 工程实践练习

5.6.5.3 利用 FPGA 开发板设计一个具有时、分、秒计时的数字钟电路,按照 24 小时制计时。要求:(1)输出时、分、秒的 8421 码,计时输入脉冲频率为 1Hz;(2)具有分、时校正功能,校正输入脉冲频率为 1Hz;(3)采用分层次、分模块的方法,用 Verilog HDL 进行设计。

5.6.6 本节思维导图



知识拓展——FPGA 在雷达上应用

集成电路先进技术介绍

雷达原理类似于蝙蝠回声定位,由雷达信号产生发送、反馈回波接收和信号处理三部分组成。雷达信号产生包括信号产生、调制、上变频和波束形成等,回波接收包括解调、下变频、滤波、检测和成像等,信号处理包括 A/D 变换和解算出目标距离、方位、高度、速度等参数。随着数字电子技术的不断发展,雷达信号产生调制、回波信号滤波检测都已使用 FPGA 芯片完成,尤其是雷达信号处理使用 FPGA 使雷达信号处理进入了一个新的时代。FPGA 比较易于实现硬件时序控制、高速并行运算和算法编程处理的模块化,而且具有开发周期短、费用低、处理能力强等特点,适应雷达研发需求,因此广泛应用于各类数字雷达设备中。

5.7 8 路彩灯控制电路工程任务实现

5.7.1 基本要求分析

根据图 5.7.1 所示的 8 路彩灯控制电路系统框图,可得出 8 路彩灯控制电路的设计任务:①花型演示电路设计;②花型控制电路设计;③节拍控制电路设计;④时钟信号电路设计。

有了理论知识储备,明晰了系统各个模块的功能,一起来设计各个模块电路。

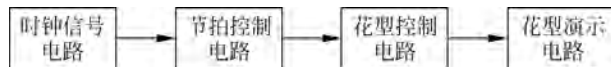


图 5.7.1 8 路彩灯控制电路系统框图

5.7.2 模块电路设计

1. 花型演示电路设计

花型演示电路由两片移位寄存器 74194 级联实现,其 8 个输出信号接 8 个发光二极管,用 74194 的输出信号控制发光二极管的亮灭实现花型演示。根据三种花型可以列出移位寄存器的输出状态表,如表 5.7.1 所示。

表 5.7.1 三种花型对应的输出状态表

节拍序号	花型 1	花型 2	花型 3	节拍序号	花型 1	花型 2	花型 3
1	00000000	00000000	00000000	9	00000000	00000000	11111111
2	10001000	00011000	10000000	10	10001000	00011000	11111110
3	11001100	00111100	11000000	11	11001100	00111100	11111100
4	11101110	01111110	11100000	12	11101110	01111110	11111000
5	11111111	11111111	11110000	13	11111111	11111111	11110000
6	01110111	11100111	11111000	14	01110111	11100111	11100000
7	00110011	11000011	11111100	15	00110011	11000011	11000000
8	00010001	10000001	11111110	16	00010001	10000001	10000000

由于每种花型需要循环显示两次,因此三种花型完全显示一遍需要 64 拍,即 0~15 显示第一个花型,16~31 显示第二个花型,32~63 显示第三个花型。要用 74194 实现三个花型的连续显示必须对两片 74194 的 S_1 、 S_0 和 D_{SL} 、 D_{SR} 根据节拍的变化进行相应的改变。现将两片 74194 分为低位片(1)和高位片(2),再将其输出端从低位到高位记为 $L_0 \sim L_7$ 。列出各花型和其对应的 74194 的 S_1 、 S_0 、 D_{SL} 、 D_{SR} 的输入信号以及节拍控制信号之间的对应关系,如表 5.7.2 所示。

表 5.7.2 花型与 74194 以及节拍控制信号之间的对应关系

	低位片				高位片				节拍控制信号
花型	D_{SL}	D_{SR}	S_1	S_0	D_{SL}	D_{SR}	S_1	S_0	$Q_7 \sim Q_0$
1	×	$\bar{L}_3$	0	1	×	$\bar{L}_7$	0	1	00000000
2	$\bar{L}_0$	×	1	0	×	$\bar{L}_7$	0	1	00010000
3	×	$\bar{L}_7$	0	1	×	L_3	0	1	00100000
	L_4	×	1	0	$\bar{L}_0$	×	1	0	00101000

经过分析,可得出 74194 高低位片各控制量与输出、节拍控制信号之间关系如下:

$$\text{低位片: } D_{SL} = \bar{L}_0 \bar{Q}_5 + L_4 Q_5, \quad D_{SR} = \bar{L}_3 \bar{Q}_5 + \bar{L}_7 Q_5$$

$$S_1 = Q_4 \bar{Q}_5 + Q_3 Q_5, \quad S_0 = \bar{S}_1$$

$$\text{高位片: } D_{SL} = \bar{L}_0, \quad D_{SR} = \bar{L}_7 \bar{Q}_5 + L_3 Q_5$$

$$S_1 = Q_3 Q_5, \quad S_0 = \bar{S}_1$$

根据表达式可画出电路图,如图 5.7.2 所示。

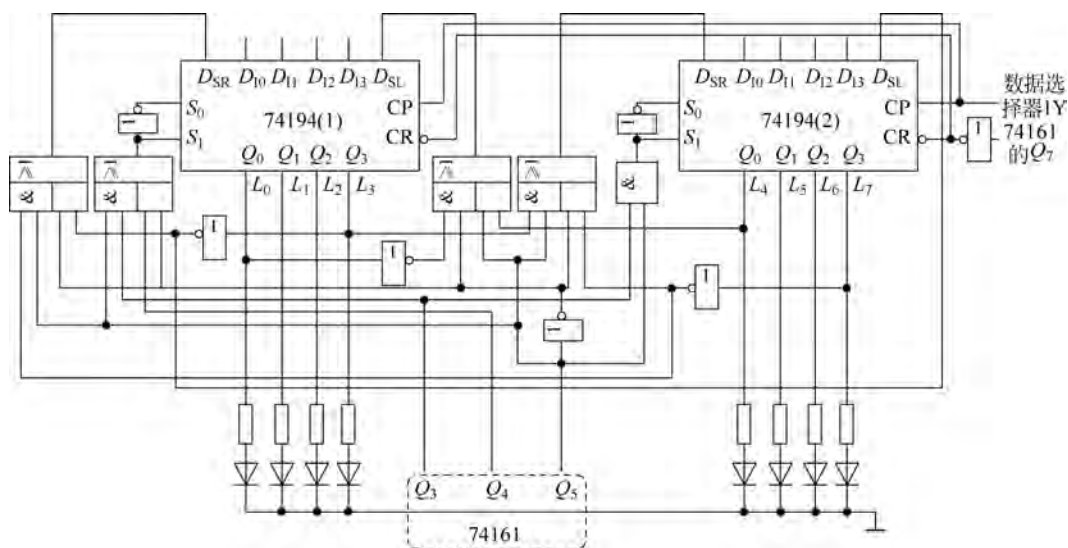


图 5.7.2 花型演示电路

2. 花型控制电路设计

根据花型演示要求,三种花型每种显示两遍,再总体重复一遍,共 128 个节拍,因此用两片 74161 实现 128 进制的计数器。花型控制电路如图 5.7.3 所示。

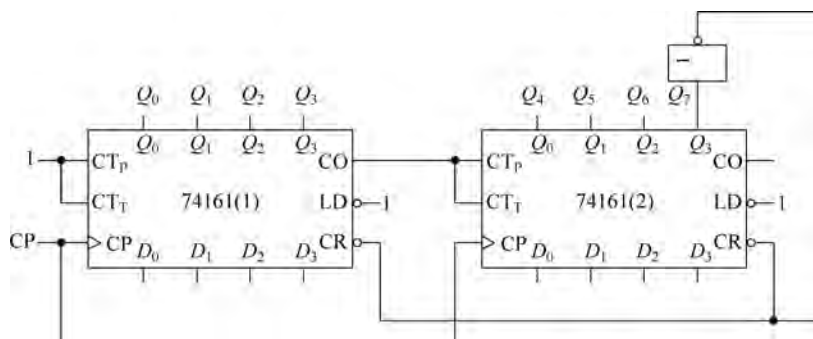


图 5.7.3 花型控制电路

3. 节拍控制电路设计

为了实现快慢节拍交替产生,利用4选1数据选择器74153和D触发器级联实现,如图5.7.4所示。D触发器的时钟输入接555定时器的输出(周期为1s时钟信号),利用D触发器接成T'触发器实现二分频,D触发器输出周期为2s时钟信号。

利用4选1数据选择器实现时钟信号的切换,进而实现快慢节拍的交替产生。由于三种花型全部显示一遍(总共64拍),74161输出为01000000,因此将74161(2)的 Q_2 端接到4选1数据选择器74153地址输入最低位 A_0 , A_1 接0, D_0 接1s时钟脉冲, D_1 接2s时钟脉冲。一开始选择1s时钟脉冲,当三种花型全部显示一遍时,74161(2)的 $Q_2=1$,时钟切换到2s时钟脉冲。

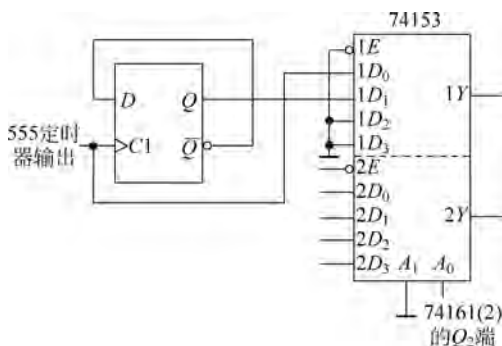


图 5.7.4 节拍控制电路

4. 时钟信号电路设计

可利用555定时器构成的多谐振荡器实现,如图5.7.5所示(详细内容可以参考7.5节)。取 $R_1=4.7\text{k}\Omega$, $R_2=150\text{k}\Omega$, $C=47\mu\text{F}$,即可得到周期为1s的时钟信号。

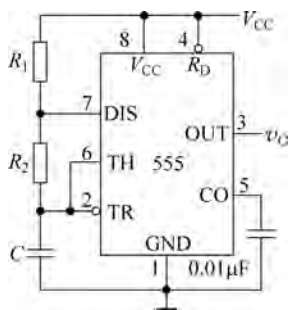


图 5.7.5 多谐振荡器

5.7.3 系统搭建

将各个功能模块电路拼接起来,就构建了8路彩灯控制电路,如图5.7.6所示,该系

统能不能实现之前设想？自己动手仿真。

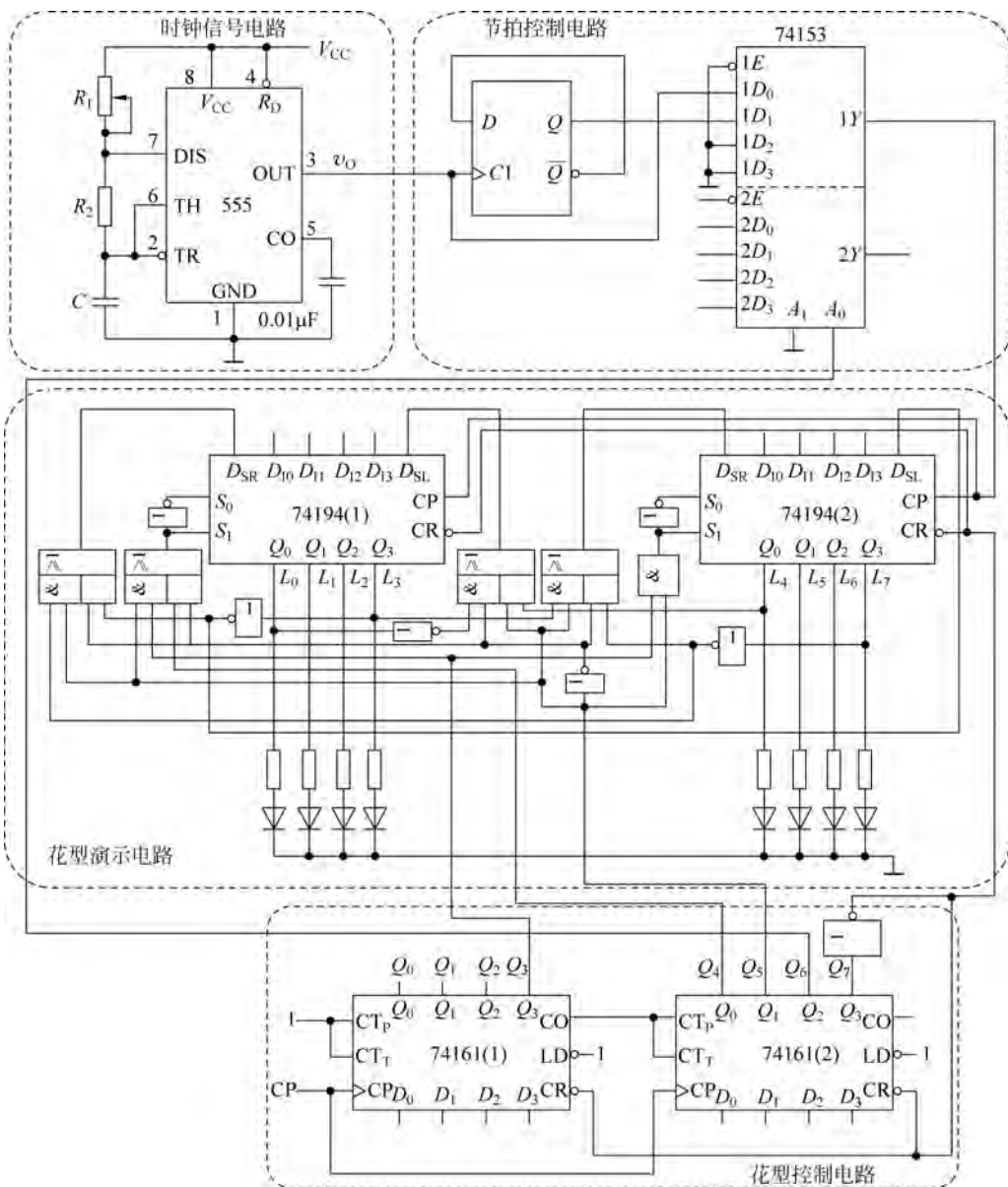


图 5.7.6 8 路彩灯控制电路

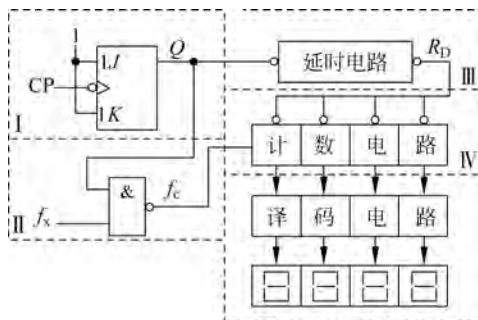
5.8 本章知识综合练习

5.8.1 分析题图 5.8.1 所示电路的逻辑功能。已知时钟脉冲的频率 $f_{CP}=1\text{Hz}$, f_x 是待测脉冲的频率。

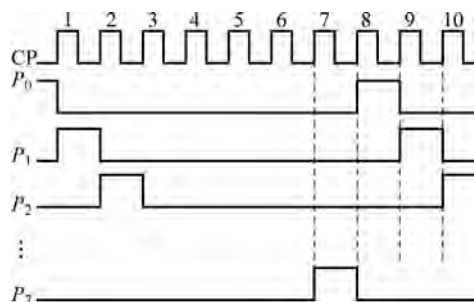


讲解视频

5.8.2 试用计数器和译码器设计一个能产生题图 5.8.2 所示的顺序脉冲发生器。

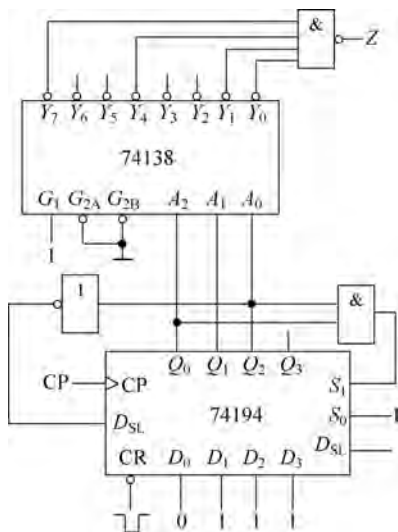


题图 5.8.1

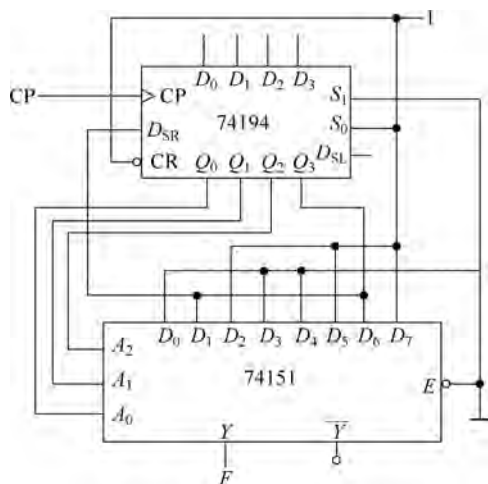


题图 5.8.2

5.8.3 由 4 位双向移位寄存器 74194 和 3 线-8 线译码器 74138 组成的电路如题图 5.8.3 所示,试列出在时钟 CP 作用下 74194 的态序表,并写出 Z 的输出序列。

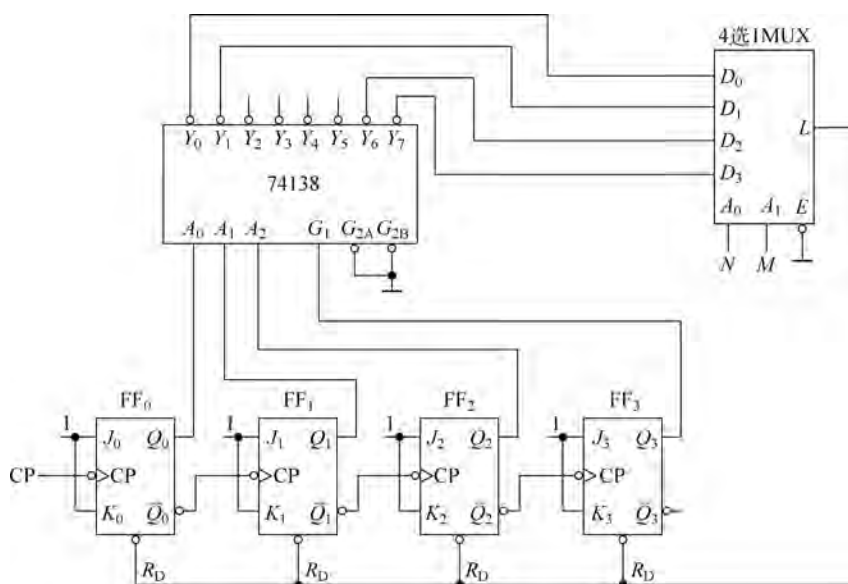


题图 5.8.3



题图 5.8.4

5.8.5 题图 5.8.5 所示电路是由 3 线-8 线译码器 74138、4 选 1 数据选择器和 4 个下降沿触发的 JK 触发器构成的可变进制计数器。触发器的初始状态为 0000: (1) 假设 $R_D=1$, 试分析 4 个下降沿触发的 JK 触发器构成电路的逻辑功能, 试写出触发器的驱动方程、状态方程, 并列写完整的状态转换表; (2) 当 MN 分别为 00、01、10 时, 计数器是几进制? 列出状态转换图。

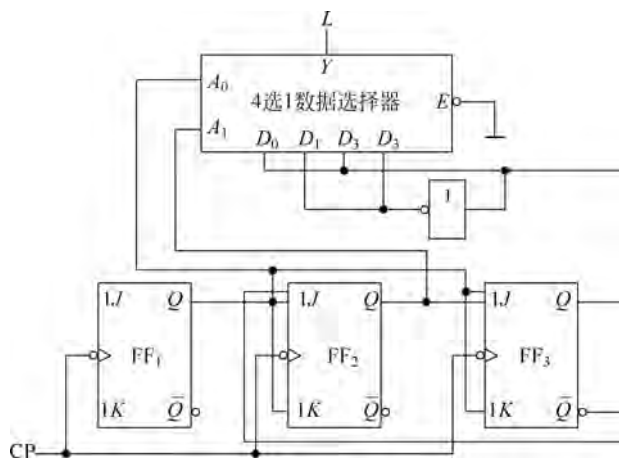


题图 5.8.5



讲解视频

5.8.6 题图 5.8.6 所示电路由三个下降沿触发的 JK 触发器和一个 4 选 1 数据选择器构成。设触发器初始状态为 000；(1) 分析三个下降沿触发的 JK 触发器构成电路的逻辑功能，试写出驱动方程、状态方程，画出完整的状态转换表及状态转换图并判断电路能否自启动；(2) 分析整体电路逻辑功能，并求输出 L 。



题图 5.8.6



讲解视频

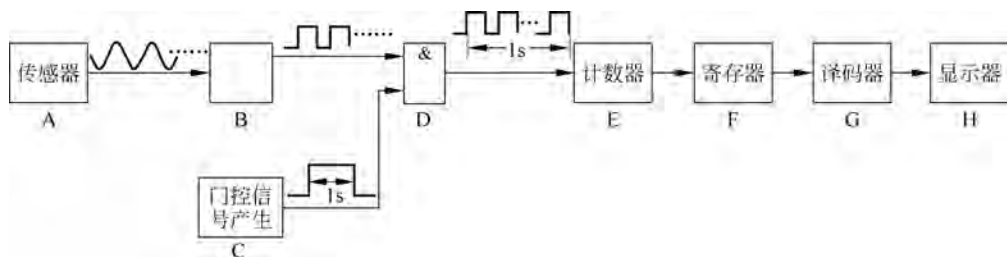
5.8.7 题图 5.8.7(一)为某非接触式转速表的原理框图，由 A~H 共 8 部分构成。转动体每转动一周，传感器就发出一个正弦波。

(1) A 框传感器输出正弦波，B 框要求输出同频率的矩形波，说明 B 框中应为何种电路？

(2) C框要求输出1s的定时门控信号,电路如题图5.8.8所示,说明555定时器构成的电路名称,分析电路的工作原理并说明1s定时的实现过程,确定电阻R的值。

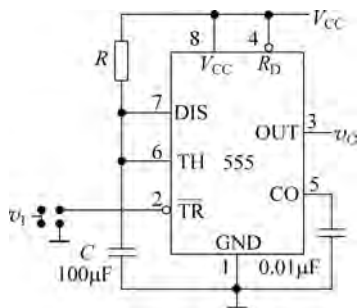
(3) 已知测速范围为0~99r/s,用74161芯片设计E框中的电路。

(4) 若G框中采用7447芯片,则H框中应为共阴极数码管还是共阳极数码管?当译码器7447输入代码为0110和1001时,显示的字形是什么?

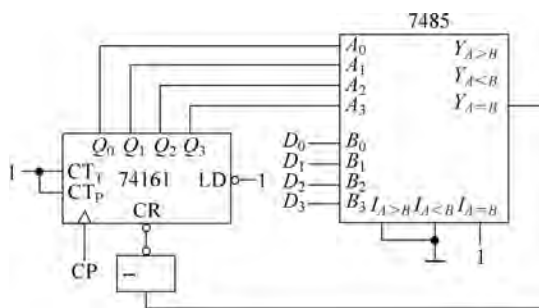


题图 5.8.7(一)

5.8.8 题图5.8.8所示电路由一片4位数值比较器7485、一片同步十六进制计数器74161以及非门组成的电路,试分析该电路的逻辑功能。

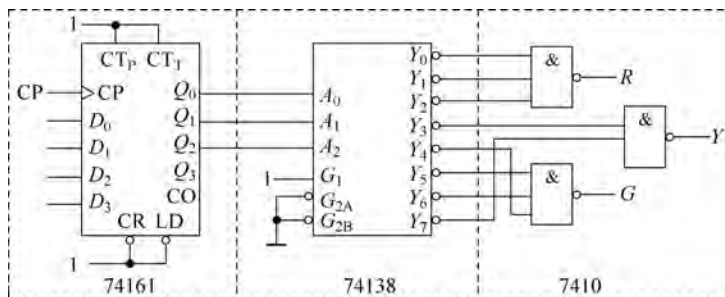


题图 5.8.7(二)



题图 5.8.8

5.8.9 如题图5.8.9所示电路,设输出逻辑变量R、Y、G分别为红灯、黄灯和绿灯的控制信号,时钟脉冲CP的周期为10s,试分析电路的逻辑功能。



题图 5.8.9



讲解视频



讲解视频



5.8.10 设计产生 8 位序列信号 00010111 的电路。

5.9 本章课程设计拓展

2015 年全国大学生电子设计竞赛本科组 F 题：数字频率计

1. 任务

设计并制作一台闸门时间为 1s 的数字频率计。

2. 要求

1) 基本要求

(1) 频率和周期测量功能：

- 被测信号为正弦波,频率为 1Hz~10MHz;
- 被测信号有效值电压为 50mV~1V;
- 测量相对误差的绝对值不大于 10^{-4} 。

(2) 时间间隔测量功能：

- 被测信号为方波,频率为 100Hz~1MHz;
- 被测信号峰峰值电压为 50mV~1V;
- 被测时间间隔为 0.1 μ s~100ms;
- 测量相对误差的绝对值不大于 10^{-2} 。

(3) 测量数据刷新时间不大于 2s,测量结果稳定,并能自动显示单位。

2) 发挥部分

(1) 频率和周期测量的正弦信号频率为 1Hz~100MHz,其他要求同基本要求(1)和(2)。

(2) 频率和周期测量时被测正弦信号的最小有效值电压为 10mV,其他要求同基本要求(1)和(3)。

(3) 增加脉冲信号占空比的测量功能,要求：

- 被测信号为矩形波,频率为 1Hz~5MHz;
- 被测信号峰峰值电压为 50mV~1V;
- 被测脉冲信号占空比为 10%~90%;
- 显示的分辨率为 0.1%,测量相对误差的绝对值不大于 10^{-2} 。

(4) 其他(如进一步降低被测信号电压的幅度等)。

3. 说明

本题的时间间隔测量是指 A、B 两路同频周期信号之间的时间间隔 T_{A-B} 。测试时使用双通道 DDS 函数信号发生器,提供 A、B 两路信号。



思维导图

5.10 本章思维导图

