

两级运算放大器

第4章介绍了一款折叠式共源共栅放大器的设计,其增益达到了60dB,其他性能也比较良好。但在实际应用中单级放大器的性能无法满足需求,并且仅靠改变电路中MOS管的尺寸已无法对电路的性能进行大幅度的提升。此外,单级放大器在面对多种指标要求时会产生各种矛盾,如要想提升运算放大器的线性范围,则增益会下降,直接驱动大负载时,放大器的增益与带宽都会受到严重的影响,因此运算放大器通常需要由两级甚至两级以上的放大器组成。本章将讨论一款两级运算放大器,这款两级放大器对比折叠式共源共栅放大器,减少了MOS管数量,却提升了性能。通过合理地选择两级放大器电路的结构,可以满足大多数的指标要求。而对于更多级别的放大器,比如三级放大器的设计,多数是为了满足增益的要求,但三级放大器极点的增多会引起稳定性的下降,因此两级放大器是目前最常见的多级运放结构。

本章介绍两级放大器设计思路,还介绍了 g_m/I_D 设计方法,这种设计方法相比利用饱和区平方律公式进行手算更加准确,并且在电路性能指标之间进行折中时也比较直观。通过在Cadence软件中进行仿真验证,结果显示了 g_m/I_D 设计方法的优越性。

5.1 两级运算放大器设计基础

5.1.1 两级运算放大器结构概述

之前介绍的单级放大器只经过了一次转换,即电压到电流的转换或者电流到电压的转换,因此增益往往被限制在MOS管的跨导与输出阻抗的乘积。而第4章设计的折叠式共源共栅放大器,差分输入级将差模电压转换为差模电流,差模电流再经过电流镜负载恢复成差模电压,放大器的增益则相当于两个MOS管本征增益的乘积。但由于其共源共栅结构的存在,其输出摆幅受到了非常大的影响,无法用于低电压电源中。仅靠单级放大器已经无法满足较大的输出摆幅以及较高的增益的要求,因此两级放大器的设计需求就更加广泛。两级放大器相比单级放大器可以满足更多高性能的要求,仅让单级放大器增益达到50dB就需要降低其他许多性能指标,而两级放大器每级增益为40dB,总增益就能达到80dB以上,并且比单级放大器速度快、带宽宽。

在进行两级放大器设计时,往往会将这两级分开进行处理与设计。如图5-1所示,两级

运放的输出级常常要满足较大输出摆幅的要求,因此很少会考虑具有高增益的共源共栅结构。而输入级常设计为高增益级,当设计指标要求实现较高的增益,并且没有超低功耗的需求,则折叠式共源共栅结构用在两级运放的输入级将十分合适。此外,相比于单级放大器,两级放大器输入级基本会采用差分输入而不是单端输入,这是因为两级放大器由于电路的复杂度上升,更需要提升电路的稳定性,抑制输入噪声与共模干扰。



图 5-1 两级运算放大器

5.1.2 两级运算放大器频率补偿

在实际应用中,运算放大器常采用负反馈系统(图 5-2)来改善运放的稳定性,并且其开环增益越高,反馈放大器的精度也越高。但也正是反馈系统的接入,反馈将输出反馈到输入,系统很容易因为设计误差等而出现振荡,因此一个稳定的负反馈系统需要有足够的相位裕度。根据设计经验,相位裕度为 $60^\circ \sim 90^\circ$,系统会表现出较好的性能。相位裕度过小,系统容易发生振荡而变得不稳定;相位裕度过大,系统的响应速度会大幅度减小。因此,在选择相位裕度时也要考虑速度与稳定性的折中。

一般可以将单级放大器看作单极点系统,相移通常不会大于 90° ,如图 5-3 所示,因此不需要考虑额外的相位补偿。两级放大器相移能够达到 180° ,当相移 180° 的频率点在单位增益频率之前,再加上负反馈引入的 180° 相移,运放系统的相移就超过了 360° ,这个频率点的增益大于 1,运放会将自身的噪声放大,运放系统就会在这个点发生振荡,因此在设计时两级放大器往往需要进行额外的频率补偿。

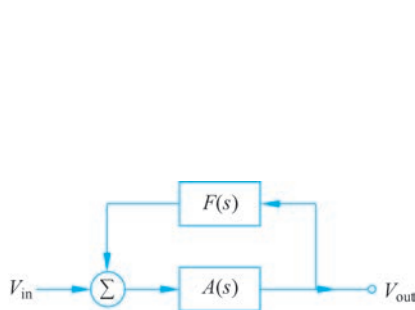


图 5-2 负反馈系统

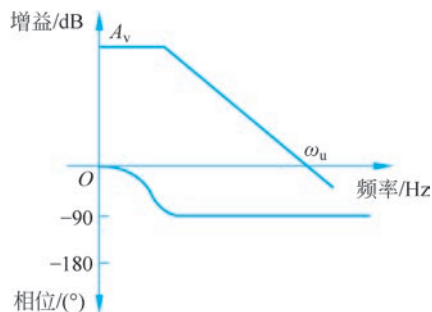


图 5-3 单级放大器波特图

两级放大器最采用的频率补偿方式为密勒补偿,如图 5-4 所示,通过在两级放大器的输入级与输出级之间添加一个密勒电容 C_C 就可以实现极点分裂,使非主极点频率变得更大,主极点频率变小,即将图像向左移,如图 5-5 所示。这样可以使单位增益频率在非主极点之前,相移超过 180° 的频率点在单位增益之后,在这个点系统就不会发生振荡。在设计两级甚至多级运放时,必须留出足够的相位裕度,从而使系统能够保持稳定。

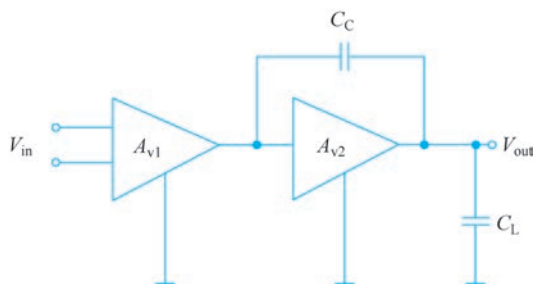


图 5-4 密勒补偿结构图

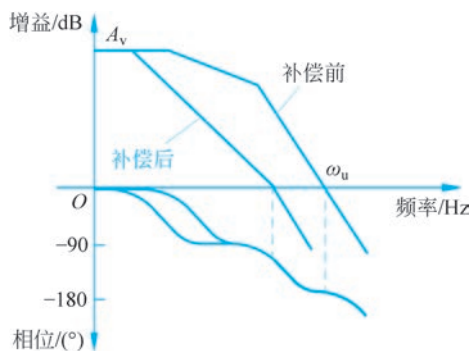


图 5-5 两级放大器补偿前后波特图

5.1.3 g_m/I_D 设计方法

前面设计折叠式共源共栅放大器时,在确定电路结构之后,通过指标中的压摆率确定了电路的电流,再从单位增益带宽入手,利用晶体管的 Square-law 公式确定电路中 MOS 管的尺寸,最终完成电路设计后,其仿真结果虽能满足设计指标,但存在着较大的误差,这在设计一些要求严格的复杂电路上非常受限,电路往往需要经过多次调试才能满足设计要求。此外,在先进的工艺库中,MOS 管的模型也变得更加复杂,很多工艺库已经无法直接查找到 MOS 管的 μ 、 C_{ox} 、 λ 参数,MOS 管的短沟道效应也变得更加严重,这时的 Square-law 公式已经不适合计算晶体管的尺寸。本章将采用另一种设计方法,即利用 g_m/I_D 参数,通过计算机软件仿真与手算相结合来进行电路设计。

在进行电路设计时,通常会以过驱动电压作为关键参数来对电路中的 MOS 管进行设计。其中 MOS 管一般设置工作在饱和区,即令过驱动电压 $V_{OD} > 0$ 。目前随着多种需求的出现,为了满足低功耗的要求,有时需要 MOS 管工作在亚阈值区来获得更低的功耗,由于二阶效应的存在,这时所设计 MOS 管的过驱动电压与实际大小存在着非常大的误差。基于上述需求,本章选择 MOS 管的 g_m/I_D 值代替过驱动电压对 MOS 管的工作区域进行选择, g_m/I_D 参数不仅在设置时误差较小,并且对电路性能上的折中更为直观。

如图 5-6 所示,图像的横坐标为 MOS 管的过驱动电压,纵坐标为 MOS 管的跨导 g_m 、特征频率 f_T 、漏电流 I_D 以及跨导效率 g_m/I_D 。根据 MOS 管的基础知识,当 $V_{GS} < V_{th}$ 时,MOS 管会关断,但实际上 V_{GS} 在 V_{th} 附近时,MOS 管仍然存在较小的漏电流 I_D ,此时 MOS 管工作在亚阈值区,也称为弱反型区;当 $V_{GS} > V_{th}$ 时,MOS 管会工作于饱和区,也称为强反型区。在实际情况下,强反型区与弱反型区中间会有一个中等反型的过渡区。根据设计经验,一般认为过驱动电压大于 80mV 时,MOS 管才会真正工作在饱和区。可以看出,当工作于亚阈值区时,MOS 管的电流、跨导和特征频率都比较小,较小的电流意味着较低的功耗,与此同时跨导效率 g_m/I_D 却很大,因此在一些有低功耗需求的电路会考虑 MOS 工作在亚阈值区时的这些特性,而在一些对速度有需求的电路中应尽量避免 MOS 管工作在亚阈值区。

由 MOS 管工作在饱和区的平方律公式可推出关系式

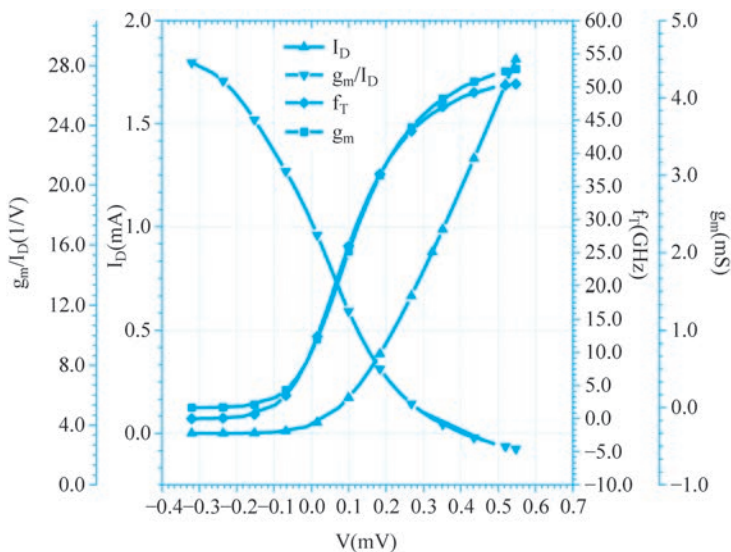


图 5-6 过驱动电压与各个参数关系图

$$\frac{g_m}{I_D} \approx \frac{2}{V_{od}} \quad (5.1)$$

通过式(5.1)不难发现, g_m/I_D 与过驱动电压有着紧密的关系, 选择电路的 g_m/I_D 就是在选择电路的过驱动电压 V_{OD} 。当 $g_m/I_D=10$ 时, $V_{OD} \approx 0.2\text{V}$, 从这里可以看出 g_m/I_D 的大小也能够反映器件的工作区域, 并且选取不同的 g_m/I_D 值实际上是电路在功耗和速度之间进行的折中。

理解了 g_m/I_D 参数的含义, 就可以利用这个参数来替代平方律公式设计电路的器件尺寸。在设计之前, 首先要对工艺库的晶体管进行仿真扫描, 找出 g_m/I_D 与晶体管的本征增益、电流密度 I_D/W 以及其他参数之间的关系, 然后根据设计指标进行折中考虑, 为每一个 MOS 管选取合适的 g_m/I_D 。

5.2 两级运算放大器结构确定与参数计算

本节以采用密勒补偿的两级运算放大器设计为例, 介绍关于两级放大器的设计过程中的一些设计方法与步骤, 利用 g_m/I_D 模拟集成电路设计方法举例说明在实际设计电路中的设计流程。其中电路结构包括偏置电路、输入级与输出级以及补偿电路。在设计完电路之后, 对电路进行了各个指标的仿真, 经过仿真验证, 仿真结果满足设计指标, 并证实了 g_m/I_D 设计方法具有较高的准确性。熟练掌握了 g_m/I_D 设计方法之后, 在设计其他电路时可以更加快速准确地设计出符合要求的电路。下面详细讲述如何利用 g_m/I_D 设计方法设计满足指标的两级放大器。

5.2.1 两级运算放大器设计目标

使用 SMIC $0.18\mu\text{m}$ 工艺库设计一款两级运算放大器, 其中放大器的设计指标如表 5-1 所示。

表 5-1 两级运算放大器设计指标

参 数 名	设计 指 标
工作电压 V_{DD}/V	$3(1\pm 10\%)$
负载电容 C_L/pF	10
开环直流增益 A_v/dB	≥ 70
单位增益带宽(GB)/MHz	40
相位裕度(PM)/(°)	$60\sim 70$
共模电压范围 $V_{IN,COM}/V$	$0.7\sim 2.3$
输出电压摆幅 $V_{out,max}-V_{out,min}/V$	≥ 2.4
共模抑制比(CMRR)/dB	≥ 80
压摆率(SR)/(V/ μs)	≥ 20
静态功耗/mW	≤ 10
电源抑制比(PSRR)/dB	≥ 80

5.2.2 确定电路结构

在设计电路之前,首先需要分析电路指标,确定电路的结构。通过观察指标对增益、带宽、相位裕度等要求,可以明确该电路指标中的增益以及功耗对两级运算放大器的要求并不苛刻,通过比较常见的结构来满足要求。两级放大器输入级一般选择差分输入,差分输入级相比单端输入具有抑制共模输入信号、抑制零点漂移以及抗干扰的作用,因此广泛用于运算放大器的输入级。本设计要求,输入级采用简单的五管差分放大单元就可以满足要求。

再观察指标中的输出摆幅要求,要求摆幅 $>2.4V$,而电源电压为 $3V$,将电压裕度分配到 MOS 管上只有 $0.6V$,这大约是两个 MOS 管的过驱动电压,对于折叠式共源共栅结构以及共源共栅结构都很难达到要求。而已知共源结构可以提供较大的输出摆幅,因此输出级采用共源极结构能够满足设计要求。本设计选用了经典五管差分输入单元用作两级放大器的输入级,而输出级选择共源放大器作为第二级,从而提高电压摆幅。两级密勒补偿运算放大器结构图如图 5-7 所示。

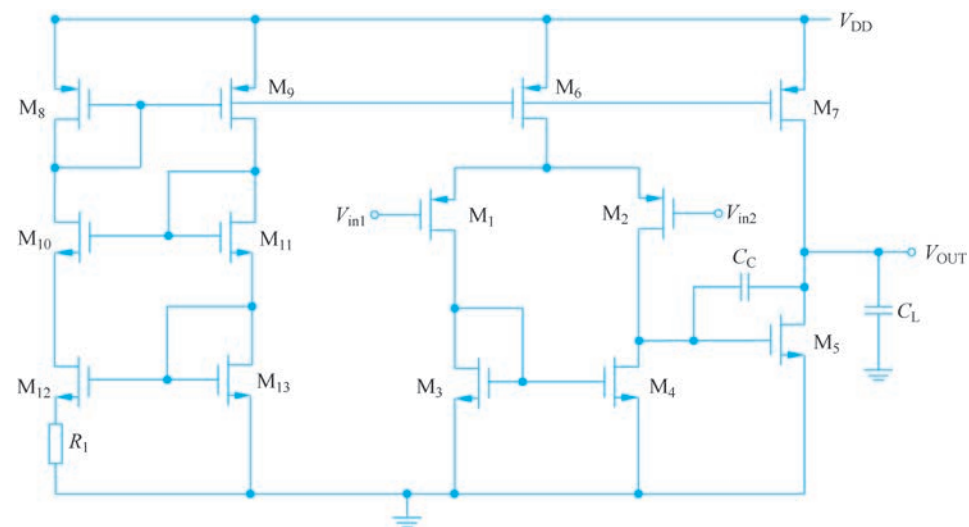


图 5-7 两级密勒补偿运算放大器结构图

5.2.3 选择 g_m/I_D 参数

为了更好地理解 MOS 管的性能表现,利用优值系数(FoM)来反映不同 g_m/I_D 大小对 MOS 管性能的影响。令

$$\text{FoM} = f_T \times \frac{g_m}{I_D} \quad (5.2)$$

式中: f_T 反映了 MOS 管的工作速度; g_m/I_D 反映了 MOS 管的跨导产生效率。

通过对 g_m/I_D 进行扫描,得到如图 5-8 所示的关系图。从图中可以看出,当 g_m/I_D 取 6~14 时, MOS 管的综合性能表现最好。而具体到为电路中的每个 MOS 管时选取 g_m/I_D 值时,就需要考虑电路的指标,通过分析不同的指标对 g_m/I_D 的要求,并进行一定的折中,最终确定不同 MOS 管的 g_m/I_D 值。

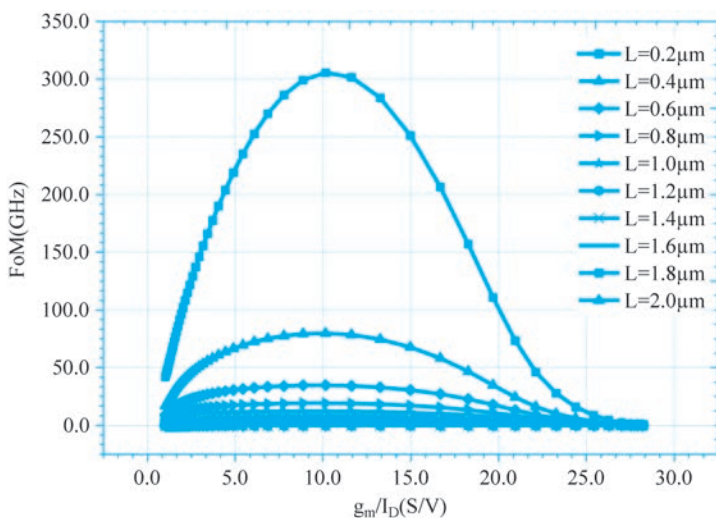


图 5-8 FoM 与 g_m/I_D 之间的关系

1. 噪声

已知 g_m 与 f_T 、噪声成正比,若 MOS 管作为电流源器件工作,则其噪声谱密度为

$$I_n^2 = 4kT\gamma g_m \quad (5.3)$$

其输出噪声为

$$\overline{V_{n,out}^2} = 4kT\gamma g_m r_o^2 \quad (5.4)$$

式中: γ 为系数,长沟道的晶体管可以认为 $\gamma=2/3$,短沟道的晶体管 $\gamma \approx 1$ 。

从式(5.4)可以看出,噪声与跨导 g_m 成比例关系,因此,在运算放大器中,若想要电路中的电流噪声较小,则需要减小 g_m ,即选择一个较小的 g_m/I_D 值。若 MOS 管作为放大器使用,就不能只考虑输出噪声,其输入噪声为

$$\overline{V_{n,in}^2} = \frac{\overline{V_{n,out}^2}}{A_v^2} = \frac{4kT\gamma}{g_m} \quad (5.5)$$

此时选择一个较大的 g_m 值能够减小电流噪声,即为用作放大器的 MOS 管选择一个较大的 g_m/I_D 值。

2. 过驱动电压

选择 g_m/I_D 值还可以从电路的摆幅考虑,若需要一个较大的输出摆幅,则作为电流源工作的晶体管要有一个较小的过驱动电压,根据式(5.1),需要选择较大的 g_m/I_D 值。

3. 失配

过驱动电压还与电路的失配有着重要的关系,失配也是导致高失调和低共模抑制比、低电源抑制比的主要原因。在对差动放大器进行分析时,通常建立在电路完全对称的情况下。但实际情况下,完全相同的两个器件也可能存在着失配现象。对于图 5-7 所示的差分输入电路,经过计算,得出其直流失调电压为

$$V_{OS,in} = \left\{ \frac{|V_{GS} - V_{th}|_N}{2} \left[\frac{\Delta(W/L)}{(W/L)} \right]_N + \Delta V_{th,N} \right\} \frac{g_{mN}}{g_{mP}} + \frac{(V_{GS} - V_{th})_P}{2} \left[\frac{\Delta(W/L)}{(W/L)} \right]_P + \Delta V_{th,P} \quad (5.6)$$

对于电流镜的电流失配,用平均电流值归一化后可以表示为

$$\frac{\Delta I_D}{I_D} = \frac{\Delta(W/L)}{W/L} - 2 \frac{\Delta V_{th}}{V_{GS} - V_{th}} \quad (5.7)$$

从式(5.6)可以看出,输入差分对的失调电压与过驱动电压成正比,因此在设计时,电流一定的情况下,过驱动电压越大, g_m/I_D 越小,其输入失调电压越小。这就意味着,输入管的 g_m/I_D 不能太大,否则会增强电路的非线性。通过式(5.7)可以看出,增大过驱动电压可以减小电流镜的电流失配,即在选择电流镜的 g_m/I_D 时应尽量选择较小的值。

4. 功耗

在设计时还应关注设计指标中的功耗,假如电路要求功耗非常低,则必须为电路中的 MOS 管选择较大的 g_m/I_D 值,如图 5-9 所示,必要时甚至考虑让其中一些 MOS 管工作在亚阈值区以降低功耗。

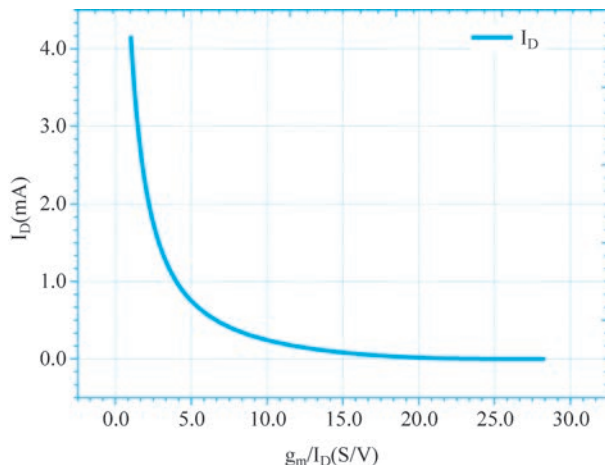


图 5-9 g_m/I_D 与 I_D 的关系图

5. 速度

若对电路有速度的要求,则需尽可能减小 MOS 管的 g_m/I_D 值,如图 5-10 所示。晶体

管作为放大管需要较高的速度,因此 g_m/I_D 值不能选择过小。

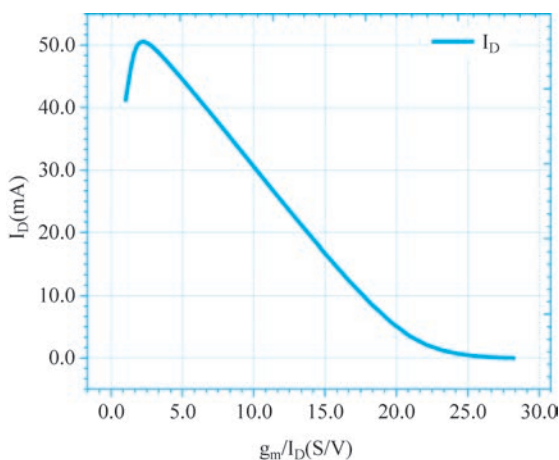


图 5-10 g_m/I_D 与 f_T 关系图

在最终进行选择 g_m/I_D 时,应对多方影响因素进行权衡,尤其是考虑 g_m/I_D 对这些性能参数影响的优先级。比如,通过增大第二级放大管的过驱动电压来减小 g_m ,从而减小其输出噪声;但过驱动电压不能设置太大,否则会影响输出电压摆幅。

5.2.4 确定电路具体参数

在设计电路时,首先分析指标中的约束项。电路的共模输入范围 $V_{IN,COM}$,即第一级放大器的所有 MOS 管工作在饱和区的共模电压输入范围。本设计采用的两级运放,共模输入电压最高时需保证 M_1 工作在饱和区, M_6 的漏源电压 $|V_{DS6}| > |V_{GS6}|$,因此共模电压最大为 $V_{DD} - |V_{GS6}| - V_{GS1} - |V_{th1}|$ 。当共模输入电压最小时,需保证 M_1 工作在饱和区,而 M_3 栅漏短接,共模输入电压最小值为 $V_{GS1} - |V_{th1}| + V_{th3}$,因此所设计运放的共模输入范围应为

$$V_{GS1} - |V_{th1}| + V_{th3} \leq V_{IN,COM} \leq V_{DD} - V_{GS6} - V_{GS1} - |V_{th1}| \quad (5.8)$$

从式(5.8)可以看出,若满足指标要求, M_1 管的过驱动电压不能太大。本设计所采用的 SMIC 0.18 μ m 工艺库,其中 NMOS 管的阈值电压为 0.4185V,则 M_1 管的过驱动电压不能大于 280mV,即 g_m/I_D 至少大于 7.14,在设计时尽可能增大 g_m/I_D 。对于 M_6 管,则 V_{GS6} 不能大于 420mV。

再查看指标中的输出动态范围。输出电压应在 0.3~2.7V 范围内进行波动,这就要求输出级 MOS 管的过驱动电压 V_{OD} 不能太大,即输出电路中的 MOS 管 V_{OD} 不能大于 300mV,由图 5-2 中的 V_{OD} 与 g_m/I_D 的关系可以得出输出管的 g_m/I_D 不能小于 4.8。再看电路的静态功耗要求。指标是 10mW 以内,而电源电压为 3V,所以电路所消耗的总电流要控制在 3.3mA 以内。

在了解设计电路时的一些约束条件后,设计电路时依照直流增益等指标要求来确定电路结构才会变得更加准确,其他指标的设计方法将在之后具体设计参数步骤中介绍。

在本设计中,考虑到电路的速度大小、过驱动电压的选取以及功耗,选择统一为电路中

的放大管设置 $g_m/I_D=12$, 电流源工作的晶体管 $g_m/I_D=6$ 。

1. 输入管 g_m 的确定

g_m/I_D 设计方法和第4章相同, 计算 MOS 管的参数都需要先从输入管入手, 已知指标 GB 要求不小于 40MHz, 而 g_m 通常是从带宽来确定的, 由单位增益带宽与跨导的关系可得

$$GB = \frac{g_m}{2\pi C_L} \quad (5.9)$$

将其换算可得

$$g_m = GB \times 2\pi C_L \quad (5.10)$$

本设计的两级运算放大器, g_m 即差分输入对管 M_1 与 M_2 的跨导 g_{m1} 与 g_{m2} , 式中的 C_L 为第一级的负载电容。在一些设计中, 为了方便会直接取密勒电容 C_C 作为 C_L , 存在一定的误差, 考虑到前后两级电路中输入与输出寄生电容的影响, 在计算时一般会取 C_{L1} 稍大于 C_C 。根据模拟设计经验, 密勒电容 $C_C = (0.25 \sim 0.5)C_L$, 此时的相位裕度对应为 $60^\circ \sim 90^\circ$ 。假设电路中密勒补偿电容 $C_C = 4\text{pF}$, 则取 C_{L1} 稍大于 C_C , 令 $C_{L1} = 5\text{pF}$, 将其代入式(5.10)中进行计算, 得到

$$g_{m1} = g_{m2} = 1.256\text{mA/V} \quad (5.11)$$

这样就计算出第一级放大电路输入对管的跨导, 两级放大器两级的输入管都对运放的主要参数有影响, 第二级为一个共源极放大器, 接下来计算第二级输入管 M_5 的跨导 g_{m5} 。

两级放大器电路往往需要进行频率补偿, 在电路引入密勒补偿后, 电路极点发生了分裂, 形成了单极点近似, 为了让电路更加稳定, 电路的非主极点 ω_{p2} , 即第二级运放电路带来的极点, 要求大于单位增益带宽 ω_u , 一般取

$$\omega_{p2} = (2 \sim 3)\omega_u \quad (5.12)$$

$$\frac{g_{m5}}{C_L} = (2 \sim 3) \frac{g_{m1}}{C_C} \quad (5.13)$$

而 $C_C = 0.4C_L$, 取最小值计算, 最终算得 $g_{m5} = 7.5g_{m1}$ 。也就是 g_{m5} 至少要大于 $7.5g_{m1}$, 本设计令 $g_{m5} = 10g_{m1}$, 即 $g_{m5} = 12.56\text{mS}$ 。

2. 确定 MOS 管尺寸

确定电路中晶体管的尺寸, 可以从 MOS 管的本征增益入手, 对于两级运放电路, 其增益为

$$A_v = A_{v1}A_{v2} \quad (5.14)$$

增益一般表现为分贝格式, 即

$$A_v = 20\log |A_v| \text{ (dB)} \quad (5.15)$$

电路指标要求增益要大于 70dB, 求得电路放大倍数为 3162, 电路总增益为第一级与第二级增益的乘积。令两级的放大倍数都为 57, 通过分析电路可以看出, 第一级放大器增益为

$$A_{v1} = g_{m2}(r_{o2} // r_{o4}) \approx \frac{1}{2}g_{m2}r_{o2} \quad (5.16)$$

即令 $g_{m2}r_{o2} > 114$, PMOS 管的 self_gain-gmoverid 曲线如图 5-11 所示, 当 self_gain 大于

114 时, L 最小长度取 $0.6\mu\text{m}$ 就可以满足增益要求。

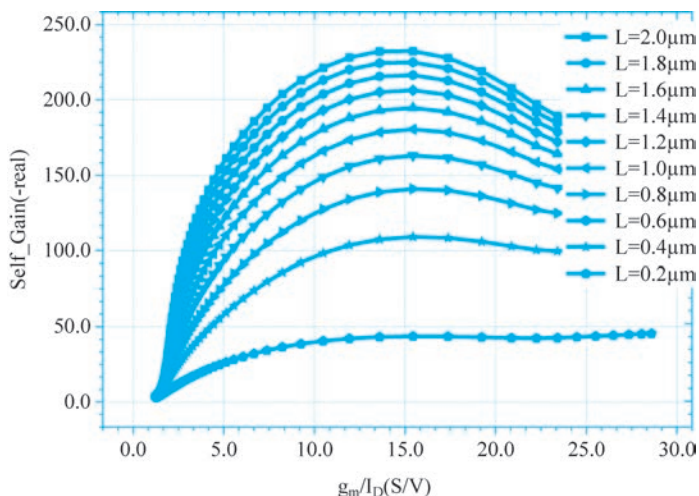


图 5-11 PMOS 晶体管的 self_gain-gmoverid 函数关系图

晶体管的 idoverw_gmoverid 曲线如图 5-12 所示, 当 $L=0.6\mu\text{m}$, $g_m/I_D=12$ 时, 由曲线可以得出 $I_D/W=1.20953$ 。

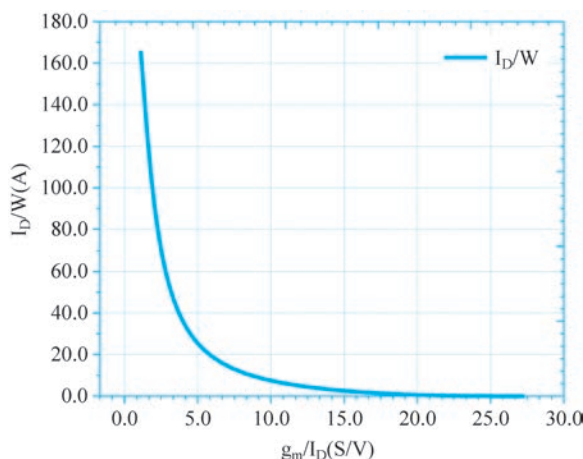


图 5-12 PMOS 晶体管的 idoverw_gmoverid 函数关系图

上面已经确定了 M_1 、 M_2 的 $g_m/I_D=12$, 把之前求得的 g_m 代入, 计算出 $I_D=104.66\mu\text{A}$ 。确定了 MOS 管的 L 以及 g_m/I_D 的大小, 再由曲线图得出 $I_D/W=1.20953$, 将 I_D 代入, 就求出第一级放大器的输入管 M_1 与 M_2 的宽长比 $W/L=86.5\mu\text{m}/0.6\mu\text{m}$ 。

对于第一级放大器中的电流镜的 M_3 和 M_4 , 为了让电路有较小的噪声, 令其 $g_m/I_D=6$, NMOS 管的 self_gain-gmoverid 曲线图如图 5-13 所示, 当 self_gain 大于 117 时, 同样取 $L=0.6\mu\text{m}$ 。

NMOS 管的 idoverw_gmoverid 函数关系如图 5-14 所示, 当 $g_m/I_D=6$ 时, $L=0.6\mu\text{m}$, 此时 $I_D/W=20.8589$, 而 $I_D=104.66\mu\text{A}$, 和输入管 M_1 的电流相等, 代入后求出 M_3 与 M_4 的宽 $W=5\mu\text{m}$ 。

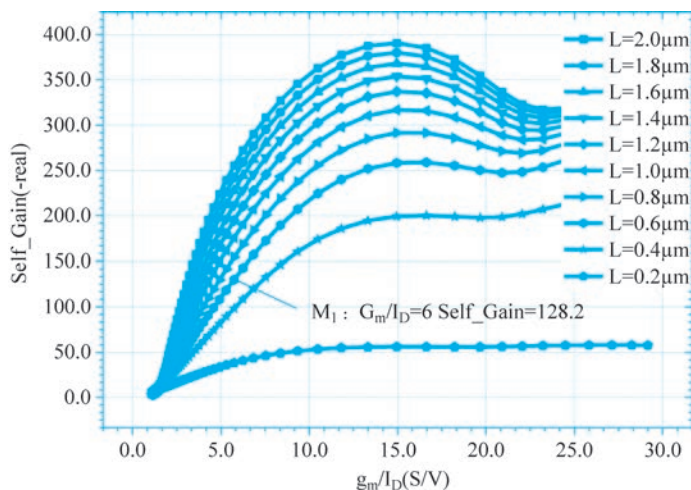


图 5-13 NMOS 的 self_gain-gmoverid 关系图

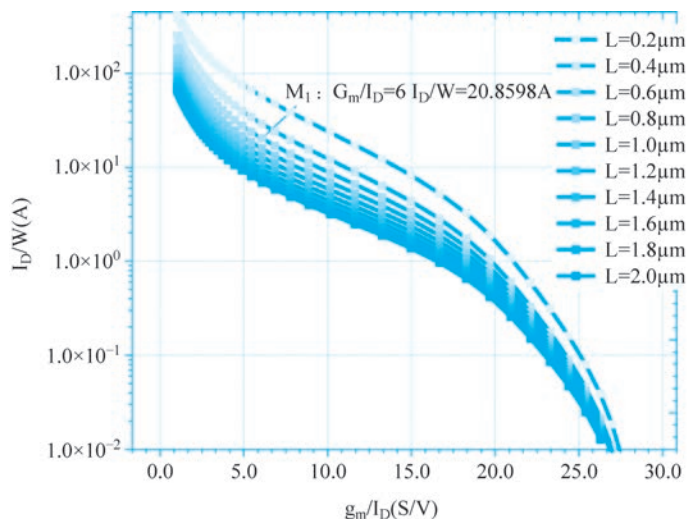


图 5-14 NMOS 管的 idoverw-gmoverid 函数关系图

确定第一级放大器的四个管的宽长比后,接下来设计输出级放大电路的 MOS 管。首先观察电路的原理图,第一级的 M_1 和第二级的 M_5 的直流工作点是一致的,即 V_{GS} 值相等。

通过对电路进行直流仿真(图 5-15),发现 $V_{GS}=765\text{mV}$ 。NMOS 的 gmoverid-vgs 曲线如图 5-16 所示,当 $V_{GS}=765\text{mV}$ 时,gmoverid 的值约为 6。

确定晶体管 M_5 的 gmoverid 的值为 6,由图 5-16 可见,当 self_gain 大于 117 时,最小栅长 $L=0.6\mu\text{m}$,故 M_5 的 $L=0.6\mu\text{m}$ 。

而 $g_m/I_D=6$,在前边已经求出 $g_{m5}=12.56\text{mS}$,将 g_{m5} 代入后就可以求出 $I_D=2.09\text{mA}$,NMOS 管的 idoverw-gmoverid 的曲线如图 5-17 所示,当 $g_m/I_D=6$ 时, $I_D/W=20.8582$,可以求出 $W=100.298\mu\text{m}$ 。本设计采用的工艺库 W 限制了其最大尺寸为 $100\mu\text{m}$,为了减小寄生参数,不妨取 $W=50\mu\text{m}$,Multiplier=2。

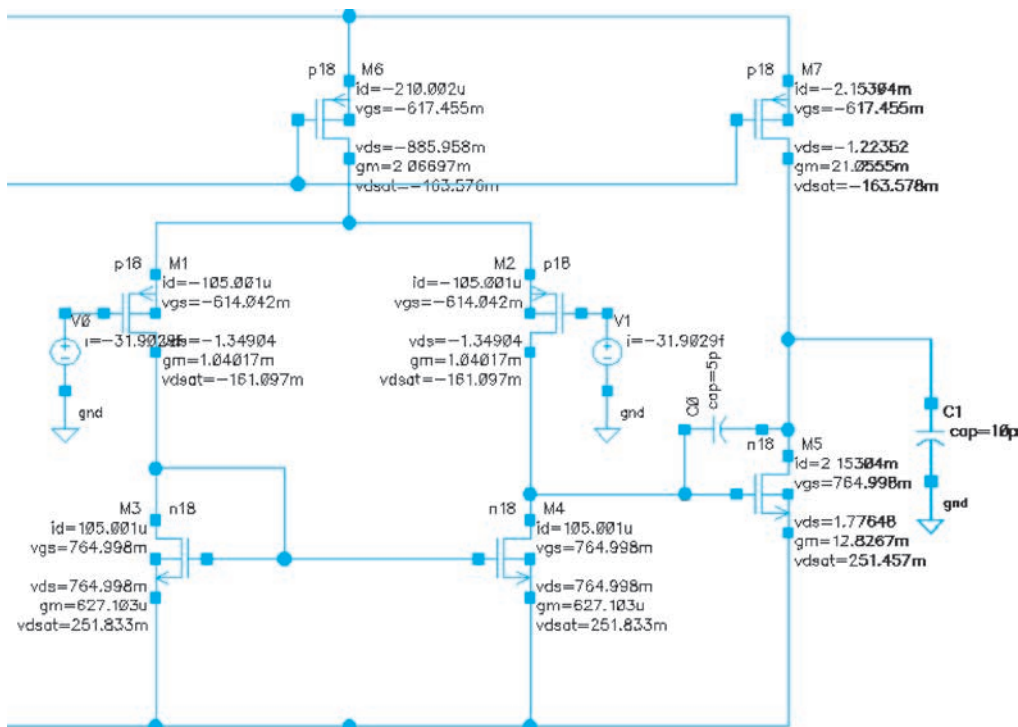
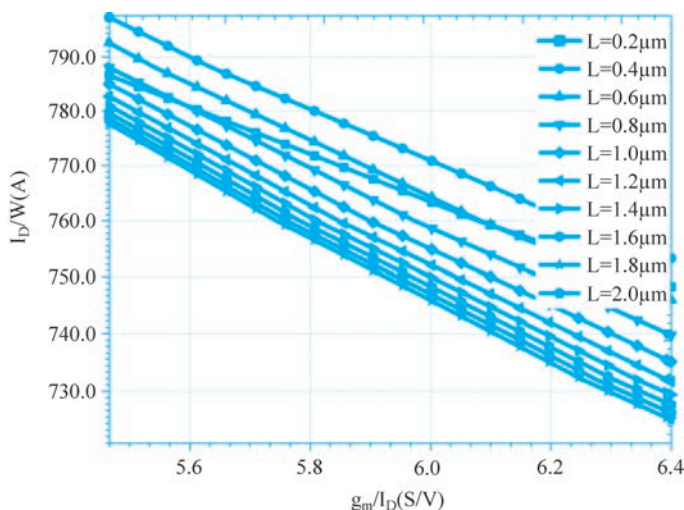


图 5-15 两级运放的部分直流工作点

图 5-16 NMOS 管的 $gmoverid$ - v_{gs} 曲线图

3. 偏置电路设计

本设计中,偏置电路是由两个 PMOS 管、四个 NMOS 管与一个电阻 R 组成的共源共栅 Widlar 电流镜。 M_{12} 与 M_{13} 相比,源极添加了电阻 R_1 ,构成了一个微电流源, M_8 与 M_9 、 M_{10} 与 M_{11} 的宽长比应该相同。两级运放中的 M_6 、 M_7 根据电流镜比例公式可以产生比例电流,前面已经计算出 M_1 和 M_2 的漏电流 I_D 为 $104.66\mu A$, M_6 的漏电流等于 M_1 和 M_2 的漏电流之和 $209.32\mu A$,在这里不妨令电流镜的输出电流也为 $209\mu A$ 。

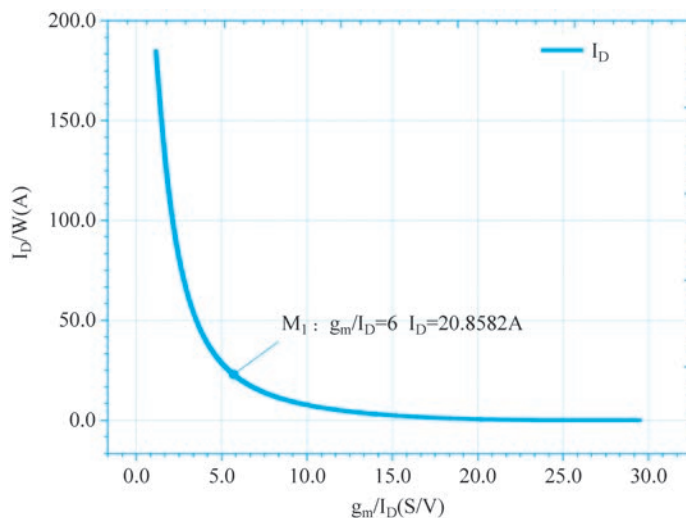


图 5-17 NMOS 管的 idoverw-gmoverid 曲线图

对于基准电流源同样可以采用 g_m/I_D 设计方法。首先通过分析图 5-18 所示的电路，可以得到以下关系式：

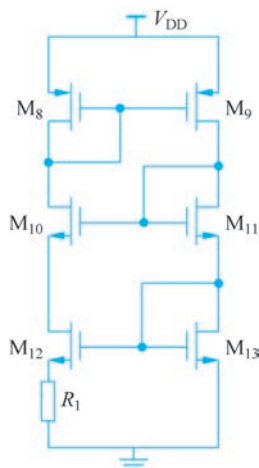


图 5-18 基准电流源原理图

又已知

$$V_{GS12} + I_{ref}R = V_{GS13} \quad (5.17)$$

$$\frac{g_m}{I_D} = \frac{2}{V_{OD}} \quad (5.18)$$

$$V_{GS} - V_{th} = V_{OD} \quad (5.19)$$

将式(5.18)、式(5.19)代入式(5.17)中,可得

$$2 \left[\frac{1}{(g_m/I_D)_{13}} - \frac{1}{(g_m/I_D)_{12}} \right] = I_{ref}R \quad (5.20)$$

通过选取 M_{12} 与 M_{13} 的 g_m/I_D 值,就可以求出电阻 R_1 ,其中已经设定 $I_{ref}=209\mu A$,不妨设 M_{12} 的 $g_m/I_D=12$, M_{13} 的 $g_m/I_D=6$,代入式(5.20)得 $R=797\Omega$ 。

设计电流镜的 MOS 管尺寸也可以采用 g_m/I_D 设计方法,即通过查阅晶体管的 idoverw-gmoverid 曲线图来确定

MOS 管的宽长比。在本设计中,为了更加简单高效,并增强电流的匹配性,选择采用直接引入法,输入级的 M_1 与 M_2 的电流已经确定为 I_{D1} , M_6 的电流为 $2 I_{D1}$,则 M_6 的宽长比可以采用 M_1 的 2 倍,在设计中选择将 M_6 的 Multiplier 直接变为 2,这样就相当于两个 M_1 尺寸的 PMOS 管并联,同样 M_7 的 Multiplier 改为 20,就可以直接获得 $2.09mA$ 的电流。而 M_8 与 M_9 的漏电流与 M_6 的漏电流相等,所以直接复制 M_6 的尺寸给 M_8 与 M_9 。 M_{10} 与 M_{11} 的漏电流等于 M_3 与 M_4 的 2 倍,所以采用相同的方法直接复制 M_3 的宽长比给 M_{10} 与 M_{11} ,并将这两个 MOS 管的 Multiplier 设为 2。

对于 M_{12} 和 M_{13} ,采用 g_m/I_D 设计方法,通过图 5-19 所示可以得出其 W_0 。令 M_{12} 和 M_{13} 的 $L=0.6\mu m$,通过图可以得出 g_m/I_D 为 6 和 12 时, I_D/W 分别为 20.8589 和 4.83269,将 $I_D=209\mu A$ 代入后可以分别得出 M_{12} 的 $W=43.25\mu m$, M_{13} 的 $W=10\mu m$ 。

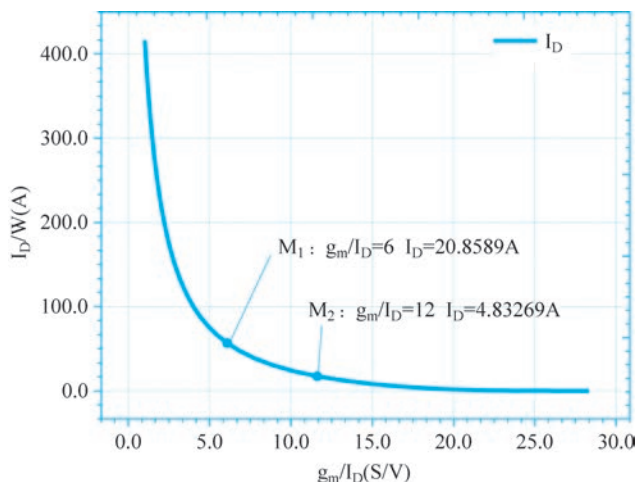


图 5-19 NMOS 管的 idoverw-gmoverid 曲线图

通过这种方式设计的电流源,不仅可以保证电流的匹配性好(因为电流源中 MOS 管的 W 和放大器电路中的 MOS 管 W 一样大),而且可以在绘制版图时,使电路中的晶体管排列整齐。

将以上所有计算结果汇总,器件参数最终设计如表 5-2 所示。

表 5-2 电路中所有晶体管的参数

MOS 管	类型	$W/\mu\text{m}$	$L/\mu\text{m}$	Multiplier	g_m/I_D
M_1, M_2	PMOS	86.5	0.6	1	12
M_3, M_4	NMOS	5	0.6	1	6
M_5	NMOS	50	0.6	2	6
M_6	PMOS	86.5	0.6	2	12
M_7	PMOS	86.5	0.6	20	12
M_8, M_9	PMOS	86.5	0.6	2	12
M_{10}, M_{11}	NMOS	5	0.6	2	6
M_{12}	NMOS	43.25	0.6	1	12
M_{13}	NMOS	5	0.6	2	6

5.3 电路仿真实例

本设计采用 Cadence Virtuoso 软件绘制电路图,使用 Cadence ADE 工具进行仿真,电路在软件中的实现如图 5-20 所示,其中 VIN1 与 VIN2 为差分输入电压,VDD 为电源电压。电路的左半部分为基准电流源,中间部分为差分输入单端输出的第一级放大器,右边部分为一个共源放大器。在之前采用的 g_m/I_D 设计方法用到了晶体管的 gmoverid-self_gain 曲线图以及 idoverw_gmoverid 曲线图,在对总电路进行仿真前,首先展示如何通过 ADE 仿真工具获得 g_m/I_D 设计方法所需要的图表。

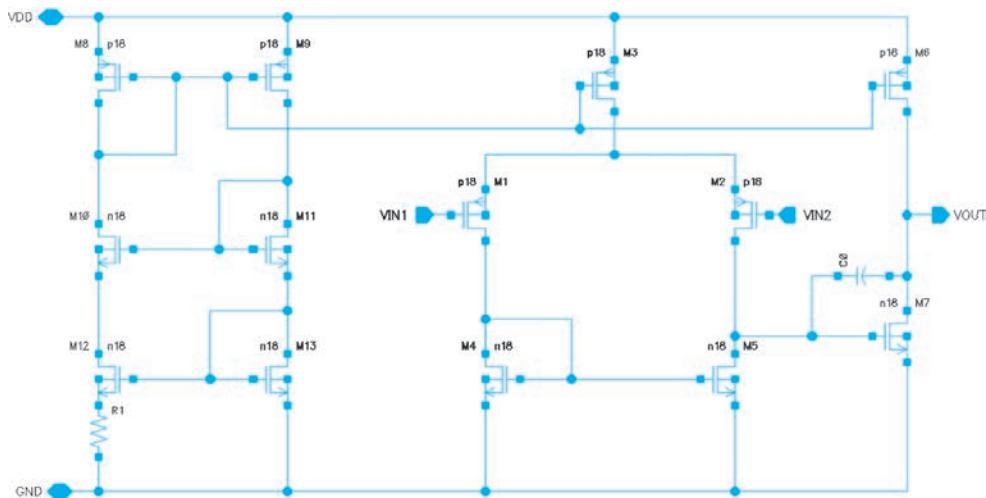


图 5-20 两级运放在 Cadence 软件中的实现

5.3.1 g_m/I_D 仿真操作方法

在 Cadence Virtuoso 软件中,首先绘制一个可以让 MOS 管正常工作的最简电路,如图 5-21 所示。在本次仿真中采用 NMOS 晶体管进行仿真,PMOS 晶体管的方式与 NMOS 晶体管原理相同。

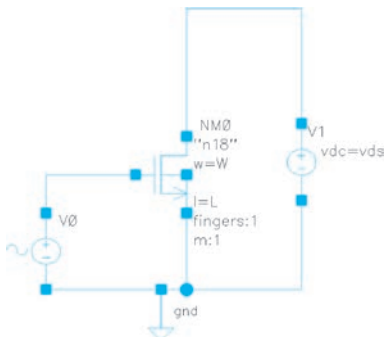


图 5-21 NMOS 晶体管操作原理图

在设计过程中,首先要对 NMOS 管的宽、长、栅源电压以及漏源电压定义为变量,然后打开 ADE 仿真工具,对电路中的四个变量定义一个初始值,并且能够使 NMOS 晶体管正常运行。在这里定义变量初始值 $L=200\text{nm}$, $W=10\mu\text{m}$, $v_{gs}=800\text{mV}$, $v_{ds}=800\text{mV}$,如图 5-22 所示,注意 W 的取值对电路仿真的曲线影响很小,这点在仿真时通过扫描 W 在不同取值下的仿真结果也可以验证,而在设计时只需采用中间值就可以减小不必要的误差。

在设置完变量后,在 Choosing Analyses 中选择 dc 扫描分析, Sweep Variable 选择 Design Variable 后设置扫描变量为 v_{gs} ,扫描范围为 $0.2\sim1.6$,单击 OK 按钮。

在设置输出时,需要输出 NMOS 晶体管的 $g_{moverid}$ 和 $self_gain$ 等参数,这些参数不能在电路图中直接得到,需要用到仿真器的 Calculator 工具,如图 5-23 所示。

进入 Calculator 工具后,若想输出波形,首先在 Function Panel 中选择 waveVSWave,然后在 Configure selections 中选择 os 函数,再单击电路原理图中的 NMOS 晶体管,就可以从 os 所给出的参数中得到晶体管的 $g_{moverid}$,如图 5-24 所示。将其复制到 waveVSWave 函数的 xtrace,按照相同的步骤找到晶体管的 $self_gain$,将其复制到 ytrace,单击 OK 按钮,就可以得到想要波形的函数表达式。再单击 Calculator 界面中的齿轮图案,就可以直接将函数表达式送到 ADE 仿真器的输出设置中。

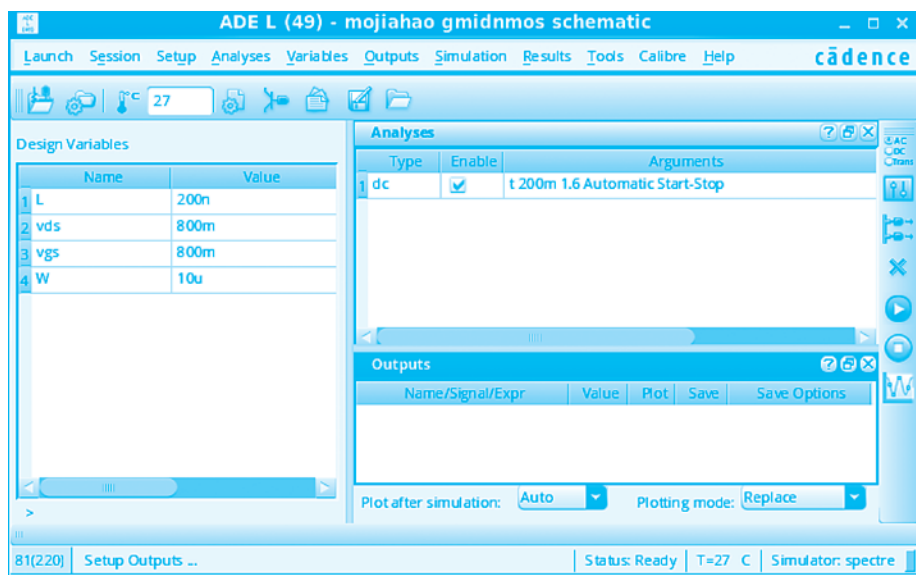


图 5-22 ADE 仿真器设置界面

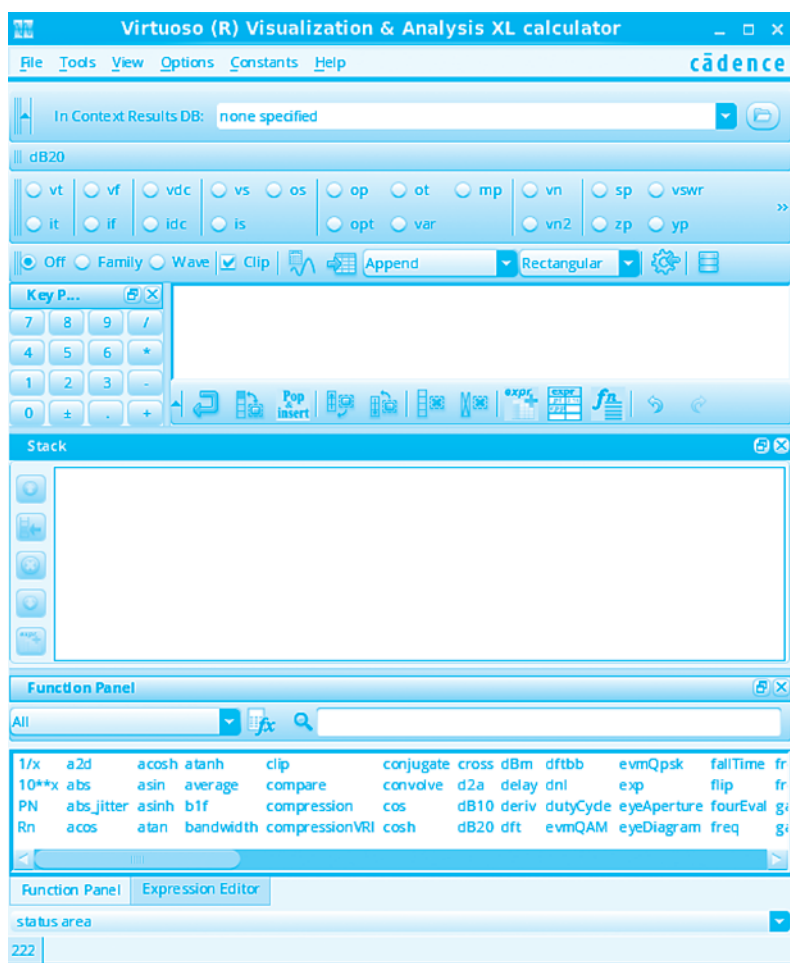


图 5-23 Calculator 工具界面

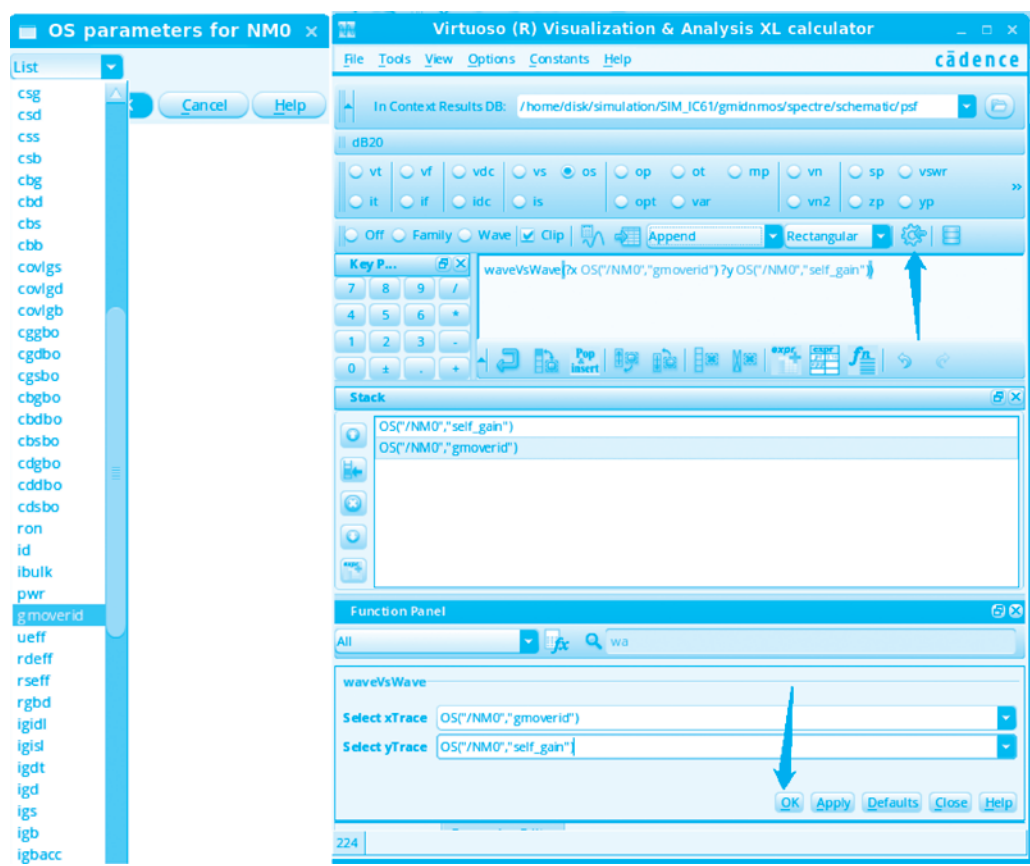


图 5-24 利用 Calculator 设置输出图像表达式

再按照同样的方式可以设置 idoverw_gmoverid 的图像输出,其中 idoverw 无法在 os 参数中直接得到,需要用到 Calculator 中的除法运算。id 存在于 os 中,晶体管的 W 可以在 var 函数中找到,当成功将表达式送入 ADE 仿真器输出中后,仿真器的界面如图 5-25 所示。

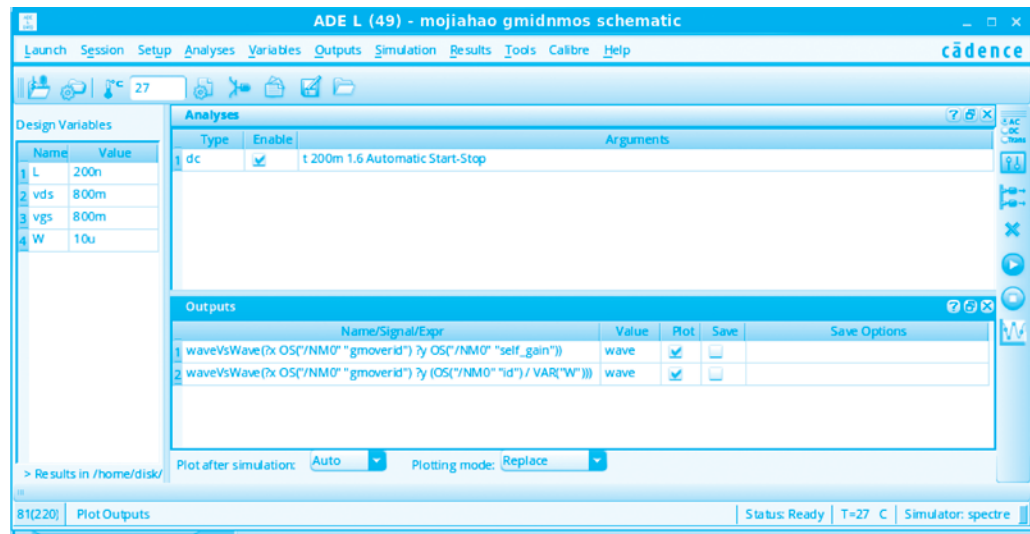


图 5-25 设置完成的 ADE 仿真器界面

全部设置好后,就可以单击仿真运行,得到图 5-26 所示的曲线。接下来就需要用到 ADE 仿真器中菜单栏 Tools 中的 Parametric Analysis 工具,通过参数扫描工具就可以仿真输出中查看不同设置变量下的输出图像,从而进行更加直观的对比。

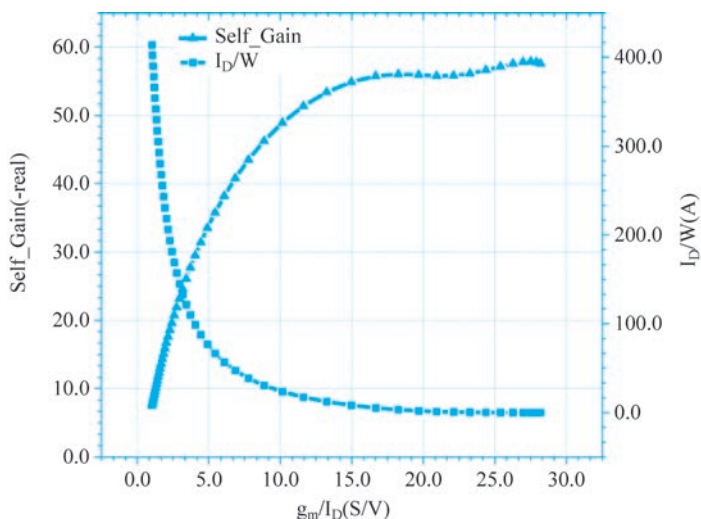


图 5-26 g_m/I_D 仿真输出图像

打开 ADE 仿真器界面菜单栏 Tools 中的 Parametric Analysis 工具,设置扫描变量 Variable 为 L ,然后设置扫描范围。在本设计中扫描范围设置为 $200\text{n}\sim 2000\text{n}$,Step Mode 选择为 Linear Steps,Step Size 设置为 200n ,表明对变量 L 每隔 $0.2\mu\text{m}$ 的长度进行一次仿真,全部设置好后就可以单击运行,设置好后的界面如图 5-27 所示。



图 5-27 参数分析工具界面

使用 Parametric Analysis 工具进行参数扫描分析后的输出图像如图 5-28 和图 5-29 所示。图 5-28 为 NMOS 晶体管的 self_gain 与 g_m 的函数关系图,图 5-29 为 NMOS 晶体管的 i_d 与 g_m 函数关系图。

通过图 5-28 和图 5-29,在选择晶体管的 g_m/I_D 值时,就可以确定晶体管自身的增益以及 I_D/W 值。此外,还可以查看其他任何参数的变化,比如设计中用到的 v_{gs} 。同样,Calculator 工具可以实现其他任何想要的输出图像,而当设计者熟练各种输出的函数表达式时,直接在 Setting Outputs 中的 Expression 输入表达式即可直接运行仿真,如图 5-30 所示,从而大大节省了操作时间。

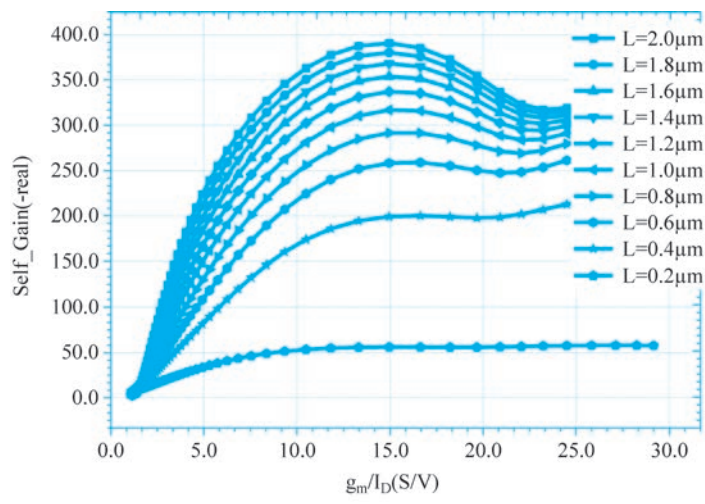


图 5-28 NMOS 的 self_gain 与 gmoverid 函数曲线图

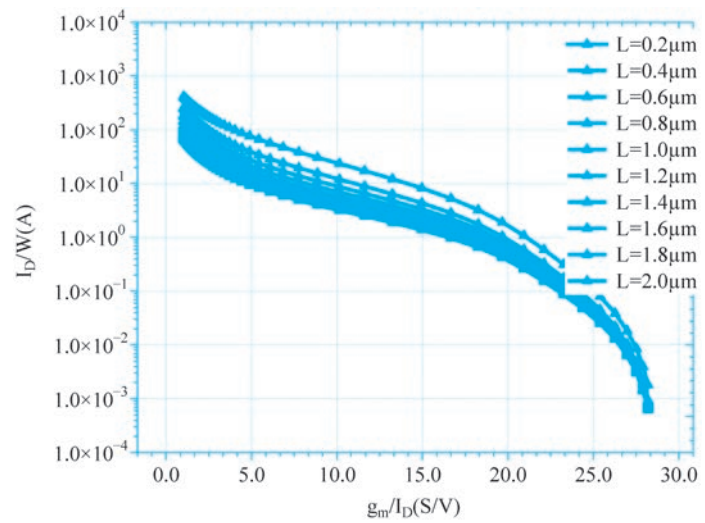


图 5-29 NMOS 的 idoverw 与 gmoverid 函数曲线图

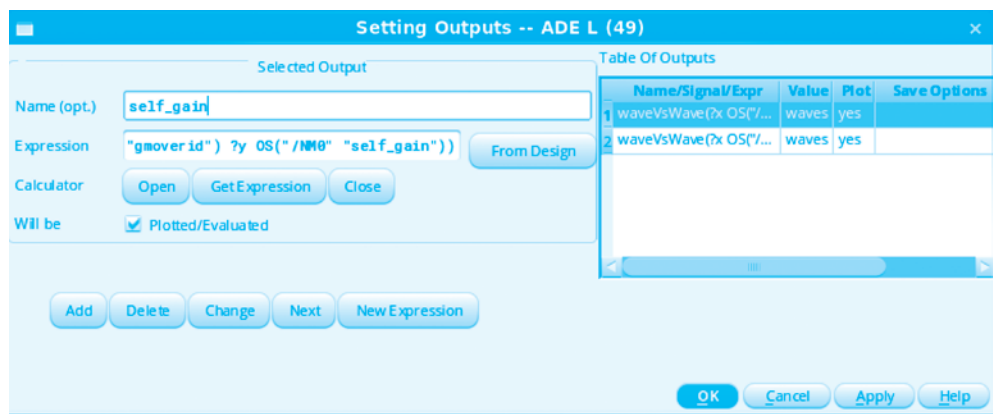


图 5-30 ADE 仿真设置输出界面

5.3.2 两级运算放大器的直流仿真

1. 仿真静态直流工作点

在电路各个部分全部设计完成后,首先进行 dc 仿真,查看电路静态工作点是否正确, MOS 管是否饱和。图 5-31 为电路的直流工作点图,可以看出,电路中每个 MOS 管都工作在饱和区,其中流经 M_6 的电流为 $255.072\mu\text{A}$, M_1 与 M_2 的跨导 $g_m = 1.41\text{mS}$, 高于设计值。这是设计基准电流源时采用的 g_m/I_D 与过驱动电压之间的近似计算以及未考虑 MOS 管的二级效应产生的。

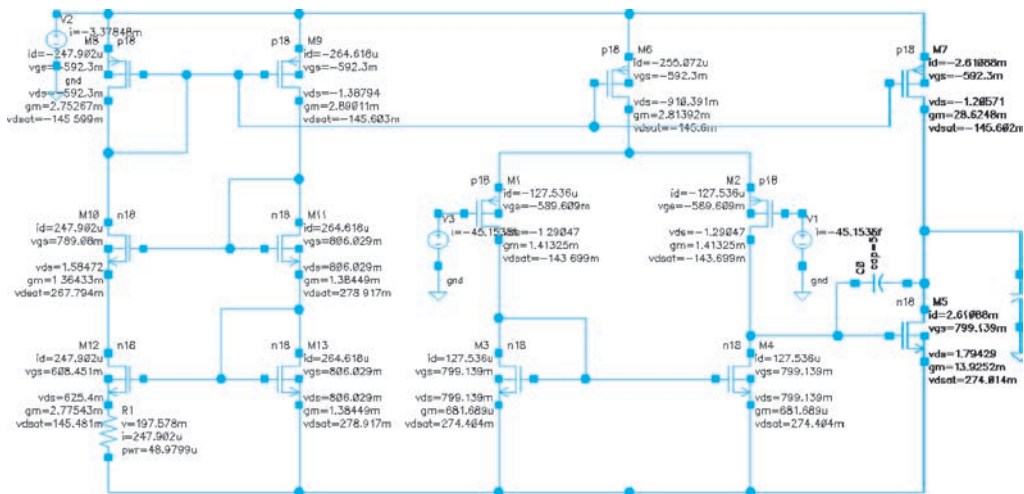


图 5-31 电路主体直流工作点

通过修改电阻 R_1 的大小,可以使基准电流源产生的电流更加准确。本设计中仍然通过仿真器来选择合适的电阻 R_1 。首先设置电阻 R_1 为一个变量 R ; 其次在 ADE 仿真工具中选择 dc 直流分析, Sweep Variable 选择 Design Variable; 然后设计变量选择 R , 设置一个合适的扫描范围进行扫描分析, 而输出选择流经 M_{12} 与 M_{13} 的漏源电流, 全部设置完成后, 进行仿真。可在如图 5-32 所示的曲线中找到最合适的电阻大小, 从而产生所需的电流值。

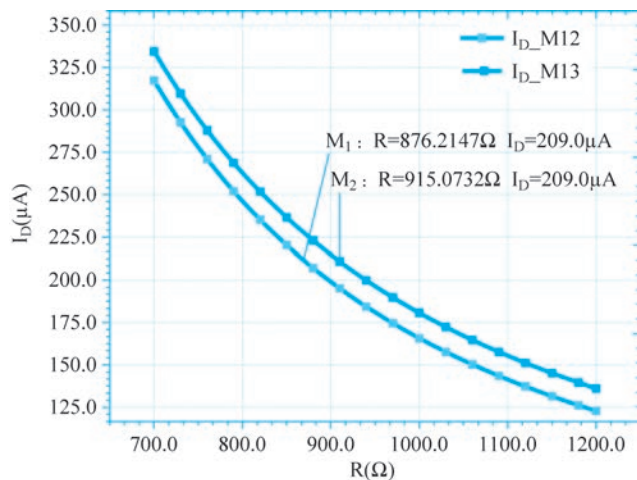


图 5-32 电阻 R_1 与基准电流源的关系图

图 5-32 中两条曲线分别代表基准电流源两条支路的电流。当电流为 $209\mu\text{A}$ 时,两条支路的电流并不相同,为了减小误差,取两种情况下电阻的中间值,设电阻 $R_1 = 895\Omega$,对电路再次进行直流仿真,如图 5-33 所示。从图可以看出,流经 M6 的漏电流为 $209.1\mu\text{A}$,已经非常接近理论计算值。

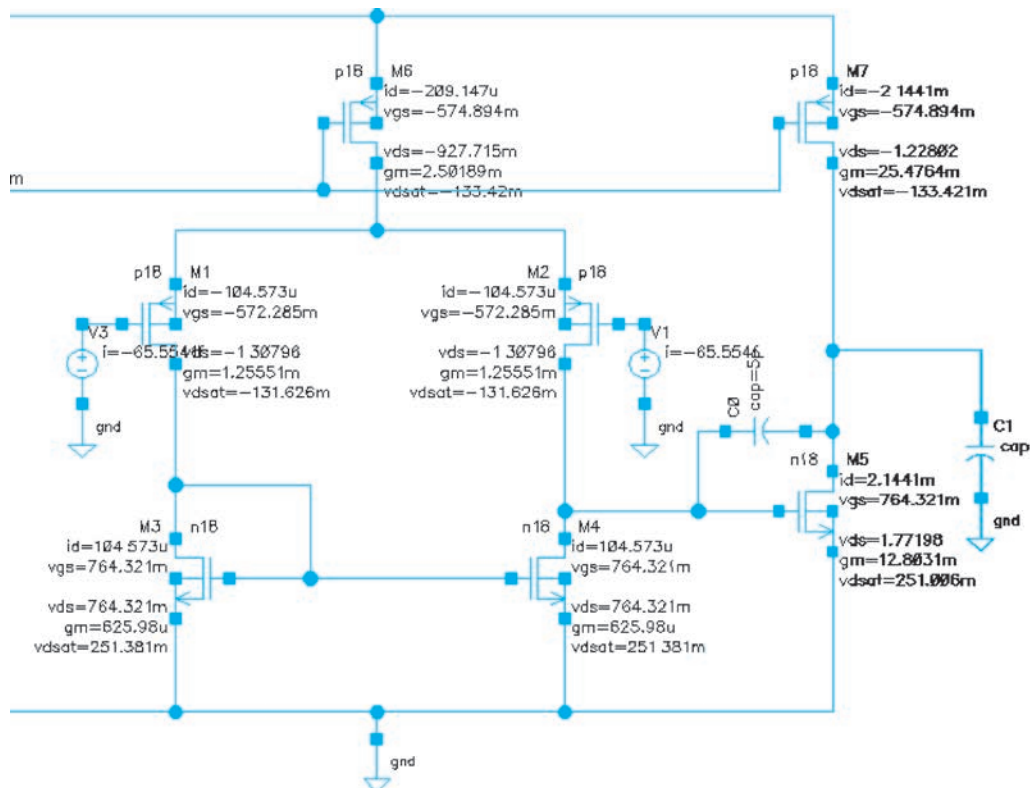


图 5-33 修改电阻 R_1 后再次直流仿真

2. 静态功耗仿真

修改电阻 R_1 后,再次对电路进行仿真查看电路的静态功耗,仿真电路如图 5-34 所示。仿真成功运行后,在 ADE 仿真环境中选择 Results→Print→DC Operating Points,再单击运放电路的电压源信号,如图 5-35 所示。这样就可以得出电路工作的静态电流为 2.8054mA ,所以电路的静态功耗为 $3\text{V} \times 2.8054\text{mA} = 8.4162\text{mW}$,符合设计指标的要求。

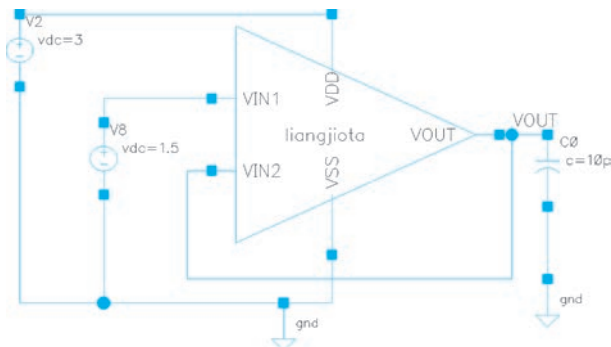


图 5-34 静态功耗仿真电路图

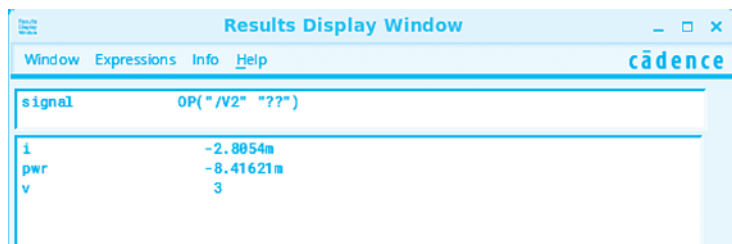


图 5-35 运算放大器的静态总电流

3. 共模输入电压范围仿真

仿真完电路的静态功耗后,可对运放的共模输入电压范围进行仿真。将电路连接成单位增益负反馈形式,运放的反相端直接连接到输出端,正相输入端的 vdc 共模电压设置为一个变量 vcm,对其进行直流扫描分析。仿真环境的输出选择运放的输出端口与正相输入端口,从而查看输入与输出的波形情况,其中仿真时所用电路如图 5-36 所示。

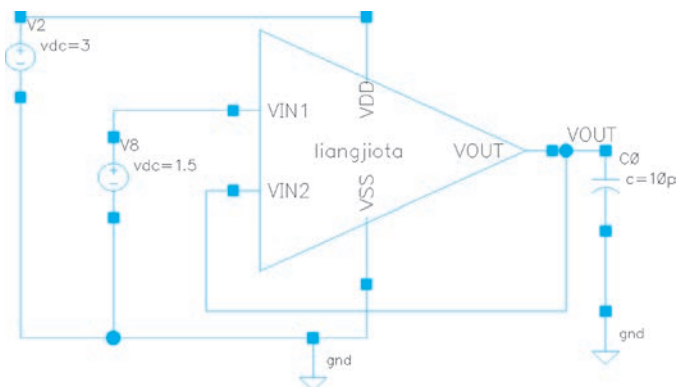


图 5-36 共模电压范围仿真电路

仿真结果如图 5-37 所示,从图中可以看出,共模输入电压在 360mV~2.4V 之间时电路能正常工作,输入级的 MOS 管都工作在饱和区,能够满足设计指标共模输入范围的要求。

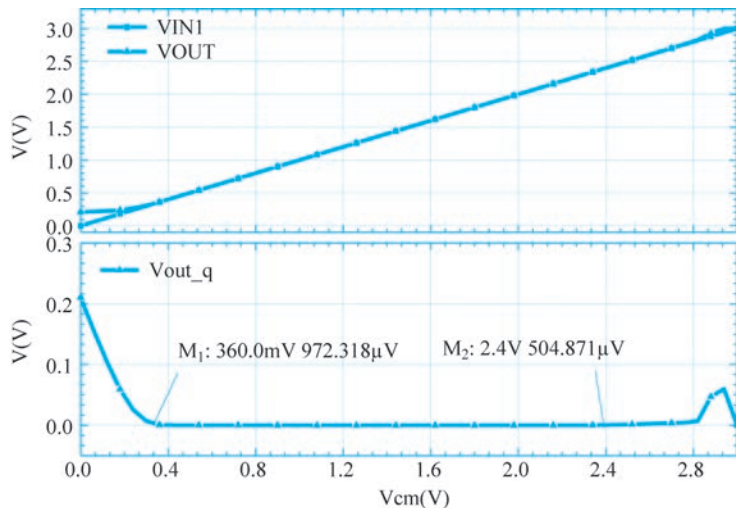


图 5-37 共模电压仿真结果图

通过查看每个 MOS 管的详细参数,再将仿真值与设计值进行对比,可以得出表 5-3。由于 $M_6 \sim M_{11}$ 采用直接复制法,所以不再进行对比。对比电路中主要 MOS 管的跨导 g_m 与 g_m/I_D 值,可以看出设计值与仿真值差别很小,由此也可以证明 g_m/I_D 设计方法在对 MOS 管的参数设置上非常准确。

表 5-3 电路主要 MOS 管设计值与仿真值对比

MOS 管	设计值		仿真值	
	g_m/mS	g_m/I_D	g_m/mS	g_m/I_D
M_1, M_2	1.256	12	1.250	12.0379
M_3, M_4	无	6	624.105	6.008 98
M_5	12.56	6	12.7653	5.995 32
M_{12}	无	12	2.437 42	12.1317
M_{13}	无	6	1.271 78	5.866 29

5.3.3 两级运算放大器的交流仿真

1. 增益与相位裕度仿真

通过对电路进行交流小信号分析,可以得到电路的增益以及相位关系。运放仿真增益与相位裕度所用到的电路如图 5-38 所示,运放的输入端接共模电压 1.5V、交流电压幅值为 1V,相位相反的电压源。设计仿真时 ADE 工具界面设置如图 5-39 所示,其中 Outputs 选择直接添加增益以及相位的函数表达式,就可以直接得到增益与相位的关系图。

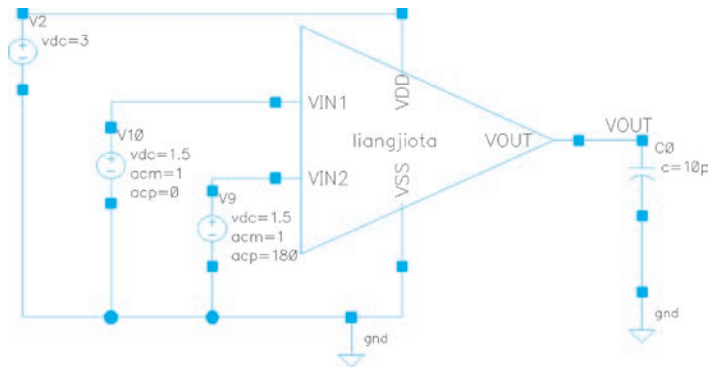


图 5-38 ac 交流仿真电路图

设置完成后进行仿真,得到如图 5-40 的最终结果。从图中可以看出,增益达到了 80.32dB,单位增益带宽为 55MHz,相位裕度为 60.8°,均达到了设计要求。

2. 共模抑制比仿真

对运放的共模抑制比进行仿真,可以将运放连接成单位增益负反馈形式。首先对反相输入端接一个交流电压幅值为 1V 的电压源并连接至输出端,正相输入端则接一个共模电压为 1.5V、交流电压幅值为 1V 的电压源,仿真所用的电路如图 5-41 所示。对电路进行 ac 仿真,仿真结果如图 5-42 所示。

从图 5-42 可以看出,运放的共模抑制比为 76.8267dB,略小于指标要求。对于两级运放的差分输入级,其中输入晶体管 M_1 与 M_2 的值已经确定,过驱动电压也比较小,因此无须再调整输入晶体管的参数。再观察差分输入级中的电流源,若想提高共模抑制比,则需减

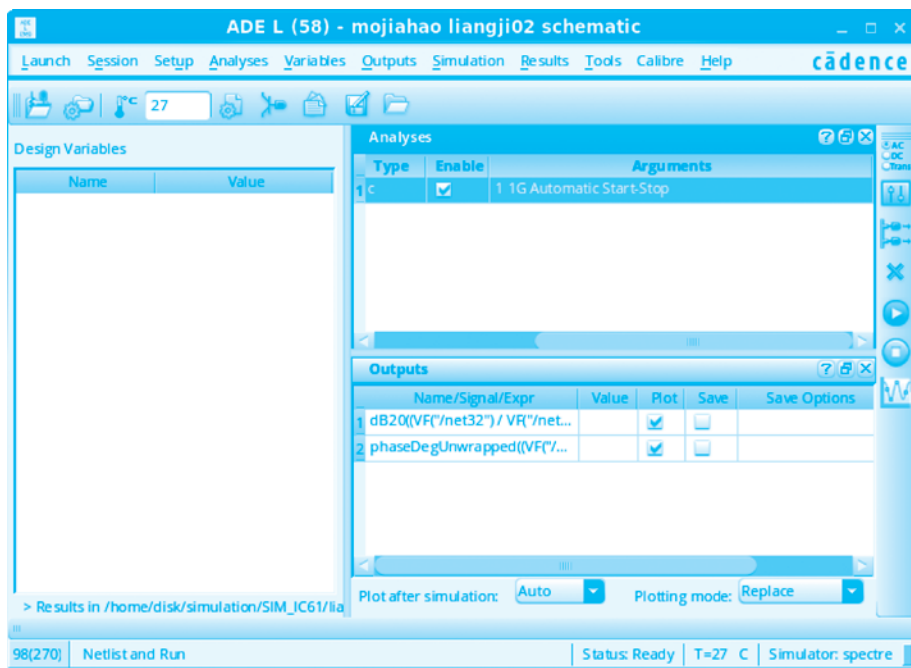


图 5-39 ac 分析时 ADE 仿真器界面

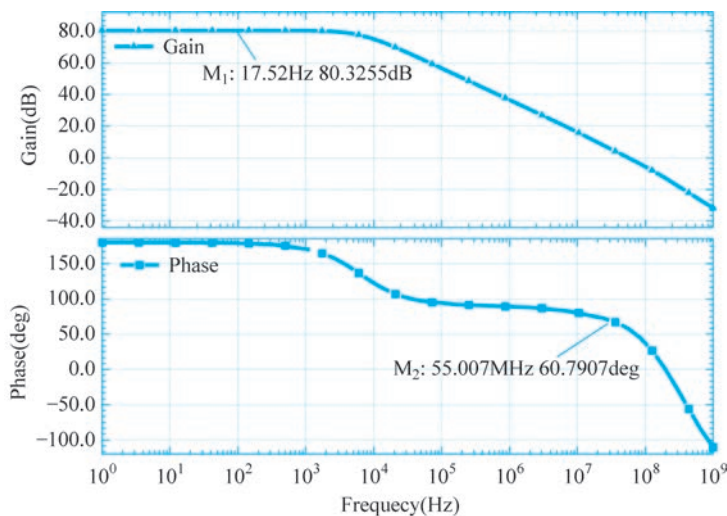


图 5-40 两级运放的增益与相位曲线图

小电流失配,其中过驱动电压 V_{OD} 与 g_m/I_D 值已经确定,因此应尽量不考虑修改电流源晶体管的过驱动电压。除了增大过驱动电压可以增强电流镜的匹配性,还可以增大沟道长度 L 。本设计所采用的电流源 MOS 管的 $L = 600\text{nm}$,为了减小失配,选择将所有的电流源 MOS 管的 L 增大 2 倍,同样其 W 也要增大 2 倍。全部修改完成后,对电路的共模抑制比再次进行仿真,仿真结果如图 5-43 所示。由图可见,共模抑制比达到了 83.5377dB ,满足设计指标的要求,结果也展示了在设计指标对共模抑制比有要求时,设计电流镜要增强匹配性,沟道长度 L 就不能设置得太小。

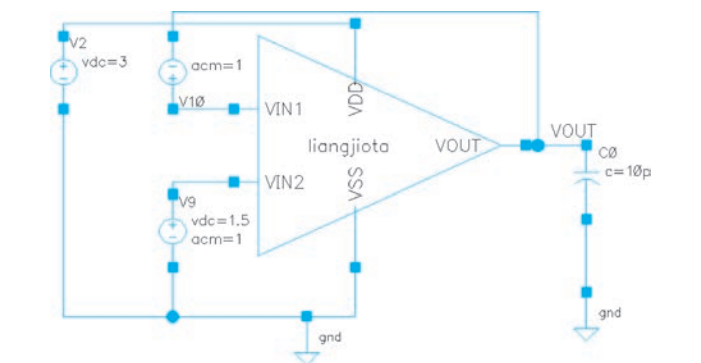


图 5-41 CMRR 仿真电路

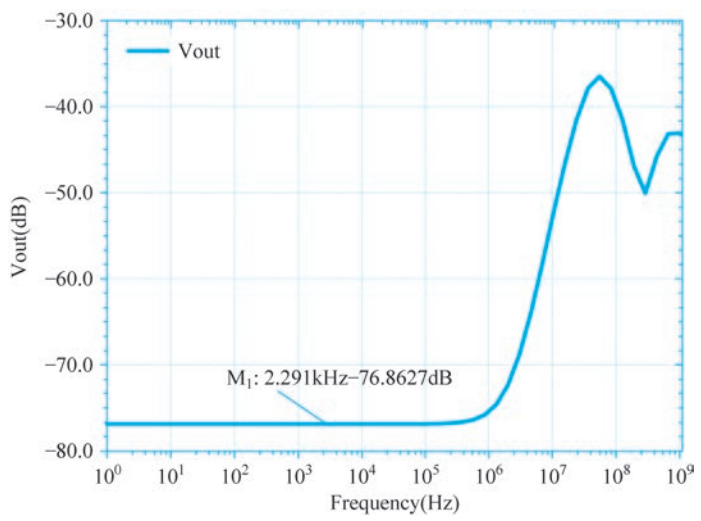


图 5-42 CMRR 仿真结果

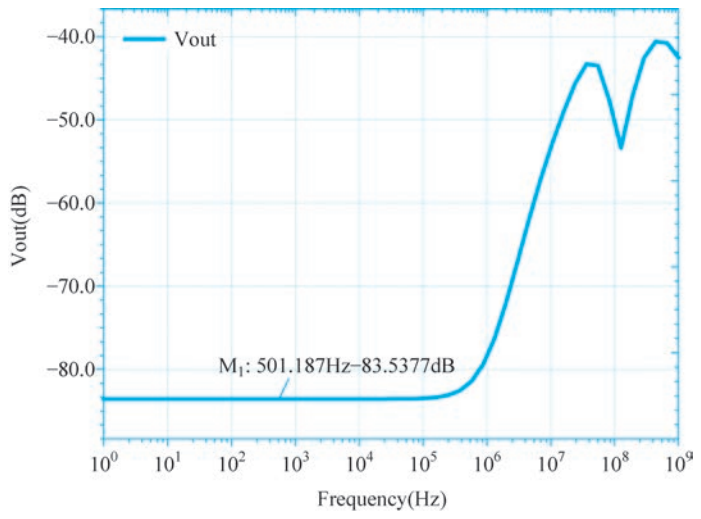


图 5-43 修改后的电路 CMRR 仿真结果

3. 电源抑制比仿真

对运放的电源抑制比进行仿真,首先对电路的电源信号处叠加一个交流电压为 1V 的电压源,将运放的正相输入端直接接输出端,反相输入端接共模电压 1.5V。进行 ac 交流小信号仿真,扫描频率范围设置为 1~100MHz。进行仿真时电路如图 5-44 所示,仿真结果如图 5-45 所示,可以看出,低频时电源抑制比为 108.787dB,满足设计指标。

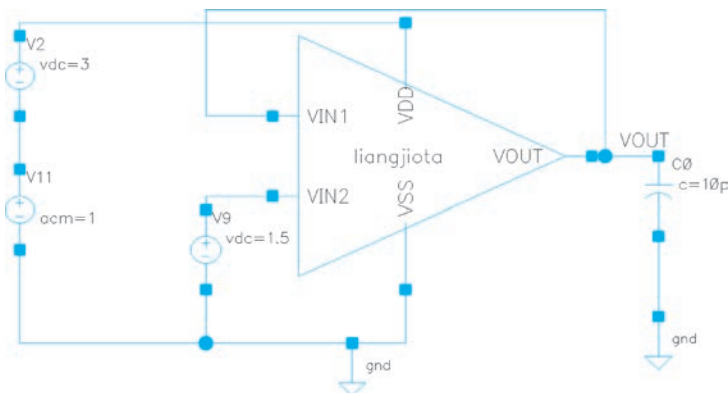


图 5-44 PSRR 仿真电路

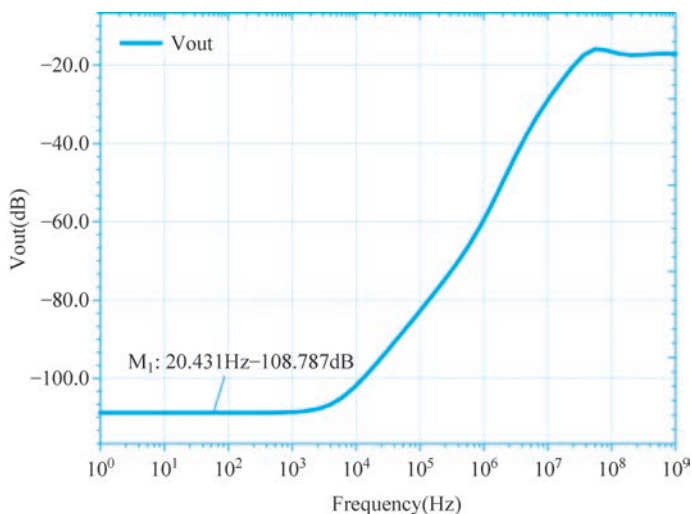


图 5-45 PSRR 仿真结果

5.3.4 瞬态分析

通过对电路进行瞬态分析可以查看两级运放的压摆率大小,仿真电路如图 5-46 所示。

从图 5-47 读出运放输出信号在上升阶段的 $SR=32.3406V/\mu s$,从图 5-48 读出运放在下降阶段的 $SR=43.36648V/\mu s$,因此运放的压摆率 $SR=32.3406V/\mu s$,满足设计指标的要求。

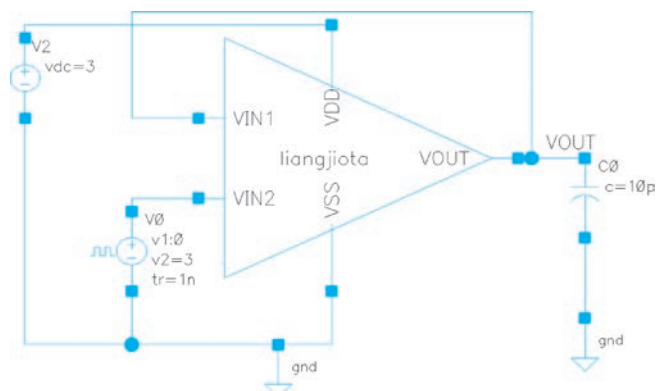


图 5-46 SR 仿真电路

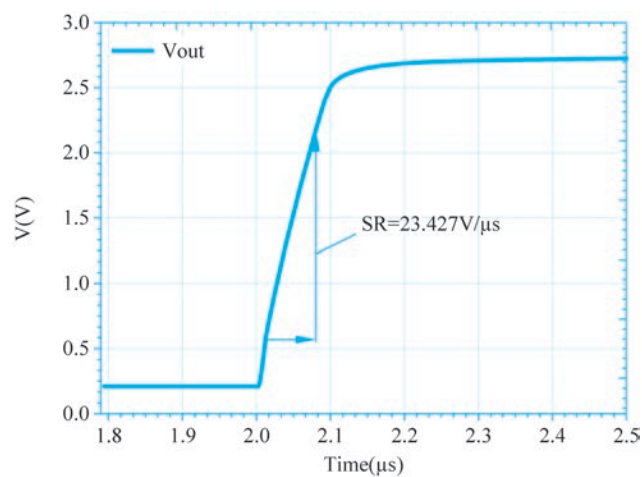


图 5-47 两级运放输出信号上升阶段的压摆率

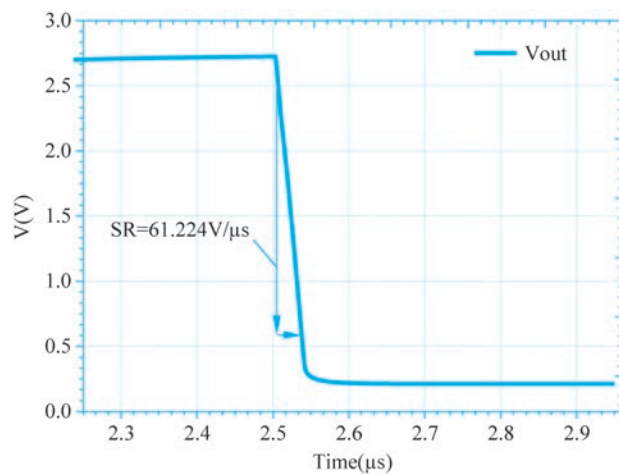


图 5-48 两级运放输出信号下降阶段的压摆率

5.4 仿真结果对比

仿真结果与设计指标的对比,见表 5-4。从表 5-4 中可以看出,仿真结果满足设计指标的要求,结果展示了 g_m/I_D 设计方法的准确性。其中由于共模抑制比的要求,利用 g_m/I_D 所设计的器件尺寸在整个设计过程只进行了一次调整,即增大电流源 MOS 管的沟道长度。这也是设计初期就应该考虑的优化方法,由此也证实了模拟集成电路设计需考虑的多方面折中。

表 5-4 仿真结果与设计指标的对比

性能参数	指标要求	仿真结果
工作电压(V_{DD})/V	$3(1\pm 10\%)$	3
负载电容(C_L)/pF	10	10
开环直流增益(A_v)/dB	≥ 70	80.3255
单位增益带宽(GB)/MHz	40	55.007
相位裕度(PM)/(°)	60~70	60.7907
共模电压范围($V_{IN,COM}$)/V	0.7~2.3	0.36~2.4
输出电压摆幅($V_{out,max}-V_{out,min}$)/V	≥ 2.4	≥ 2.4
共模抑制比(CMRR)/dB	≥ 80	83.5377
压摆率(SR)/(V/ μ s)	≥ 20	23.427
静态功耗/mW	≤ 10	8.4126
电源抑制比(PSRR)/dB	≥ 80	98.983

通过本次两级运放的设计与仿真实例可以看出, g_m/I_D 设计方法比利用 Square-law 公式手工计算 MOS 管尺寸更为准确,尤其是随着工艺库逐渐缩小,晶体管的最小栅宽也变得更窄,通过手算所带来的误差也越来越大。本章节利用的 g_m/I_D 设计方法整个设计周期也更短,比利用公式手算 MOS 管的尺寸效率更高。因此, g_m/I_D 设计方法在设计一些先进工艺库的电路时更加合适快捷,在晶体管过驱动电压的选取上具有很大的优势,以及对晶体管的功耗效率与速度之间进行折中时更为准确直观。