

第5章

EMC设计规范



视频讲解

电磁干扰在电子设备及产品中无处不在,如何使电子设备满足电磁兼容的要求成为设计人员关注的重点问题之一。一个电子系统或设备能否达到所期望的高速工作的频值,在很大程度上取决于 PCB 的设计,而 PCB 很大一部分工作在于布局和布线,这说明布局或布线的好坏直接关系到 PCB 的性能。

本章将对电子设备的电磁兼容进行概述,并列举一些常见的可抑制电磁干扰的电子器件,同时对 PCB 电磁兼容设计的布局布线进行介绍。

学习目标:

- 了解电磁兼容相关知识。
- 了解可抑制电磁干扰的电子器件。
- 掌握 PCB 设计中布局布线的通用规范。

5.1 EMC 概述

5.1.1 EMC 的定义

电磁兼容(Electromagnetic Compatibility, EMC)是研究在有限的空间、时间和频谱资源的功能条件下,各种电气设备共同工作,并不发生降级。各种电气设备、电气装置或系统在共同的电磁环境条件小,既不受电磁环境的影响,也不会给环境以这种影响。各种电气设备会因为周边的电磁环境而导致性能降低、功能丧失和损坏,也不会在周边环境产生过量的电磁能量,以致影响周边设备的正常工作。

5.1.2 EMC 电磁兼容有关的常见术语及其定义

1) 电磁兼容性

设备或系统在其电磁环境中能正常工作且不对该环境中任何事物构成不能承受的电磁骚扰的能力。

2) 电磁干扰(Electromagnetic Interference, EMI)

任何在传导或电磁场伴随着电压、电流的作用而产生会降低某个

装置、设备或系统的性能,或可能对生物或物质产生不良影响之电磁现象。

3) 电磁敏感度(Electromagnetic Susceptibility,EMS)

在电磁骚扰的情况下,装置、设备或系统不能避免性能降低的能力。

4) 电磁骚扰(Electromagnetic Disturbance)

任何可能引起装置、设备或系统性能降低或者对有生命或无生命物质产生损害作用的电磁现象。

5) 电磁辐射(Electromagnetic Radiation)

能量以电磁波形式由源发射到空间的现象。

6) 耦合路径(Coupling Path)

部分或全部电磁能量从规定路径传输到另一电路或装置所经由的路径。

7) 电磁屏蔽(Electromagnetic Screen)

用导电材料减少交变电磁场向指定区域穿透的屏蔽。

8) 电快速瞬变脉冲群(Electrical Fast Transient Burst,Eft/B)

数量有限且清晰可辨的脉冲序列或持续时间有限的振荡,脉冲群中的单个脉冲有特定的重复周期、电压幅值、上升时间、脉宽。

9) 浪涌(Electrical Surge)

瞬间出现超出稳定值的峰值,它包括浪涌电压和浪涌电流。本质上讲,浪涌是发生在仅仅几百万分之一秒时间内的一种剧烈脉冲。

10) 回返电流(Return Current)

任何电流都不是简单地从源端沿着信号线到达接收端,电流必须经过一个完整的回路返回其源头,流经这个回路的电流就是回返电流。

11) 参考平面层(Reference Plane)

参考平面层是PCB内部相邻于电路或信号的铜箔层(如电源平面或地平面),可提供RF电流低阻抗的路径以使其返回到源头。

12) 微带线(Microstrip Line)

PCB外层的走线,经电介质邻接参考平面层。

13) 带状线(Stripline)

带状线介于两个完整参考平面层(电源层或地层)之间。

14) 天线效应(Antenna Effect)

印制板上任何“悬空”的金属都会积累电荷,当能量足够大时便会向外辐射能量,形成天线效应。

15) 辐射骚扰(Radiated Emission,RE)

能量以电磁波的形式由源发射到空间,或能量以电磁波形式在空间传播的现象。

16) 传导干扰(Conducted Emission,CE)

传导干扰是指通过介质把一个电网络上的信号耦合到另一个电网络。

17) 静电放电(Electrostatic Discharge,ESD)

具有不同静电电位的物体互相靠近或直接接触引起的电荷转移。

5.1.3 EMC 电磁兼容研究的目的及意义

EMC 电磁兼容研究的目的及意义介绍如下：

- (1) 确保系统内部的电路正常工作,互不干扰,以达到预期的功能。
- (2) 降低电子系统对外的电磁能量辐射,使系统产生的电磁干扰强度低于特定的限定值。
- (3) 减少外界电磁能量对电子系统的影响,提高系统自身的抗扰能力。

5.1.4 EMC 的主要内容

EMC 是研究在给定的时间、空间、频谱资源的条件下：

- (1) 同一设备内部各电路模块的相容性,互不干扰、能正常工作。
- (2) 不同设备之间的相容性,EMC 分为 EMI、EMS 两部分：

EMI: 电磁干扰,即处在一定环境中设备或系统,在正常运行时,不应产生超过相应标准所要求的电磁能量。

EMS: 电磁敏感度,即处在一定环境中设备或系统,在正常运行时,设备或系统能承受相应标准规定范围内的电磁能量干扰,或者说设备或系统对于一定范围内的电磁能量不敏感,能按照设计的性能保持正常的运行、工作(防静电要求为此类)。

5.1.5 EMC 三要素

EMC 三要素包括干扰源、传导路径和敏感器件,分别介绍如下：

- (1) 干扰源。

干扰源包括：

- 时钟电路(包括晶振、时钟驱动电路)；
- 开关电源；
- 高速总线(通常为低位地址总线如：A0、A1、A2)；
- 高电平信号、大电流信号、 dv/dt 、 di/dt 高信号；
- 继电器；
- 部分塑封器件；
- 内部互连电缆。

- (2) 传导路径。

传导路径是传播 RF 能量的各种媒质,例如自由空间、互连电缆(共模耦合)按传播的方式,电磁干扰分成两种类型：

① 传导型干扰：传导型干扰是系统产生并返回到支流输入线或信号线的噪声,这个噪声的频率为 10kHz~30MHz,它既有共模方式,又有差模方式。LC 网络常常是抑制传导干扰的主要方式。

② 辐射型干扰：辐射型干扰以电磁波的方式直接发射,线路中一个普通的例子是电源线扮演发射天线的作用,频率覆盖范围为 30MHz~1GHz,这个范围的 EMI 可通过金

属屏蔽的方式抑制。

(3) 敏感器件。

PCB上的各种敏感器件易于接收来自 I/O 线缆的辐射干扰并把这些有害能量传输到其他敏感电路或器件上,敏感器件或信号主要包括锁相环、收发模块、模拟信号、复位信号、小弱信号等。

5.1.6 EMC 设计对策

EMC 设计对策包括以下内容:

1) 降低干扰源

- ① 合理的 PCB 设计,消除 RF 干扰。
- ② 多为增加磁珠和电感,尤其是坦电容。
- ③ 将有源器件所有辐射通过 PCB 设计将电感能量限制在最小。
- ④ 利用时钟扩频技术或适当的减缓信号的上升沿来降低时钟信号的干扰强度。
- ⑤ 在器件选型方面以及天线效应方面(如严格控制线头长度、控制信号回路面积)来控制 EMI 的强度。

2) 切断或削弱传播途径

- ① 对应传导耦合:加滤波电容、滤波器、共模线圈、隔离变压器等。
- ② 对应辐射耦合:相邻层垂直走线、加屏蔽地线、磁性器件合理布局、3W 原则、正确层分布、辐射能力强或敏感信号内布层、使用 I/O 双绞线、辐射信号强的信号远离拉手条、板边缝隙等。

3) 提高设备的抗干扰能力

PCB 设计时采用接地、屏蔽、滤波技巧,提高设备的抗干扰能力。

5.1.7 EMC 设计技巧

EMC 设计技巧包括如下内容:

1) 信号质量的要求

在产品的 EMC 设计中,除了通过有关测试、获取 CE 认证外,还必须结合信号完整性分析,保证信号质量。

2) 系统设计,对策多样化

目前业界一流公司在 EMC 的处理上均采用注重源头控制的 EMC 系统设计,从产品的概念、设计阶段给予关注,可在原理、PCB、结构、线缆、屏蔽、滤波、软件等各个方面采取对策。

设计之初多采取一些抑制措施,电子产品的 EMC 性能是设计赋予。

3) 缩短开发周期

重视源头控制,缩短开发周期。

4) 降低批量成本

PCB 的设计需要综合质量、成本、加工工艺、EMC、安规、热等诸多因素,缺乏对以上

的综合考虑,都不是一个成功的产品。需要对以上因素做到全局把握,根据实际情况,采取不同的对策,降低批量成本。

5) 信号完整性设计

信号完整性是指一个信号在电路中产生正确的相应的能力,信号具有良好的信号完整性。信号完整性问题包括反射、振荡、地弹、串扰等。注重源头控制 EMC 系统设计,从产品的概念、设计阶段给予关注,可在原理、PCB、结构、线缆、屏蔽、滤波、软件等各个方面采取对策。

① 过大的上冲,可能是终端阻抗不匹配,可使用终端端接或使用上升时间缓慢的驱动源。

② 直流电压电平不好,可能是线上负载过大,可以用交流负载替换直流负载,或者在接收端端接,重新布线或检查地平线。

③ 过大的串扰,可能是因为线间耦合过大,可使用上升时间缓慢的发送驱动器,或使用能提供更大驱动电流的驱动源。

④ 时延太大,可能是传输线距离太长,可替换或重新布线,检查串行端接头,或使用与阻抗匹配的驱动源,变更布线策略。

⑤ 振荡,有可能是阻抗不匹配造成的,可在发送端串接阻尼电阻。

6) 滤波、干扰

滤波技术是抑制干扰的一种有效措施,尤其是在对付开关电源 EMI 信号的传导干扰和某些辐射干扰方面,具有明显的效果。

任何电源线上传导干扰信号,均可用差模和共模干扰信号来表示。差模干扰在两导线之间传输,属于对称性干扰;共模干扰在导线与地机壳之间传输,属于非对称性干扰。在一般情况下,差模干扰幅度小、频率低、所造成的干扰较小;共模干扰幅度大、频率高,还可以通过导线产生辐射,所造成的干扰较大。因此,欲削弱传导干扰,把 EMI 信号控制在有关 EMC 标准规定的极限电平以下,除抑制干扰源以外,最有效的方法就是在开关电源输入和输出电路中加装 EMI 滤波器。一般设备的工作频率约为 10~50kHz,EMC 很多标准规定的传导干扰电平的极限值都是从 10kHz 算起。对开关电源产生的高频段 EMI 信号,只要选择相应的去耦电路或网络结构较为简单的 EMI 滤波器,就不难满足符合 EMC 标准的滤波效果。

瞬态干扰:瞬态干扰是指交流电网上出现的浪涌电压、振铃电压、火花放电等瞬间干扰信号,其特点是作用时间极短,但电压幅度高、瞬态能量大。当瞬态电压叠加在整流滤波后的直流输入电压超过内部功率开关管的漏-源极击穿电压时,瞬态干扰会造成单片开关电源输出电压的波动。因此必须采用抑制措施。通常静电放电(ESD)和电快速瞬变脉冲群(EFT)对数字电路的危害甚于其对模拟电路的影响。静电放电在 5~200MHz 的频率范围内产生强烈的射频辐射。此辐射能量的峰值经常会在 35~45MHz 发生自激振荡。许多 I/O 电缆的谐振频率也通常在这个频率范围内,电缆中便串入了大量的静电放电辐射能量。当电缆暴露在 4~8kV 静电放电环境中时,I/O 电缆终端负载上可以测量到的感应电压可达到 600V。这个电压远超出了典型数字的门限电压值 0.4V。典型的感应脉冲持续时间大约为 400ns。将 I/O 电缆屏蔽起来,且将其两端接地,使内部信号引线全部处于屏蔽层内,可以将干扰减小 60~70dB,负载上的感应电压只有 0.3V 或更低。

电快速瞬变脉冲群也产生相当强的辐射发射,从而耦合到电缆和机壳线路。电源线滤波器可以对电源进行保护。线-地之间的共模电容是抑制这种瞬态干扰的有效器件,它使干扰旁路到机壳,而远离内部电路。当这个电容的容量受到泄漏电流的限制而不能太大时,共模扼流圈必须提供更大的保护作用。这通常要求使用专门的带中心抽头的共模扼流圈,中心抽头通过一只电容(容量由泄漏电流决定)连接到机壳。共模扼流圈通常绕在高导磁率铁氧体芯上,其典型电感值为 $15\sim 20\text{mH}$ 。

合理布置电源滤波/退耦电容:一般在原理图中仅画出若干电源滤波/退耦电容,但未指出它们各自应接于何处。其实这些电容是为开关器件(门电路)或其他需要滤波/退耦的部件而设置的,布置这些电容就应尽量靠近这些元部件,离得太远就没有作用了(当电源滤波/退耦电容布置的合理时,接地点的问题就显得不那么明显)。

- 电源输入端跨接 $10\sim 100\mu\text{F}$ 的电解电容器,如有可能,接 $100\mu\text{F}$ 以上的更好。
- 原则上每个集成电路芯片都应布置一个 0.01pF 的瓷片电容,如遇印制板空隙不够,可每 $4\sim 8$ 个芯片布置一个 $1\sim 10\text{pF}$ 的钽电容。
- 对于抗噪能力弱、关断时电源变化大的器件,如 RAM、ROM 存储器件,应在芯片的电源线和地线之间直接接入退耦电容。
- 电容引线不能太长,尤其是高频旁路电容不能有引线。
- 在印制板中有接触器、继电器、按钮等元件时。操作它们时均会产生较大火花放电,必须采用 RC 电路来吸收放电电流,一般 R 取 $1\sim 2\text{k}\Omega$,C 取 $2.2\sim 47\mu\text{F}$ 。
- CMOS 的输入阻抗很高,且易受干扰,因此在使用时对不用端要接地或接正电源。

7) 金属氧化物压敏电阻应用

压敏电阻是目前广泛应用的瞬变干扰吸收器件,描述压敏电阻性能的主要参数是压敏电阻的标称电压和通流容量即浪涌电流吸收能力,前者是使用者经常易弄混淆的一个参数。压敏电阻标称电压是指在恒流条件下(外径为 7mm 以下的压敏电阻取 0.1mA ; 7mm 以上的取 1mA)出现在压敏电阻两端的电压降。由于压敏电阻有较大的动态电阻,在规定形状的冲击电流下(通常是 $8/20\mu\text{s}$ 的标准冲击电流)出现在压敏电阻两端的电压(亦称是最大限制电压)大约是压敏电阻标称电压的 $1.8\sim 2$ 倍(此值也称残压比)。这就要求使用者在选择压敏电阻时事先有所估计,对确实有可能遇到较大冲击电流的场合,应选择使用外形尺寸较大的器件(压敏电阻的电流吸收能力正比于器件的通流面积,耐受电压正比于器件厚度,而吸收能量正比于器件体积)。使用压敏电阻要注意它的固有电容。根据外形尺寸和标称电压的不同,电容量在数千至数百 pF ,这意味着压敏电阻不适宜在高频场合下使用,比较适合于在工频场合,如作为晶闸管和电源进线处做保护用。特别要注意的是,压敏电阻对瞬变干扰吸收时的高速性能(达 ns 级),故安装压敏电阻必须注意其引线的感抗作用,过长的引线会引入由于引线电感产生的感应电压(在示波器上,感应电压呈尖刺状),引线越长,感应电压也越大。为取得满意的干扰抑制效果,应尽量缩短其引线。关于压敏电阻的电压选择,要考虑被保护线路可能有的电压波动(一般取 $1.2\sim 1.4$ 倍)。如果是交流电路,还要注意电压有效值与峰值之间的关系。所以对 220V 线路,所选压敏电阻的标称电压应当是 $220\times 1.4\times 1.4\sim 430\text{V}$ 。此外,就压敏电阻的电流吸收能力来说, 1kA (对 $8/20\mu\text{s}$ 的电流波)用在晶闸管保护上, 3kA 用在电器设备的浪涌吸收上; 5kA 用在雷击及电子设备的过压吸收上; 10kA 用在雷击保护上。压敏

电阻的电压档次较多,适合做设备的一次或二次保护。

8) 硅瞬变电压吸收二极管(TVS 管)的应用

硅瞬变电压吸收二极管具有极快的响应时间(亚纳秒级),和相当高的浪涌吸收能力,及极多的电压档次。可用于保护设备或电路免受静电、电感性负载切换时产生的瞬变电压,以及感应雷所产生的过电压。TVS 管有单方向(单个二极管)和双方向(两个背对背连接的二极管)两种,它们的主要参数是击穿电压、漏电流和电容。使用中 TVS 管的击穿电压要比被保护电路工作电压高 10% 左右,以防止因线路工作电压接近 TVS 击穿电压,使 TVS 漏电流影响电路正常工作;也避免因环境温度变化导致 TVS 管击穿电压落入线路正常工作电压的范围。

TVS 管有多种封装形式,如轴向引线产品可用在电源馈线上;双列直插的和表面贴装的适合于在印刷板上作为逻辑电路、I/O 总线及数据总线的保护。

TVS 管在使用中应注意如下事项:

对瞬变电压的吸收功率(峰值)与瞬变电压脉冲宽度间的关系。

- 对小电流负载的保护,可有意识地在线路中增加限流电阻,只要限流电阻的阻值适当,不会影响线路的正常工作,而限流电阻对干扰所产生的电流却会大大减小。这就有可能选用峰值功率较小的 TVS 管对小电流负载线路进行保护。
- 对重复出现的瞬变电压的抑制,尤其值得注意的是 TVS 管的稳态平均功率是否在安全范围内。
- 作为半导体器件的 TVS 管,要注意环境温度升高时的降额使用问题。
- 特别要注意 TVS 管的引线长短,以及它与被保护线路的相对距离。
- 当没有合适电压的 TVS 管供使用时,允许用多个 TVS 管串联使用,串联管的最大电流决定于所采用管中电流吸收能力最小的一个,而峰值吸收功率等于这个电流与串联管电压之和的乘积。
- TVS 管的结电容是影响它在高速线路中使用的关键因素,在这种情况下,一般用一个 TVS 管与一个快恢复二极管以背对背的方式连接,由于快恢复二极管有较小的结电容,因而二者串联的等效电容也较小,可满足高频使用的要求。

9) 传导干扰及抑制措施

传导干扰的频率大致为 100kHz~30MHz,而且不同的标准定义的频率范围不一样。我们国家采用的标准与 FCC 标准相似。传导干扰是指干扰信号通过馈电线对市电网的干扰。由于绝大部分的电器、仪表都直接与电网相连接,抑制传导干扰意义在于减小仪表电器对电网的污染,防止干扰信号通过电网这个公共途径对其他电子设备产生干扰。

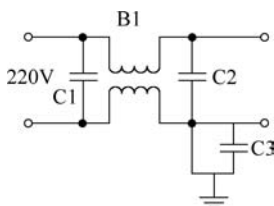


图 5-1 共模滤波器

传导干扰是电网上的高频负载引起的,这些负载是高频工作的开关电源、高频信号源、高频加热器等。这些负载往往会产生脉冲式的大电流,这些电流通过大的电流环路,产生了一些滤波电路无法滤除的共模噪声,而且噪声中包含了丰富的高次谐波。

抑制传导干扰最常用的方法是在电网馈电回路中插入共模滤波器,共模滤波器如图 5-1 所示,由 C1、C2、C3

与 B1 组成, C1 为安全标准件, 取值为 $0.047 \sim 0.47 \mu\text{F}$, 耐压为 AC250V, 薄膜电容, 主要是滤除差模噪声。B1 是绕在同一磁路上的两组线圈, 电感量在 $12 \sim 50 \text{mH}$, 磁性材料为一般的铁氧体软磁材料。C2 及 C3 也是安全标准件, 取值在 $1000 \sim 4700 \text{pF}$, 耐压为 AC250V, 陶瓷介质的电容, 起到抑制共模噪声的作用。

10) 辐射干扰及其抗干扰措施

① 辐射干扰的频率范围为 $30 \text{MHz} \sim 1 \text{GHz}$, 辐射是高频信号源通过布线向空间辐射电磁谐波能量。这些不受控制的电磁波辐射会影响正常的无线电通信, 例如干扰收音机、电视机、无线电话等设备。

② 辐射干扰是超高频信号通过布线作为发射天线向外辐射无用电磁能量, 因此尽可能缩小可被利用的布线尺寸, 有利于降低辐射干扰。

抗干扰措施如下:

① 净化电源线。由于电源线是一切信号源的能量供给线, 故电源上被污染的可能性最大, 并且电源线尺寸大且长, 处理不好, 辐射就很容易把电源线作为干扰出口通道。要净化电源线, 就必须在电源布线的恰当位置加入滤波电容。这些电容要求高频特性好、尺寸小、便于靠近负载。这些电容一般为叠层式的陶瓷电容, 容量取 $0.01 \sim 0.47 \mu\text{F}$, 电容靠近负载(各种 IC)的电源管脚, 并且注意布线, 如图 5-2 所示。

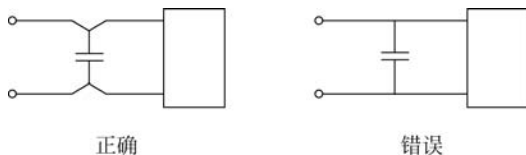


图 5-2 电容靠近负载的电源管脚

② 减缓高频信号源的边沿的上升及下降时间。极快的上升沿与下降沿包含了很大的高次谐波能量, 这些谐波都易于辐射, 快速的边沿也易通过布线的等效分布电容与电感的谐振而产生极高的电压及电流尖峰而产生大的辐射干扰。因此, 在保证信号时序的前提下最大可能地降低边沿速度是很有必要的。一般的方法是在线上串联电阻, 电阻与分布电容的积分效应可放慢信号的边沿速度, 也可通过选择适当的电阻作为布线的等效的 RLC 回路的阻尼电阻, 防止线上产生电压及电流尖峰。这些阻尼电阻的取值为数十欧到数百欧, 电阻在线上的位置应尽可能靠近信号的源端, 便于产生 RC 积分效应。对于双向的数据线, 可以在两个源端均插入电阻。这些电阻随着信号的频率上升, 布线延长而减小, 适当的值应通过实验确定。

5.2 常见 EMC 器件

电磁兼容性元件是解决电磁干扰发射和电磁敏感度问题的关键, 正确选择和使用这些元件是做好电磁兼容性设计的前提。由于每种电子元件都有其各自的特性, 因此在设计时要仔细考虑。接下来将讨论一些常见的用来减少或抑制电磁兼容性的电子元件和电路设计技术。

5.2.1 磁珠

磁珠的英文名称为 Bead,其主要原料为铁氧体。铁氧体磁珠是目前应用发展很快的一种抗干扰器件,其廉价、易用,可滤除高频电磁干扰(EMI)噪声,效果显著。它等效于电阻和电感串联,但电阻值和电感值都随频率变化。它比普通的电感有更好的高频滤波特性,在高频时呈现阻性,所以能在相当宽的频率范围内保持较高的阻抗,从而提高高频滤波效果。

1) 磁珠的主要特性参数

直流电阻(DC Resistance,DCR): 直流电流通过磁珠时,磁珠所呈现的电阻值,单位为毫欧姆(mΩ)。

额定电流(Rated Current): 表示磁珠正常工作时的最大允许电流。

阻抗: 这里所指的是交流阻抗,单位为欧姆(Ω)。

电阻频率特性: 描述电阻值随频率变化的曲线。

感抗频率特性: 描述感抗随频率变化的曲线。

2) 磁珠的选用

磁珠在低频端几乎没有任何阻抗,只有在高频时才会表现出很高的阻抗。故而一般在抑制高频干扰时大多选择磁珠。

选择磁珠除了注意百兆阻抗、直流阻抗、额定电流这三个参数外,还应该注意磁珠的使用类别,如高频高速磁珠、电源磁珠(大电流)、普通信号磁珠。

3) 磁珠的典型应用

铁氧体磁珠广泛应用于印制电路板电源线和信号数据线。例如,在印制板的电源线入口端加上铁氧体磁珠,就可以滤除高频干扰。

铁氧体磁珠专用于抑制信号线、电源线上的高频干扰和尖峰干扰,它也具有吸收静电放电脉冲干扰的能力。

磁珠在典型应用的信号接口中,主要抑制端口带出的干扰以及外来干扰,如 232 接口、VGA 接口、LCD 接口等。

铁氧体磁珠还用于数字电源电路中滤除高频噪声,如晶振电源、PLL 电源等。

在数字电路中,由于脉冲数字信号含有频率很高的高次谐波,也是电路高频辐射的主要根源,所以可在这种场合应用磁珠,如时钟信号线、数据地址总线等。

4) 磁珠选择的注意事项

① 不需要的信号的频率范围为多少。

② 噪声源是谁。

③ 需要多大的噪声衰减。

④ 环境条件是什么(温度、直流电压、结构强度)。

⑤ 电路和负载阻抗是多少。

⑥ 是否有空间在 PCB 上放置磁珠;前三条通过观察厂家提供的阻抗频率曲线就可以判断。在阻抗曲线中三条曲线都非常重要,即电阻、感抗和总阻抗。

5.2.2 共模电感

共模电感(Common Mode Choke),也叫共模扼流圈,常用于计算机的开关电源中过

滤共模的电磁干扰信号。在板卡设计中,共模电感也是起 EMI 滤波的作用,用于抑制高速信号线产生的电磁波向外辐射发射。

1) 共模电感的主要特性参数

阻抗值: 共模滤波器(Common Mode Filter)的规格标示上均会有两条曲线,上面的是共模的阻抗曲线,下面的是差模的阻抗曲线(阻值高影响信号传输),如图 5-3 所示。

直流电阻: DCR 为直流状态的电阻值,此值若太高在电源端口会形成压降。

额定电压: 指电气设备长时间正常工作时的最佳电压,额定电压也称为标称电压。

额定电流: 指用电设备在额定电压下,按照额定功率运行时的电流。

2) 共模电感的选用及注意事项

所需阻抗: 需要多少噪声衰减。

所需频率范围: 噪声频率带宽是多少。

所需的电流处理: 它必须处理多少差模电流。

3) 典型应用

信号共模滤波器主要被应用于 USB、ETH、1394、LVDS、DVI、HDMI、DisplayPort、DDR 时钟、485、CAN 等高速接口的差分信号线滤除共模干扰噪声,并确保信号的完整性。

电源接口共模电感主要用在 AC 电源、DC 电源接口。其中,AC 接口主要用 1~30mH 的共模电感;DC 接口一般用几十微亨(μ H)滤波高频。

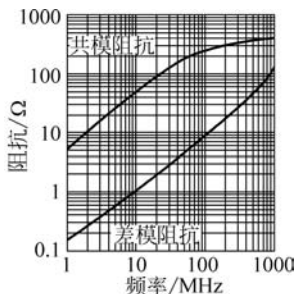


图 5-3 频率-阻抗曲线图

5.2.3 瞬态抑制二极管(TVS)

瞬态抑制二极管(TVS)是由半导体硅材料制造的特殊二极管,它与电路并联使用,电路正常时 TVS 处于关断状态呈现高阻抗,当有浪涌冲击电压时能以纳秒(ns)量级的速度从高阻抗转变为低阻抗吸收浪涌功率,使浪涌电压通过其自身到地,从而保护电路不受侵害。其特点是作用时间短、电压幅度高、瞬态能量大,瞬态电压叠加在电路的工作电压上会造成电路的“过电压”而损坏。

1) 瞬态抑制二极管的主要特性参数

① 最大反向漏电流 I_D 和额定反向关断电压 V_{WM} 。

V_{WM} 是 TVS 最大连续工作的直流或脉冲电压,当这个反向电压加入 TVS 的两极间时,它处于反向关断状态,流过它的电流应小于或等于其最大反向漏电流 I_D 。

② 最小击穿电压 V_{BR} 。

V_{BR} 是 TVS 最小的击穿电压。25℃ 时,在这个电压之前,TVS 是不导通的。当 TVS 流过规定的测试电流时,加入 TVS 两极间的电压为其最小击穿电压 V_{BR} 。按 TVS 的 V_{BR} 与标准值的离散程度,可把 TVS 分为 $\pm 5\% V_{BR}$ 和 $\pm 10\% V_{BR}$ 两种。对于 $\pm 5\% V_{BR}$, $V_{WM}=0.85 V_{BR}$; 对于 $\pm 10\% V_{BR}$, $V_{WM}=0.81 V_{BR}$ 。

③ 最大箝位电压 V_C 和最大峰值脉冲电流 I_{PP} 。

当持续时间为 $20\mu s$ 的脉冲峰值电流 I_{PP} 流过 TVS 时,在其两极间出现的最大峰值电压为 V_C 。它是串联电阻上和因温度系数两者电压上升的组合。 V_C 、 I_{PP} 反映 TVS 器件的浪涌抑制能力。 V_C 与 V_{BR} 之比称为箝位因子,一般在 $1.2\sim 1.4$ 。

④ 电容量 C 。

电容量 C 是由 TVS 雪崩结截面决定的、在特定的 $1MHz$ 频率下测得的。 C 的大小与 TVS 的电流承受能力成正比, C 过大将使信号衰减。因此, C 是数据接口电路选用 TVS 的重要参数。

⑤ 最大峰值脉冲功耗 P_M 。

P_M 是 TVS 能承受的最大峰值脉冲功耗。其规定的试验脉冲波形和各种 TVS 的 P_M 值,请查阅有关产品手册。在给定的最大箝位电压下,功耗 P_M 越大,其浪涌电流的承受能力越大;在给定的功耗 P_M 下,箝位电压 V_C 越低,其浪涌电流的承受能力越大。另外,峰值脉冲功耗还与脉冲波形、持续时间和环境温度有关。而且 TVS 所能承受的瞬态脉冲是不重复的,器件规定的脉冲重复频率(持续时间与间歇时间之比)为 0.01% ,如果电路内出现重复性脉冲,应考虑脉冲功率的“累积”,有可能使 TVS 损坏。

⑥ 箝位时间 T_C 。

T_C 是 TVS 两端电压从零到最小击穿电压 V_{BR} 的时间。对单极性 TVS 一般是 $1\times 10^{-12}s$;对双极性 TVS 一般是 $1\times 10^{-11}s$ 。

2) 瞬态抑制二极管的选用及注意事项

① 确定被保护电路的最大直流或连续工作电压、电路的额定标准电压和“高端”容限。

② TVS 额定反向关断 V_{WM} 应大于或等于被保护电路的最大工作电压。若选用的 V_{WM} 太低,器件可能进入雪崩或因反向漏电流太大影响电路的正常工作。串行连接分电压,并行连接分电流。

③ TVS 的最大箝位电压 V_C 应小于被保护电路的损坏电压。

④ 在规定的脉冲持续时间内,TVS 的 P_M 必须大于被保护电路内可能出现的峰值脉冲功率。在确定最大箝位电压后,其峰值脉冲电流应大于瞬态浪涌电流。

⑤ 对于数据接口电路的保护,还必须注意选取具有合适电容 C 的 TVS 器件。

⑥ 根据用途选用 TVS 的极性 & 封装结构。交流电路选用双极性 TVS 较为合理;多线保护选用 TVS 阵列更为有利。

⑦ 温度考虑。瞬态电压抑制器可以在 $-55\sim +150^{\circ}C$ 工作。如果需要 TVS 在一个变化的温度环境中工作,由于其反向漏电流 I_D 是随温度增加而增大,功耗随 TVS 结温增加而下降,从 $+25\sim +175^{\circ}C$,大约线性下降 50% ,击穿电压 V_{BR} 随温度的增加按一定的系数增加。因此,必须查阅有关产品资料,考虑温度变化对其特性的影响

3) 典型应用

TVS 主要应用在 485 接口、232 接口、USB 接口、VGA 接口等需要防静电以及热插拔端口。

5.2.4 气体放电管

气体放电管(GDT)是一个由密封于气体放电管介质的(不处在大气压力下的空气中)一个或一个以上放电间隙组成的器件,用于保护设备或人身免遭高压电压的危害。

1) 气体放电管的主要特性参数

- ① 直流击穿电压。
- ② 冲击击穿电压。
- ③ 绝缘电阻。
- ④ 极间电容。

2) 气体放电管的选用及注意事项

① 在快速脉冲冲击下,陶瓷气体放电管气体电离需要一定的时间(一般为 $0.2 \sim 0.3 \mu\text{s}$),因而有一个幅度较高的尖脉冲会泄漏到后面去。若要抑制这个尖脉冲,一般采用两级保护电路,以气体放电管作为第一级,以 TVS 二极管或半导体放电管作为第二级,两级之间用电阻、电感或自恢复保险丝隔离。

② 直流击穿电压 V_{sdc} 的选择:直流击穿电压 V_{sdc} 的最小值应大于可能出现的最高电源峰值电压或最高信号电压的 1.2 倍以上。

③ 冲击放电电流的选择:要根据线路上可能出现的最大浪涌电流或需要防护的最大浪涌电流选择。放电管冲击放电电流应按标称冲击放电电流(或单次冲击放电电流的一半)来计算。

④ 续流问题:为了使放电管在冲击击穿后能正常熄弧,在有可能出现续流的地方(如有源电路中),可以在放电管上串联压敏电阻或自恢复保险丝等限制续流,使它小于放电管的维持电流。

注意以下几点:

- 陶瓷气体放电管不能直接用在电源上做差模保护。
- 击穿电压要大于线路上最大信号的电频电压。
- 耐电流不能小于线路上可能出现的最大异常电流。
- 脉冲击穿电压须小于被保护线路电压。

3) 典型应用

气体放电管主要应用在 AC 电源、DC 电源接口、485 电路、视频接口、XDSL、以太网接口等需要防雷保护的接口。

5.2.5 半导体放电管

半导体放电管(TSS)也称浪涌抑制晶闸管,是采用半导体工艺制成的 PNP 结四层结构器件,其伏安特性类似于晶闸管,具有典型的开关特性。TSS 一般并联在电路中的应用,正常工作状态下 TSS 处于截止状态,当电路中由于感应雷、操作过电压等出现异常过电压时,TSS 快速导通泄放电流,保护后端设备免遭异常过电压的损坏,异常过电压消失后,TSS 又恢复至截止状态。

1) 半导体放电管的主要特性参数

V_{DRM} 反向截止电压(断态重复峰值电压): 也称断态重复峰值电压, 断态时施加的包含所有直流和重复性电压分量的额定最高(峰值)瞬时电压。

I_{DRM} 反向最大漏电流(断态重复峰值电流): 也称断态重复峰值电流, 是指施加断态重复峰值电压 V_{DRM} 产生的最大(峰值)断态电流。

I_{H} : 维持晶闸管通态的最小电流。

2) 选用及其注意事项

选用半导体放电管应注意以下几点:

① 最大峰值脉冲电流 I_{PP} 必须大于通信设备标准的规定值。如 FCC Part68A 类型的 I_{PP} 应大于 100A; Bellcore 1089 的 I_{PP} 应大于 25A。

② 转折电压 V_{BO} 必须小于被保护电路所允许的最大瞬间峰值电压。

③ 半导体放电管处于导通状态(导通)时, 所损耗的功率 P 应小于其额定功率 P_{cm} , $P_{\text{cm}} = K \times V_{\text{T}} \times I_{\text{PP}}$, 其中 K 由短路电流的波形决定。对于指数波、方波、正弦波、三角波的 K 值分别为 1.00、1.4、2.2、2.8。

④ 反向击穿电压 V_{BR} 必须大于被保护电路的最大工作电压。如在 POTS 应用中, 最大振铃电压(150V)的峰值电压($150 \times 1.41 = 212.2\text{V}$)和直流偏压峰值(56.6V)之和为 268.8V, 所以应选择 V_{BR} 大于 268.8V 的器件。又如在 ISDN 应用中, 最大 DC 电压(150V)和最大信号电压(3V)之和为 153V, 所以应选择 V_{BR} 大于 153V 的器件。

⑤ 若要使半导体放电管通过大的浪涌电流后自复位, 器件的维持电流必须大于系统所能提供的电流值。

3) 典型应用

半导体放电管主要应用在 485 电路、视频接口、XDSL、电话接口等需要防雷保护的接口。

5.3 布局

5.3.1 层的设置

PCB 的 EMC 设计, 首先涉及的便是层的设置。单板的层数由电源、地和信号层的层数组成, 电源层、地层、信号层的相对位置以及电源、地平面的分割对单板的 EMC 指标至关重要。

1) 合理的层数

根据单板的电源、地的种类、信号密度、板级工作频率、有特殊布线要求的信号数量以及综合单板的性能指标要求与成本承受能力, 确定单板的层数。对 MC 指标要求苛刻(如产品需认证 CISPR16CLASSB)而相对成本能承受的情况下, 适当增加地平面乃是 PCB 的 EMC 设计的撒手锏之一。

2) 电源和地的层数

单板电源的层数由其种类数量决定。对于单一电源供电的 PCB, 一个电源平面足够了; 对于多种电源, 若互不交错, 可考虑采取电源层分割(保证相邻层的关键信号布线不跨分割区); 对于电源互相交错(例如, 多种电源供电的 IC)的单板, 则必须考虑采用 2 个

或以上的电源平面。

每个电源平面的设置需满足以下条件：

- 减少电源分割。
- 同一电源平面应放置单一电源或多种互不交错的电源。
- 对于仅供个别器件使用的电源,可以考虑用信号层走电源线的方式连接。
- 相邻层的关键信号线不跨分割。

每个地平面的设置需满足以下条件：

- 减少地平面分割数量,确保地平面的完整性。
- 关键信号不要跨分割。
- 器件下面(第二层或者倒数第二层)有相对完整的地平面。
- 高速信号、高频信号、时钟信号等关键信号要有地平面作参考。

3) 信号层数

信号的层数主要取决于功能实现,从 EMC 的角度,需要考虑关键信号网络(强辐射网络以及易受干扰的小、弱信号)的屏蔽或隔离措施。

4) 参考平面的选择

地平面或者电源平面都可以当作参考平面,具有一定的屏蔽作用,其中地平面一般都做了接地处理,并作为基准参考电平,参考效果远远优于电源平面。在采用电源平面和地平面作参考平面需要注意以下问题。

- 电源平面的阻抗比地平面阻抗高。
- PCB 主电源平面应尽量靠近地平面,以增大两者的耦合电容,从而降低电源平面的阻抗。
- 电源平面与地平面构成的板间电容与板上其他去耦电容结合,这样不但可以降低电源层的阻抗,又可以增加去耦频带。

5.3.2 模块划分及特殊器件布局

1. 模块划分

在 PCB 设计中,通常在布局时就需要对器件进行模块划分,以便后续的走线方便合理。通常模块划分有以下三种方式：

1) 按功能划分

各种电路模块实现不同的功能,比如时钟电路、放大电路、驱动电路、A/D、D/A 转换电路、I/O 电路、开关电源、滤波电路等,它们实现的功能是各不相同的。

一个完整的设计可能包含了其中多种功能的电路模块,在进行 PCB 设计时,可依据信号流向,对整个电路进行模块划分,从而保证整个布局的合理性,达到整体布线路径最短,各个模块互不交错,减少模块间互相干扰的可能性。

2) 按频率划分

按照信号的工作频率和速率可以对电路模块进行划分;高、中、低频率渐次展开,互不交错。

3) 按信号类型划分

按信号类型可以分为数字电路和模拟电路两部分。为了降低数字电路对模拟电路的干扰,使它们能和平共处,达到兼容状态,在 PCB 布局时需要给它们定义不同的区域,从空间上进行必要的隔离,减小相互之间的耦合。对于数模转换电路,如 A/D、D/A 转换电路,应该布放在数字电路和模拟电路的交界处,器件放置的方向应以信号的流向为前提,使信号引线距离最短,并使模拟部分的管脚位于数字地的上方。

2. 器件布局

电路布局的一个原则就是应该按照信号流向关系,尽可能做到使关键的高速信号走线最短,其次考虑电路板的整齐、美观。时钟信号应尽可能短,若时钟走线无法缩短,则应在时钟线的两侧加屏蔽地线,对于比较敏感的信号线,也应考虑屏蔽措施。

时钟电路具有较大的对外辐射,会对一些敏感的电路,特别是模拟电路产生较大的影响,因此在电路布局时应让时钟电路远离 I/O 电路和电缆连接器。

低频数字 I/O 电路和模拟 I/O 电路应靠近连接器布放,时钟电路、高频电路和存储器等器件常布放在电路板的最靠近里面的位置,中低频逻辑电路一般放在电路板的中间位置;如果有 A/D、D/A 电路,则一般放在电路板的中间位置。

基本要点介绍如下:

(1) 区域分割,不同功能种类的电路应该放于不同的区域,如对数字电路、模拟电路、接口电路、时钟、电源等进行分区。

(2) 数模转换电路应布放在数字电路区域和模拟电路区域的交界处。

(3) 时钟电路、高速电路、存储器电路应布放在电路板最靠近里边的位置,低频数字 I/O 电路和模拟 I/O 电路应靠近连接器布放。

(4) 应该采用基于信号流的布局,使关键信号的高频信号的连线最短,而不是首先考虑电路板的整齐、美观。控制驱动部分远离屏蔽体的局部开孔,并应尽快离开本板。

(5) 晶体、晶振等应就近与对应的 IC 放置。

(6) 基准电压源(模拟电压信号输入线、A/D 变换参考电源)要尽量远离数字信号。

3. 特殊器件的布局

1) 电源部分

在分散供电的电路板上都要有一个或者多个 DC/DC 电源模块,加上与之相关的电路,如滤波、防护等电路共同构成电路板电源的输入部分。

现代的开关电源是 EMI 产生的重要源头,干扰频带可以达到 300MHz 以上,系统中多个单板都有自己独立的电源,但干扰却能通过背板或空间传播到其他的单板上,而单板供电线路越长,产生的问题越大,所以电源部分必须安装在单板电源入口处,如果存在大面积的电源部分,也要求统一放在单板一侧。电源部分放置方向上主要是考虑输入/输出线的顺畅,避免交叉。

另外,因为往往单板的电源部分相对比较独立,而又常常会产生 EMI 的问题,所以推荐利用过孔带或分割线将电源部分和其他电路部分进行分割。

2) 时钟部分

时钟往往是单板最大的干扰源,也是进行 PCB 设计时最需要特殊处理的地方,布局时一方面要使时钟源离单板的边距离尽量大,另一方面要使时钟输出到负载的走线尽量短。

3) 电感线圈

线圈(包括继电器)是最有效的接收和发射磁场的器件,建议线圈放置在离 EMI 源尽量远的地方,这些发射源可能是开关电流、时钟输出、总线驱动等。

线圈下方 PCB 上不能有高速走线或敏感的控制线,如果不能避免,就一定要考虑线圈的方向问题,要使场强方向和线圈的平面平行,保证穿过线圈的磁力线最少。

4) 总线驱动部分

随着系统容量越来越大,总线速率越来越高,总线驱动能力要求也越来越高,而总线数量也大量增加,总线匹配难以做到十分完美,所以一般总线驱动器附近的辐射场强很强,总线驱动器是时钟之外的另一主要 EMI 源。

在布局上,要求总线驱动部分离单板拉手条的距离尽量远,减小对系统外的辐射,同时要求驱动后的信号到末端的距离尽量靠近。

5) 滤波器件

滤波措施是必不可少也是最常用的手段,原理设计中提到了很多的滤波措施,例如去耦电容、三端电容、磁珠、电源滤波、接口滤波等,但在进行 PCB 设计时,如果滤波器的位置放置不当,那么滤波效果将大打折扣,甚至起不到滤波作用。

滤波器件的安装一般考虑就近原则。

- ① 去耦电容要尽量靠近 IC 的电源管脚。
- ② 电源滤波要尽量靠近电源输入或电源输出。
- ③ 局部功能模块的滤波要靠近模块的入口。
- ④ 对外接口的滤波要尽量靠近接插件等。

5.3.3 滤波电路的设计原则

滤波电路的设计原则包括如下内容:

(1) 滤波电路必须接低阻抗的地(较宽的地线、完整的接地平面等),防止不同电路之间产生共地阻抗干扰;当采用表面铺地或者较长地线时,应设置适量的地过孔。

(2) 滤波电路的输入输出端要进行隔离(例如输入输出分开布线、避免平行输入输出屏蔽隔离等)。

(3) 在滤波电路的设计中,应该注意使信号路径尽量短,尽量简洁,尽量减小滤波电容的等效串联电感和等效串联电阻。

(4) 接口滤波电路应该尽量靠近连接器。

(5) 当多个电容并联在芯片电源管脚时,按容量从大到小依次在电源管脚展开,且保证小电容更靠近电源管脚。

(6) 滤波电容摆放的原则是减短管脚长度并且尽量靠近电源的管脚,并使电源管脚与地形成的环路面积最小。

(7) 必须正确地选择电容器的介质材料,如铝电解电容适用于电源子系统或电力线

滤波、去耦和旁路；陶瓷片电容可用于高自谐振频率的时钟电路、中频去耦及高频滤波；数字芯片则需要采用钽电解电容。

5.3.4 接地时要注意的问题

接地时要注意如下问题：

- (1) 在工艺允许的前提下，缩短焊盘边缘与过孔焊盘边缘的距离。
- (2) 在工艺允许的前提下，接地的大焊盘必须直接盖在至少六个接地过孔上。
- (3) 每个焊盘至少要有两根焊盘脚接地铜皮；如果工艺上允许，则采用全接触方式接地。
- (4) 若器件的底部有接地的金属壳，要在器件的投影区内加一些接地孔，并保证表面层的投影区内没有绿油。
- (5) 部分强干扰源(如振荡器)可考虑采用局部接地面，并用地过孔将局部接地面接到参考地上，禁止走线穿过局部接地面，造成局部接地面被分割。
- (6) 应尽量缩短接地线长度，保证相邻接地点间距不超过 $\lambda/20$ ，以防止地电位不均匀。
- (7) 接地面(包括铺地、局部接地面、电源平面上的分割地等)上不得有孤立铜皮，铜皮上一定要加接地过孔与参考地相连。
- (8) 禁止地线铜皮上伸出多余线头或悬空的分支地线。
- (9) 输入和输出端射频电缆屏蔽层，在 PCB 上的焊接点应设在走线末端周围的地线铜皮上，焊接点要有不少于六个过孔接地，保证射频信号接地的连续性。
- (10) 微带印制电路的终端单一接地孔直径必须大于微带线宽；否则应采用终端密排地过孔的方式接地。
- (11) 增大过孔直径或至少用两个金属化过孔在器件管脚旁就近接地。

5.4 布线

PCB 布线是 PCB 设计中最重要、最耗时的一个环节，这将直接影响到 PCB 性能好坏，良好的布线有利于提升单板的 EMC 性能。

5.4.1 布线优先次序

关键信号线优先：模拟小信号、高速信号、时钟信号和同步信号等关键信号优先布线。

密度优先原则：从单板上连接关系最复杂的器件着手布线，或从连线最密集的区域开始布线。

5.4.2 布线基本原则

布线基本原则包括如下内容：

- (1) 增大走线间距以减少耦合引起的串扰。
- (2) 确保环面积最小原则，因为环面积越小，对外辐射也越小。任意一个电路回路中有变化的磁通量穿过时，将会在环路内感应出电流。电流的大小与磁通量成正比。较小

的环路中通过的磁通量也较少,因此感应出的电流较小,带来的干扰也就相应较少。

- (3) 增大电源线与地线的宽度,减小电源线和地线的阻抗。
- (4) 敏感信号线应当远离容易带来干扰的器件(如变压器)及强干扰信号线。
- (5) 导线拐弯应当设置为 135° 走线或者圆弧走线,避免直角和锐角。
- (6) 电路输入输出导线应杜绝相邻平行,无法避免时建议拉大间距并添加地线隔离。
- (7) 导线要尽可能短,若器件有地址线 and 数据线,需要注意等长。
- (8) 信号线要确保在走线过程中线宽一致,不能因为空间太挤而随意改变线宽。
- (9) PCB 走线起始于管脚也终止于管脚,不能出现导线悬空的情况,易导致“天线效应”产生。
- (10) 走线不能形成闭环,具体表现为同一信号线在换层以后的走线路径与换层之前走线层的走线路径形成了一个环形区域,这个区域会产生一定的电磁辐射。
- (11) 敏感信号线强制遵守 3W 原则,两条走线的中心距离为 3 倍的走线宽度,即两条走线的内边沿为 2W。
- (12) 差分线中间不能有其他信号线。
- (13) 电源跨分割区域不能走对阻抗有要求的走线。

5.4.3 布线层优化

对于时钟/高频/高速信号、模拟小信号、弱信号而言,应选择在合适的信号层上布线,对于高速总线,其布线层的选择同样不能忽视。

在印制板上,表层走线为微带线,内层走线为带状线。微带线与带状线有如下区别:

- (1) 微带线的传输延时比带状线小。
- (2) 在给定特性阻抗的情况下,微带线的固有电容比带状线小。
- (3) 微带线位于表层,可直接对外辐射;带状线位于内层,有参考平面屏蔽。
- (4) 微带线可视,便于调试;带状线不可视,不便调试。

考虑到参考平面的屏蔽作用,微带线相对于带状线来说,更易于向外辐射,也更容易受空间电磁场的干扰。对于带状线,由于其位于两平面之间,辐射途径得到较好的控制,主要的干扰传播途径为传导,即需要重点考虑的是电源纹波、地电位波动以及与相邻走线之间的串扰。对于微带线,干扰不但可以通过传导方式传播,还可以直接向空间辐射,导致 EMI 问题。

一般来说,表层走线宜布置重要性相对较低的走线,而将强干扰或高敏感度的信号线布置在中间层。总体来看,以下两种信号线的布线需要加以关注。

- (1) 强辐射信号线(高频、高速、时钟线),对外辐射。
- (2) 模拟小信号、弱信号以及对外界干扰非常敏感的复位信号等走线,易受干扰。

对于这两类线,在条件允许的前提下,建议考虑内层走线,布线时严格遵守 3W 原则,甚至加地线进行隔离。

建议关键信号线(尤其是时钟信号线)在内层布线,其他信号线(尤其对其辐射情况不清楚的信号线)尽可能考虑内层布线;整板辐射较高的 PCB,应考虑采用表层屏蔽或单板加屏蔽罩等处理方式。