第3章 叠层应用及阻抗控制

随着 SMT 的发展及电子器件的小型化、集成化、智能化, PCB 设 计必然向着多层、高密度布线的方向发展, 而电路的集成度越来越高, 也将面临信号的传输频率和速率越来越高的问题, PCB 布线已不仅仅 是器件的连接载体, 还应起到传输高性能信号的作用, 将信号完整、准 确地传送到接收器件。

多层 PCB 层叠结构是影响 PCB 电磁兼容(EMC)性能的一个重要因素,也是抑制电磁干扰的一个重要手段。阻抗不连续是引起信号反射、失真的根本原因,因此,阻抗控制在高速互连设计过程中的重要性不言而喻。Altium Designer 21 提供了高级的层堆栈管理器,通过 图层堆栈管理工具可轻松定义并管理板层,同时还配备了阻抗计算器和材料库,用户可根据设计需求创建多个阻抗配置文件,在设计过程中估算阻抗,并应用到规则中。

本章将对 PCB 的叠层应用和阻抗控制进行详细介绍,让用户能够 学会选择合适的叠层结构,并进行高速信号的阻抗计算,以满足 PCB 设计的电磁兼容及信号完整性。

学习目标:

- 了解常用叠层基本原则及常用方案。
- 了解叠层中正片、负片的区别和负片的分割方法。
- 掌握叠层的添加方法。
- 了解阻抗计算相关条件及方法。

3.1 叠层的添加及应用

PCB的运用越来越广泛,复杂程度越来越高,电子元件在 PCB上 也越来越密集,电气干扰成了不可避免的问题。在多层板的设计运用 中,为了避免电气因素的干扰,信号层和电源层必须分离。一个好的 设计方案,可以在多层板中大大减少 EMI 及串扰的影响。

3.1.1 叠层的定义

在设计多层 PCB 之前,设计者需要根据电路的规模、电路板的尺



寸和电磁兼容(EMC)的要求来添加必要的信号走线层、电源层和地层,即确定所采用的 电路板结构,这就是设计多层板的简单概念。

确定层数之后,再确定内电层的放置位置以及如何在这些层上分布不同的信号,这 就是多层 PCB 叠层结构的选择问题。叠层结构是影响 PCB 电磁兼容性能的一个重要 因素。

3.1.2 多层板的组成结构

单面板是只有一面覆铜的印制板,多采用纸质酚醛基覆铜箔板制作。双面板就是双 面都有覆铜的印制板,通常采用环氧玻璃布覆铜箔板制造。多层板是内部含有多个导线 层的印制板,由芯板和半固化片互相层叠压合而成。

芯板(Core):也叫覆铜板,是将补强材料浸以树脂,一面或两面覆以铜箔,经热压而成的板状材料,用于多层板生产时被称芯板,是构成印制电路板的重要的基本材料,故又称基材。

半固化片(Prepreg):又称为 PP 片,主要由树脂和增强材料组成,是多层板生产中的 主要材料之一,起到黏合芯板、调节板厚的作用。

一般多层板最外边的线路层(顶底层)使用单独的铜箔层作为外层铜箔,与其邻近的两个介质层通常使用 PP 片。以 8 层板为例演示多层板的压合情况,如图 3-1 所示。



3.1.3 叠层的基本原则

PCB 叠层设计不是简单的层堆叠,地层和电源层的排布尤为重要。板的层数不是越 多越好,也不是越少越好。从布线方面来说,层数越多越利于布线,但是制板成本和难度 也会随之增加。对于生产厂家来说,层叠结构对称与否是 PCB 制造时需要关注的重点, 所以层数的选择需要考虑各方面的需求,以达到最佳的平衡。

----- Altium Designer 21 PCB设计官方指南(高级实战)

一般情况下,根据以下原则进行叠层设计:

- (1) 元件面、焊接面为完整的地平面(屏蔽)。
- (2) 无相邻平行布线层。
- (3) 所有信号层尽可能与地平面相邻。
- (4) 关键信号与地层相邻,不跨分割区。
- (5) 主电源层有一相邻地平面。

3.1.4 常见的叠层方案

根据叠层的几个原则,可以合理地安排多层板电路中各层的顺序。本节将列出 4 层板、6 层板和 8 层板的常见叠层结构。

(1) 常见4 层板叠层结构如表 3-1 所示。通过对比,优选方案 1(业内4 层板常用方案),可选方案 3。



表 3-1 常见 4 层板方案

续表

第3章 叠层应用及阻抗控制



(2) 常见6层板的叠层结构如表 3-2所示。

方案	方案结构	方案分析
方案 1	TOP Layer 0.7mil GND02 1.378mil SIN03 1.378mil SIN04 1.378mil PVVR05 1.378mil Bottom Layer 0.7mil	优点:采用了4个信号层和两个内部电 源/接地层,具有较多的信号层,有利于元 件之间的布线工作 缺陷: • 电源层和地线层分隔较远,没有充分耦合 • 信号层 SIN03 和 SIN04 直接相邻,信 号隔离性不好,容易发生串扰
方案 2	TOP Layer 0.7mll SIN02 1.378mil GND03 1.378mil PWR04 1.378mil SIN05 1.378mil Bottom Layer 0.7mil	 同方案 1,具有较多的信号层,有利于 元件之间的布线工作 信号层 TOP Layer、SIN02 和 SIN05、 Bottom Layer 直接相邻,信号隔离性 不好,容易发生串扰
方案 3	TOP Layer 0.7mil GND02 1.378mil SIN03 1.378mil GND04 1.378mil PWR05 1.378mil Bottom Layer 0.7mil	 缺陷:可供布线的层面减少了 优点: 电源层和地线层紧密耦合 每个信号层都与内电层直接相邻,与其他 信号层均有有效的隔离,不易发生串扰 SIN03 和内电层 GND 相邻,可以用来 传输高速信号。两个内电层可以有效 地屏蔽外界对 SIN03 层信号的干扰和 SIN03 层信号对外界的干扰

表 3-2 常见 6 层板方案



通过对比优选方案 3 和方案 4。考虑到实际的设计成本,板子走线密度较大时,常用 方案 1。在使用方案 1 时,由于 SIN03 和 SIN04 相邻,很容易产生串扰,布线时要尽可能 使两个平面的走线形成正交结构,即相互垂直,以减少串扰。

(3) 常见 8 层板叠层结构如表 3-3 所示,优选方案 1 和方案 2。



表 3-3 常见 8 层板方案

(4) 常见 10 层板叠层结构如表 3-4 所示,建议使用方案 2 和方案 3,可用方案 1 和方案 4。



3.1.5 正片和负片的概念

正片就是用于走线的信号层,在 PCB 上可用 Track、Polygon、Fill 等进行走线和大面 积铺铜,例如 Top Layer 和 Bottom Layer 就是正片,即凡是画线铺铜的地方铜被保留,没 有画线的地方铜被清除,如图 3-2 所示。 负片(平面)和正片的工艺做法正好相反,凡是画线的地方都没有铜,没有画线的地 方铜被保留,常用于电源层和地层,如图 3-3 所示。Altium Designer 21 在 3D 情况下可 明显区分正、负片。



图 3-2 正片层走线



图 3-3 负片层走线

电源层和地层也可以使用正片,使用负片的好处是,负片默认为大面积的铺铜,在设 计过程中,添加过孔或者改变铺铜区域不需要对铜皮进行更新,节省操作时间。

3.1.6 20H 原则/3W 原则

3W 原则:为了减少线间串扰,应保证线间距足够大,如果线中心距不少于3倍线宽时,可保持70%的线间电场不互相干扰,称为3W 原则(W 为线宽)。线宽如要达到98%的电场不互相干扰,可使用10W 原则,如图3-4 所示。

在实际设计过程中,经常出现因走线过密而无法实现所有走线满足 3W 间距的情况,设计者可优先针对敏感信号及高速信号采用 3W 原则,比如时钟信号、复位信号等。

20H 原则:为抑制边缘辐射效应,电源层相对地层内缩 20H(H 为两个平面层的距离)的距离,即确保电源平面的边缘要比 0V 平面边缘至少缩入相当于两个平面之间层间 距的 20 倍。在板的边缘会向外辐射电磁干扰,将电源层内缩,使得电场只在接地层的范 围内传导,有效地提高了 EMC。若内缩 20H 则可以将 70%的电场限制在接地边沿内; 内缩 100H 则可以将 98%的电场限制在接地边沿内,如图 3-5 所示。



3.1.7 叠层的添加和编辑

Altium Designer 中,层的添加和编辑是在层叠管理器中实现的。其具体步骤如下:

(1) 执行菜单栏中"设计"→"层叠管理器"命令,如图 3-6 所示,或按快捷键 D+K,即 可打开层叠管理器,如图 3-7 所示,从图中左侧的#栏中可看出这是一个双面板。

关于图中各参数设置介绍如下:

- Name: 层名称,可更改,一般以"层的作用+层的序号" 命名,便于层的识别。比如电源层,设置为 PWR+层序 号;信号走线层,设置为 SIN(SIG)+层序号。
- Material: 每个层所使用的材料,可单击右侧的按钮 进行选择修改。
- Type: 板层的样式,针对导电层,可设置为 Plane 或 Signal。
- Thickness: 层厚度,根据实际需要进行设置。

Solder Resist - Solder Mask

Bottom Solde

• Weight: 层的铜厚,可根据实际要求设置,一般表层 0.5oz, 图 3-6 打开层叠管理器 内层 1oz。

88	STM32F407开发	板.PcbDoc * 🔳 S	STM:	32F407开发板.Pc	bDoc [Stackup]				
								Features	-
	Name	Material		Туре	Thickness	Weight	Pullbac	k distance	
	Top Overlay			Overlay					
	Top Solder	Solder Resist	-	Solder Mask	0.4mil				
	Top Layer		-	Signal	1.4mil	102			
	Dielectric 1		-	Prepreg	5mil				
		_	_						

图 3-7 层叠管理器

0.4mil

• Pullback distance: 电源平面和地平面的内缩值,可修改,一般遵循 20H 原则。

注意: 有些参数被软件隐藏了,用户若想显示需要的参数,将光标放到任意一个参数 名称上,右击,会显示 Select columns 项,如图 3-8 所示。然后单击 Select columns...,进 入 Select Columns 对话框,单击需要显示的参数左侧的 ◎ 按钮,如图 3-9 所示,即可将该 参数显示在层叠管理器中。

	Q	Search	
	T	Column	
	0		
	0	Name	
	0	Material	
	0	Type	
	0	Thickness	
	0	Weight	
	0.	Pullback distance	
	ø	DK	
	β	Df	若相見示則占此图标
	β	Manufacture	TI NEVALAY MARKAN
	8	Color	
Pullback distan		Up Dow	vn Add Edit
Select columns			OK

图 3-8 选择参数

图 3-9 Select columns 对话框

Select columns

T

亩

Cancel



第 3 章

叠层应用

一及阻

抗

控

制

(2) 在层叠管理器中将光标悬放在 Top Layer 处,右击,从弹出的快捷菜单中执行 Insert layer below→Plane 命令,如图 3-10 所示,即可在其下方添加一个平面层。连续添 加 4 次,可得 6 层板,如图 3-11 所示。

注意: Insert layer above/below(在上方/下方添加层)选项中可选择层的样式,分别为 Signal(布线层\正片)、Plane(平面\负片)、Core(芯板)、PrePreg(半固化片)、Copper plating(镀铜)。



图 3-10 添加平面

#	Name	Material		Туре
	Top Overlay			Overlay
	Top Solder	Solder Resist	-	Solder Mask
1	Top Layer		-	Signal
	Dielectric 3	PP-006		Prepreg
2	Layer 2	CF-004		Plane
	Dielectric 2	PP-006		Prepreg
	Layer 1	CF-004	-	Signal
	Dielectric 4	PP-006	-	Prepreg
4	Layer 3	CF-004	-	Plane
	Dielectric 5	PP-006		Prepreg
5	Layer 4	CF-004		Plane
	Dielectric 1		-	Prepreg
6	Bottom Layer			Signal
	Bottom Solder	Solder Resist	•	Solder Mask
	Bottom Overlay			Overlay

图 3-11 6 层板叠层

(3) 在 2、3、4、5 层的 Name 文本框中将层名更改为便于识别的层名称,6 层板叠层 最终效果如图 3-12 所示。

(4) 添加层的过程中,有可能会同时添加两个信号层或平面,这是因为启用了软件叠层中的层叠对称功能。在 Properties 面板中的 Board 选项组中,取消勾选 Stack Symmetry(堆栈对称),如图 3-13 所示,此时添加层时可一个个添加,否则将成对添加。

(5) 从图 3-13 也可得到板层的厚度信息, Altium Designer 21 中新增的. Total_Thickness, 可用于显示电路板的整体厚度, 如图 3-14 所示。



图 3-14 显示电路板的整体厚度

注意:若电路板包含多层堆栈,使用.Total_Thickness(SubstackName)显示所选子 堆栈的厚度。例如软硬结合板为.Total_Thickness(flex)或.Total_Thickness(Rigid)。

3.1.8 平面的分割处理

平面的分割可通过执行菜单栏中"放置"→"线条"命令或按快捷键 P+L 来处理。放置的线条实际上就是两个平面之间的安全间距,所以不宜过细,可选择在 15mil 以上,特别是遇到模拟、数字电源的分割和压差比较大的电源平面,分割线应适当加粗(注:若使用的是放置 Track,会自动跳到信号层)。平面分割如图 3-15 所示。

分割平面之后,在分割区域双击,即可弹出网络连接窗口,根据需要设置网络即可。 如图 3-16 所示。

3.1.9 平面多边形

通常情况下,PCB电源平面可被设计为负片,即在制造电路板时,放置在电源平面的 线或者填充会在铜中变成空隙。之所以使用这种方法,是因为平面层的大部分是铜,仅 第3章

叠层应用

一及阻

抗

控

制

在特定位置(如未连接的焊盘周围)需要铜中的空隙,或者在将平面划分为不同的电压区域时,将其作为分隔空隙,这样可以更快速、有效地生成输出数据。



图 3-15 平面分割



图 3-16 给平面添加网络

针对更复杂的电源平面设计,Altium Designer 21 支持将电源平面定义为多边形。 此功能不会影响电源平面的设计方法,平面仍然定义为负片,放置对象(线、填充等)依然 会在铜中产生空隙。使用多边形的好处在于可以自动检测并清除铜岛、狭窄的颈部和 死铜。

其设计步骤如下:

(1)要使用平面多边形功能,需要启用优选项中 Advanced Settings 对话框中的 Legacy. PCB. SplitPlanes 选项,如图 3-17 所示。

 System Changing these settings may result in the application becoming unstable. Continue only if you know what you are doing. Changing these settings may result in the application becoming unstable. Continue only if you know what you are doing. C. Sarch Settings Design insight Projects Panel Design insight Projects Panel Default Locations File Type Vabut Locations File Type New Document Defaults Protect Routing Order Control and anging behavior. Design insight Projects Panel Design insight Projects Panel Default Locations File Type New Document Defaults Protect Routing Parkings Default Beolean Use pre-AD20 Divash and Shoree Durin Default Resolvers Provides various models for component Protect Routing Parkings Default Resolvers Provides various models for component fast Pace and Co Protect Routing Parkings Default Resolvers Product Improvement Network Attivity Data Management Schematic PCB.Bright/Faxes Default Boolean Chable or AD20.0 right Panes behavion PCB.Bright/Faxes Default Boolean Chable Pre-AD21.0 right Panes behavion PCB.Bright/Faxes Default Boolean Chable Pre-AD21.0 right Panes behavion PCB.Bright/Faxes Default Boolean Chable Pre-AD21.0 right Panes behavion PCB.Bright/Faxes Default Boolean Chables pere-AD21.0 right Panes behavion PCB.Bright/Faxes Default Boolean Chables pere-AD21.0 right Panes behavion <l< th=""><th>Q. 查找</th><th></th><th></th><th>Advanced</th><th>Settings</th><th></th><th></th></l<>	Q. 查找			Advanced	Settings							
Oriental View Account Management Transparency Nerigation Design insight Pojects Panel Default Coations File Type New Document Defaults Pojects Panel Default Locations File Type New Document Defaults Printer Settings Moure Wheel Configuration Installation Product Improvement Network Activity O. Sarch OCE. Solution Spectra Rest Rest All C. Sarch Octable Default Solution Spectra Rest All Preference Name Status Type Value Default V Description Default Coations File Types Default Coations File Types Use pre-AD20 Push and Shore Duris Legacy.FCRB.TockT.PushAndShore Default Boolean Use pre-AD20 Dirac taning processo PCR.ComponentSieletion Default Integer 2 Provides various modes for component Sector PCR.ComponentSieletion Moure Wheel Configuration Installation Product Improvement Network Activity Prest Rest Return Pathightenerates Default Boolean Enable Component Tast Pace and 3D model feature PCR.Delay.Via Default Boolean V Enabled - edely value depends on the Legacy.PCR.Spidiffanes Ota Management Schematic Schematic CRE EngineX User Set Boolean V Enable or eAD21 origit planes behavin Network Activity Data Management Schematic LondostackSize Default Boolean V Enable or eAD21 origit flames behavin Network Activity Data Management Schematic LondostackSize Default	System	Changing these settings may result in the application becoming unstable. Continue only if you know what you are doing.										
Vitw Freference Name Status Type Value Default V Description Transparency Legacy.PCE.InternalGioss Default Boolean Use pre-AD10.0 gloss behavior in sing Narigation Legacy.PCE.Bragging Default Boolean Use pre-AD20.0 track/arc dragging be Projects Panel Legacy.PCE.Bracefung Default Boolean Use pre-AD20.0 track/arc dragging be Detain Insight Legacy.PCE.Bracefung Default Boolean Use pre-AD20.0 track arc dragging be Projects Panel Legacy.PCE.Bracefung Default Boolean Use pre-AD20.0 track arc dragging be Rest Till Egacy.PCE.Bracefung Default Boolean Use pre-AD20.0 track arc dragging be New Document Defaults PCE.ComponentStelction Default Boolean Enable Component Stell Mouse Wheel Configuration Installation PCE.Buley.Via Default Boolean Frabled -delay value depends on the PCE.Belgy.Via Default Boolean V Enable depreAD21.0 pill flates boalt of Dodd Rature PCE.Belgy.Via Default Boolean V Enable depard tab in Lager Stack PCE.Belgy.Via Default Boolean V Enable depard tab in Lager Stack PCE.Belgy.Via <	General	Q. Search										
Transparency Transparency Neingation Design insight Projects Panel Default Locations File Types New Document Defaults Prof.educt Anthry Decide ComponentAutoplacer Default Inside ComponentAutoplacer PEB.ComponentSelection Default Inside ComponentAutoplacer PEB.ComponentSelection PCB.ComponentSelection PCB.Delay Via PCB.Delay Via PCB.EdigidPlex User Set PCB.EdigidPlex User Set Boolean PCB.EdigidPlex User Set Boolean V Enab	View Account Management	Preference Name	Status	Type	Value	Default V	Description					
Narigation Legacy-RCB.Dragging Default Boolean Use pre-AD20.0 track/arc dragging be hand Default Legacy-RCB.DragVia Default Boolean Use pre-AD20.0 track/arc dragging be hand Projects Panel Legacy-RCB.DragVia Default Boolean Use pre-AD20.0 track/arc dragging be hand Default Castories Legacy-RCB.TraceTunian Default Boolean Use pre-AD20.0 track van dragging be hand Default Castories Legacy-RCB.TraceTunian Default Boolean Use pre-AD20.0 track van dragging be hand Product Instruction Legacy-RCB.TraceTunian Default Boolean Use pre-AD20.0 track van dragging be hand Petault Default Boolean Use pre-AD20.0 track van dragging be hand Use pre-AD20.0 track van dragging be hand Product Improvement Legacy-RCB.RightightoneArea Default Boolean V Enable grad-delay value depends on the tegacy-RCB.Rightightes PCB.Exlight CAS.Rightightes User Set Boolean V Enable grad-D21.0 tigit fit planes behand PCB.BegintRimes User Set Boolean V Enable for AD21.0 tigit fit planes behand Schematic PCB.BegineRimes	Transparency	Legacy.PCB.InternalGloss	Default	Boolean			Use pre-AD19.0 gloss behavior in singl					
Design Insight Legacy.PCBDragVia Default Boolean Use pre-AD21.0 via dragging behavio Projects Fanel Default Default Boolean Use pre-AD20.0 Fush and Shove Duris Default Locations File Types Use pre-AD20.10 via dragging behavio Use pre-AD20.10 via dragging behavio Provides Vancourt Default Boolean Use pre-AD20.10 via dragging behavio Provides Vancourt Default Boolean Use pre-AD20.10 via dragging behavio Provides Vancourt Default Integre 2 Provides various modes for component Nouse Wheel Configuration Intager 10 Return Pathiproneztea Default Boolean Enable Component Ast Pasc and Co Product Improvement PCR.Buler, SpitPlanes User Set Boolean V Enable depretation on the Network Activity DEAL Management User Set Boolean V Enable depart abin Lager Stack Schematic PCR.Buler, ESpitPlanes User Set Boolean V Enable depart abin in Lager Stack Schematic ConglustackNanning Default Boolean V Enable depart abin in Lager Stack Schematic Cohub SheetSizeV </td <td>Navigation</td> <td>Legacy.PCB.Dragging</td> <td>Default</td> <td>Boolean</td> <td></td> <td></td> <td>Use pre-AD20.0 track/arc dragging beh</td>	Navigation	Legacy.PCB.Dragging	Default	Boolean			Use pre-AD20.0 track/arc dragging beh					
Projects Panel Legacy,PCBRouter,PushAndShove Default Boolean Use pre-AD20.0 Push and Shove Durin Projects Panel Default Boolean Use pre-AD20.0 Push and Shove Durin Price Configuration Prise Strings Use pre-AD20.0 Push and Shove Durin Use pre-AD20.0 trace tuning process Projects Panel PCR.ComponentSietEciton Default Boolean Use pre-AD20.0 trace tuning process Projects Panel PCR.SomponentSietEciton Default Boolean Use pre-AD20.0 trace tuning process Mouse Wheel Configuration Installation Enable Component Fast Place and Component Fast Place P	Design Insight	Legacy.PCB.DragVia	Default	Boolean			Use pre-AD21.0 via dragging behavior					
Default Locations Legacy.PCB.TraceTuning Default Boolean Use pre-AD20.0 trace tuning processo File Types PCB.ComponentSitection Default Integer 2 Provides various modes for component New Document Defaults PCB.ComponentSitection Default Integer 2 Provides various modes for component New Document Defaults PCB.ComponentSitection Default Integer 2 Provides various modes for component Mouse Wheel Configuration Installation PCB.Rules.ReturnPathing/NaildetModel Default Boolean Image: ComponentSite PCB.Rules Product Improvement Network Athity DEfault Boolean V Enable gree-AD21.0 tigid flames bebard plames Data Management Schematic Default Boolean V Enable gree-AD21.0 tigid flames bebard plames Chesting Vala Default Boolean V Enable gree-AD21.0 tigid flames bebard plames PCB.Enginek User Set Boolean V Enable gree-AD21.0 tigid flames bebard plames PCB.Enginek User Set Boolean V Enable gree-AD21.0 tigid flames bebard plames PCB.Enginek Default Boolean V Enable gree-AD21.0 tigid flames bebard plames PCB.Enginek User Set Boolean	Projects Panel	Legacy.PCB.Router.PushAndShove	Default	Boolean			Use pre-AD20.0 Push and Shove During.					
File Types PCB.ComponentSelection Default Integer 2 2 Provides various modes for components Printer Settings Mouse Wheel Configuration Integer Default Integer 10 Return Path (more) Bolean Chable ComponentSelection Default Bolean Chable ComponentSelection Chable ComponentSelection Default Bolean Chable ComponentSelection Chable Compone	Default Locations	Legacy.PCB.TraceTuning	Default	Boolean			Use pre-AD20.0 trace tuning processor.					
New Document Defaults PCB.ComponentAutoplacer Default Boolean Enable Component Fast Place and Componen	File Types	PCB.ComponentSelection	Default	Integer	2	2	Provides various modes for component					
Printer Settings PCEBRules.ReturnPathignoreArea Default Integer 10 Return Path (and the setting) Mouse Wheel Configuration Installation PCEBRules.ReturnPathignoreArea Default Boolean Image: Enable setting) D model feature Product Improvement Network Activity PCEBRules.ReturnPathignoreArea User Set Boolean Image: Enable setting) D model feature Data Management Schematic User Set Boolean Image: Enable gree.AD21.0 tiplit planes behave to product Improvement PCEBRules.ReturnPathignoreArea User Set Boolean Image: Enable gree.AD21.0 tiplit planes behave to product Improvement Data Management Schematic PCEEngineX User Set Boolean Image: Enable gree.AD21.0 tiplit planes behave to product Image: Enable gree.AD21.0 tiplit plan	New Document Defaults	PCB.ComponentAutoplacer	Default	Boolean			Enable Component Fast Place and Com					
Mouse Wheel Configuration Installation PCBLMeshing-ValidateModel Default Boolean Enable allow Default Boolean Charley value depends on the legacy.PCB.BiglidFlex Product Improvement Network Activity PCBLRightFlex User Set Boolean Enabled allow pre-AD21.0 right flanse behave to pre-AD21.0 right	Printer Settings	PCB.Rules.ReturnPathIgnoreArea	Default	Integer	10	10	Return Path (Area(sq.mils)					
PCB.Delay.Via Default Boolean ✓ Enable of - delay value depends on the depart PCB.Delay.Via Product Improvement Network Activity Legacy.PCB.SpillPlanes User Set Boolean ✓ Enable pre-AD21.0 spill planes behav Data Management Schematic PCB.Delay.Via User Set Boolean ✓ Enable pre-AD21.0 spill planes behav PCB.Edgire.SubtackStanning Default Boolean ✓ Enable pre-AD21.0 spill planes behav Data Management Schematic PCB.Edgire.SubtackStanning User Set Boolean ✓ Enable pre-AD21.0 spill planes behav PCB.Edgire.SubtackStanning User Set Boolean ✓ Enable pre-AD21.0 spill planes PCB.Edgire.SubtackStanning User Set Boolean ✓ New PCB engine introduced in AD21.4 PCB.Editor PCB.EngineX.Instancing User Set Boolean ✓ New PCB engine introduced in AD21.4 PCB.Editor Schematic.GroupUndo Default Integer 50 Depth of the Undo operations stack is Schematic.GroupUndo Default Integer 10000 Horizontal schematic library sheet size Schematic.Dip.SheetSizeY Default Integer 10000 Horizontal schematic library sheet size Schematic.DramicComplier.Navigator Default Boolean	Mouse Wheel Configuration	PCB.Meshing.ValidateModel	Default	Boolean			Enable valida 3 s0 model feature					
Izgacy.PCB.SpiltPlanes User Set Boolean Enable pre-AD21.0 spilt planes behaviour Izgacy.PCB.SpiltPlanes User Set Boolean Chable pre-AD21.0 spilt planes behaviour Izgacy.PCB.SpiltPlanes User Set Boolean Chable pre-AD21.0 spilt planes behaviour Izgacy.PCB.SpiltPlanes User Set Boolean Chable pre-AD21.0 spilt planes behaviour Izgacy.PCB.SpiltPlanes User Set Boolean Chable pre-AD21.0 spilt planes behaviour Izgacy.PCB.SpiltPlanes User Set Boolean Chable pre-AD21.0 spilt planes behaviour Izgacy.PCB.SpiltPlanes User Set Boolean New YEB engine introduced in AD21.4 PCB.Enginex/instancing User Set Boolean New YEB engine introduced in AD21.4 PCB.Enginex/instancing User Set Boolean New YEB engine introduced in AD21.4 PCB.Enginex/instancing User Set Boolean V Enables performance metrics for DRC Schematic.GroupUndo Default Boolean Enables ability to group Undo for sim Schematic.GroupUndo Default Integer IB000 Honoo Honoo operation stack Schematic.Schlub	Installation	PCB.Delay.Via	Default	Boolean	 Image: A second s	v	Enabled - delay value depends on the L.					
Network Activity Legacy.PCB.BiglidFlex User Set Boolean ✓ Enable pre-AD21.0 rigid flex board pla (Beta) Enable Board tab in Layer Stack Schematic Data Management PCE.BiglidFlex.SubtackPlanning Default Boolean Igeta] Enable Board tab in Layer Stack Schematic PCB Editor PCE.EngineX User Set Boolean New PCE engine Introduced in AD21.0 (Beta] Enable instancing of Pads and V PCE.DBC.PerformanceMetrics Default Boolean New PCE engine Introduced in AD21.0 (Beta] Enable instancing of Pads and V PCE.DBC.PerformanceMetrics Default Boolean New PCE engine Introduced in AD21.0 (Beta] Enable instancing of Pads and V PCE.DBC.PerformanceMetrics Default Boolean Introduced in AD21.0 (Beta] Enable instancing of Pads and V PCE.DBC.PerformanceMetrics Default Boolean Chartics Default Default Default Default Default Default Doolean Default Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Doolean Dool	Product Improvement	Legacy.PCB.SplitPlanes	User Set	Boolean	(3)	~	Enable pre-AD21.0 split planes behavior					
Data Management PCB.RigidFlex.SubstackPanning Default Boolean IBetal Enable Board tab in Layer Stack Schematic PCB.EngineK User Set Boolean ✓ New PCB engine Introduced in AD21.1 PCB Editor PCB.EngineK.Instancing User Set Boolean ✓ New PCB engine Introduced in AD21.1 PCB Editor PCB.EngineK.Instancing User Set Boolean ✓ New PCB engine Introduced in AD21.1 PCB Editors Schematic.GroupUndo User Set Boolean ✓ Fnables performance metrics for DDC Schematic.GroupUndo Default Integer 50 Depth of the Undo operations stack is Schematic.GroupUndo Default Integer 10000 Horizontal schematic library sheet size Draftsman Schematic.Chrlub.SheetSizeY Default Integer 10000 Horizontal schematic library sheet size Nulti-board Assembly Schematic.Drominct.Navigator Default Boolean Enables andi-Adiomatically refresh project view and Reset Reset All Fnables.andi-Adiation endedin	Network Activity	Legacy.PCB.RigidFlex	User Set	Boolean	0	~	Enable pre-AD21.0 rigid flex board plan.					
Schematic PCB.EngineX User Set Boolean New PCB engine Introduced in AD21.4 PCB.EngineX/Instancing User Set Boolean IBRE JEnable instancing of PAD1 and Introduced in AD21.4 PCB.EngineX/Instancing User Set Boolean IBRE JEnables performance metrics for DBC Schematic-GroupUndo Default Boolean Enables and Introduced in AD21.4 PCB.EngineX/Instancing User Set Boolean Introduced in AD21.4 PCB.EngineX/Instancing of PAD2 Schematic-GroupUndo Default Boolean Enables ability to group Undo Operations stack is Schematic-Schub.SheetSizer Default Integer Ibool Horizontal schematic library sheet size Schematic-DynamicCompiler.Navigator Default Boolean Automatically refresh project view an Schematic Drawing ItsaArbiäliasion ItsaAr Set Boolean Automatically refresh project view an Schematic Drawing ItsaArbiäliasion ItsaAr Set Boolean Enables ability of group Undo during senet size 	Data Management	PCB.RigidFlex.SubstackPlanning	Default	Boolean			[Beta] Enable Board tab in Layer Stack					
PCB Editor PCB.Enginek.instancing User Set Boolean ✓ [Beta] Enable instancing of Pads and 1 Text Editors Scipting System C.Scipting System Cell Enginek.instanceMetrics CAM Editor Schematic.LundoStackSize Default Boolean ✓ Enables performance metrics for DRC Schematic.CoroupUndo Default Boolean Cell Schematic.CoroupUndo Default Integer 50 Depth of the Undo operations tack at: Schematic.Schub.SheetSizeX Default Integer 18000 Horizontal schematic library theet size Default Integer 18000 Horizontal schematic library theet size Schematic.Schub.SheetSizeY Default Integer 18000 Horizontal schematic library theet size Schematic.Complier.Navigator Default Boolean Automatically refresh project view and Schematic.DynamicComplier.Navigator Default Boolean Automatically refresh project view and Schematic.DynamicComplier.Navigator Enables.anti.Aliastion during send size. Reset All Rost Reset All Complex Schematic.DynamicComplex.Navigator Rost Reset All Rost </td <td>Schematic</td> <td>PCB.EngineX</td> <td>User Set</td> <td>Boolean</td> <td></td> <td>~</td> <td>New PCB engine introduced in AD21.0</td>	Schematic	PCB.EngineX	User Set	Boolean		~	New PCB engine introduced in AD21.0					
Test Editors PCB.DRC.PerformanceMetrics Default Boolean ✓ Enables performance metrics for DRC Scipting System Schematic.UndoStacKSize Default Integer 50 Depth of the Undo operations tack is CAM Editor Schematic.GroupUndo Default Boolean Enables ability to group Undo for sim Simulation Schematic.GroupUndo Default Boolean 10000 Horizontal schematic library sheet size. Multi-board Schematic Schematic.Compliet.Navigator Default Integer 10000 Vertical schematic library sheet size. Multi-board Assembly Reset Reset All Enables Control Control	PCB Editor	PCB.EngineX.Instancing	User Set	Boolean		~	[Beta] Enable instancing of Pads and Vi					
Scipting System Schematic.UndoStackSize Default Integer 50 Depth of the Undo operations stack is CAM Editor Schematic.GroupUndo Default Integer 50 Depth of the Undo operations stack is Simulation Schematic.Schilb.ScheetSizeX Default Integer 10000 Horizontal schematic library sheet size Draftsman Schematic.Schilb.ScheetSizeY Default Integer 10000 Horizontal schematic library sheet size Multi-board Assembly Schematic.DramitoCompiler.Navigator Default Boolean Automatically refresh project view and Schematic. Reset Reset All Constant Enables andi aliation during refresh	Text Editors	PCB.DRC.PerformanceMetrics	Default	Boolean	V	~	Enables performance metrics for DRC					
CAM Editor Simulation Simulation Sthematic.Schub.SheetSizeX Default Integer II000 Horizontal schematic Schematic.Schub.SheetSizeX Default Integer II000 Horizontal schematic Schematic.Schub.SheetSizeY Default Integer II000 Horizontal schematic Schematic.DhuBheetSizeY Default Boolean Automatically refresh project view an Cohematic Drawing LiseAntiAllaxing IIter.Set Boolean Finables.anti.Allaxing.etting.etting Reset Reset All	Scripting System	Schematic.UndoStackSize	Default	Integer	50	50	Depth of the Undo operations stack in					
Simulation Schematic.Sch.lib.SheetSizeX Default integer 18000 Horizontal schematic library sheet size Draftsman Schematic.Sch.lib.SheetSizeY Default integer 18000 Horizontal schematic library sheet size Multi-board Schematic Schematic.Complet.Navigator Default Integer 18000 Vertical schematic library sheet size. Multi-board Assembly Schematic Resentation Default Default Boolean Automatically refrests project view and Schematic Ibrary sheet size. Reset Reset All Contract Exect Reset All Contract	CAM Editor	Schematic.GroupUndo	Default	Boolean			Enables ability to group Undo for simil					
Draftsman Schematic.Schüb.SheetSizer Default Integer 18000 Vertical schematic library sheet size. Multi-board Schematic Schematic.Compiler.Navigator Default Integer 18000 Vertical schematic library sheet size. Multi-board Assembly Schematic Drawinn LiteAntiAllaxinn Default Boolean Automatically refresh project view and Schematic Ibrary sheet size. Reset Reset All Control Automatically refresh project view and Schematic Ibrary sheet size.	Simulation	Schematic.SchLib.SheetSizeX	Default	Integer	18000	18000	Horizontal schematic library sheet size.					
Multi-board Schematic Multi-board Assembly Reset Reset All	Draftsman	Schematic.SchLib.SheetSizeY	Default	Integer	18000	18000	Vertical schematic library sheet size.					
Mulli-board Assembly Schematic Drawinn IlterAntiAliacinn Iltere Set Bonlean . Drahles anti Aliacinn durinn zenden Reset Reset All	Multi-hoard Schematic	Schematic.DynamicCompiler.Navigator	Default	Boolean			Automatically refresh project view and					
Reset Reset All	Multi-board Assembly	Schematic Drawing LiseAntiAliasing	Liter Set	Boolean		- ñ	Enables anti aliasing during renderic 4					
		Reset Reset All					Clot					
2 商级							2 高级					

图 3-17 Advanced Settings 对话框

(2) 双击分割的区域,可在 Properties 面板中打开相应的多边形定义,如图 3-18 所示。平面(有死铜)与平面多边形在过孔密集处的对比如图 3-19 所示。

A, Search Actions Repour ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ●	agon Pour	Components (and 12 more)
Actions Repour 前皮更新 Het Information Net Name VCC3.3V Net Class POWER, PWR Properties Net VCC3.3V Layer PWR Hide preview W Remove Islands Less Than 2500 sq.mil Arc Approx. 0.5mil), Search	
Repour 铜皮更新 Vet Information Net Name VCC3.3V Net Class POWER, PWR Properties Net VCC3.3V Layer PWR Hide preview W Remove Islands Less Than 2500 sq.mil Arc Approx. 0.5mil	Actions	
Net Information Net Name VCC3.3V Net Class POWER, PWR Properties Net VCC3.3V Layer PWR Hide preview Kemove Islands Less Than 2500 sq.mil Arc Approx. 0.5mil	Repour	间皮更新
Net Name VCC3.3V Net Class POWER, PWR Net VCC3.3V Layer PWR Hide preview W Remove Islands Less Than 2500 sq.mil Arc Approx. 0.5mil	let Information	
Net Class POWER, PWR roperties Net VCC3.3V Layer PWR Hide preview Kide preview Arc Approx. 0.5mil Comparison Comparison	Net Name	VCC3.3V
Hide preview WR PWR Hide preview Arc Approx. 0.5mil	Net Class	POWER, PWR
Net VCC3.3V	roperties	
Layer PWR Hide preview C Remove Islands Less Than 2500 sq.mll Arc Approx. 0.5mil	Net	VCC3.3V 👻
Hide preview Remove Islands Less Than 2500 sq.mil Arc Approx. 0.5mil	Layer	r PWR
Remove Necks Less Than Smil	V	Remove Islands Less Than 2500 sq.mil

图 3-18 平面多边形定义



图 3-19 平面(有死铜)与平面多边形的区别

使用平面多边形的注意事项:

- 启用该功能后,请检查每个平面层,双击分割的平面并按 Repour 按钮更新铜皮。
- 平面层的连接和间隙依然由 PlaneConnect 和 PlaneClearance 设计规则定义。
- 修改平面(连接或间隙)设计规则后,需要双击该平面按 Repour 按钮,以更新平面的连接/间隙。

3.2 阻抗控制

3.2.1 阻抗控制的定义及目的

1) 特性阻抗的定义

特性阻抗又称特征阻抗,其单位是 Ω。它不是直流电阻,属于长线传输中的概念。 在高频范围内,信号传输过程中,信号沿到达的地方在信号线和参考平面(电源或地平 面)间由于电场的建立,会产生一个瞬间电流,如果传输线是各向同性的,那么只要信号 在传输,就始终存在一个电流 I,而如果信号的输出电平为V,在信号传输过程中,传输线 就会等效成一个电阻,大小为 V/I,把这个等效的电阻称为传输线的特性阻抗 Z。信号 在传输的过程中,如果传输路径上的特性阻抗发生变化,信号就会在阻抗不连续的节点 第3章

叠层应用及阻抗

控制

- Altium Designer 21 PCB设计官方指南(高级实战)

产生反射。影响特性阻抗的因素有介质厚度、线宽等。

2) 阻抗控制的定义

PCB 提供的电路性能要求信号在传输过程中不发生反射现象,才能保证信号完整性,降低传输损耗。而电压、电流在传输线中传播时,特性阻抗不一致会造成反射现象, 需要进行阻抗控制及匹配,这样才能得到完整、精准、无噪音干扰的传输信号。阻抗控制 在高频设计电路中尤为重要,关系到信号质量的优劣。

3.2.2 控制阻抗的方式

在进行高频电路设计时,需要控制阻抗,那么该如何控制?

(1)使用经验值。记录之前做过的阻抗线,在下一次需要时可直接套用。缺陷是一旦参数变化,所使用的经验值就不适用了。

(2) 将阻抗线分类,设置好相应颜色之后截图,如图 3-20 所示,给 PCB 板厂,由板厂 调整控制。缺陷是当板子布线密度较大时,板上可能没有多余的空间进行线宽、线距的 调整,板厂有可能无法进行阻抗控制。



图 3-20 阻抗控制截图

(3)根据叠层参数,结合板厂提供的相关资料(板材厚度、介电常数等数据)计算阻抗, 按照计算出来的数值走线,同时将阻抗控制截图交给板厂,由他们做最终的微调控制。

3.2.3 微带线与带状线的概念

(1) 微带线(Microstrip line): 是由支在介质基片上的单一导体带构成的微波传输线,即表层走线。

(2) 带状线(Stripline): 是一条置于两个平行的地平面或电源平面之间的高频传输导线,即 PCB 内层走线。

3.2.4 阻抗计算的相关条件与原则

在进行阻抗计算之前,需要了解进行阻抗控制需要的条件、影响因素及所用材料的 相关参数。

(1) 阻抗控制需要的条件: 板厚、铜厚、板子叠层结构及各层厚度、基板材料、表面工艺、阻抗值等。

(2)影响阻抗的因素:介质厚度、线宽、线距、介电常数、铜厚(oz,1oz=0.035mm)、 阻焊厚度、残铜率(指板面上铜的面积和整板面积之比)等。介质厚度、线距越大,阻抗值 越大;介电常数、铜厚、线宽、阻焊厚度越大,阻抗值越小。

(3) 板层进行压合时,需要注意以下几点:

① 7628 的 PP 片表面比较粗糙会影响板子的外观,一般不会放到外层。

② 3 张 1080 也不允许放在外层,否则容易在压合时产生滑板现象。

③ 4 张及以上的 PP 片不允许叠加在一起,否则也容易产生滑板现象。

④ 多层板各层间 PP 片和芯板的排列应当对称。例如 6 层板中,1~2 和 5~6 的 PP 片应当一致,否则压合时容易翘曲。

3.2.5 Altium Designer 的材料库

Altium Designer 为用户提供了可供选择的电路板材料库,用于构建 PCB 叠层。按快捷 键 D+K 进入层叠管理器,执行菜单栏中 Tools→Material Library 命令,如图 3-21 所示。

Layer Stack Visualizer		A64_ZB77_V1.0.Pcb	Doc *	A64_ZB7	7_V1.0.PcbDoc [S	tackup]
Material Library						
Features		2				
Presets	• #	Name	Mater	ial	Туре	We
Measurement Units	, 🔳	Silkscreen Top			Overlay	
	-	Solder Mask Top	SM-00	1 -	Solder Mask	
SchDoc (1)	1	Тор		-	Signal	loz
school (1)	- 1	Dielectric1	PP-009)	Prepreg	

图 3-21 打开材料库命令

将弹出如图 3-22 所示的 Altium Material Library 对话框。

(1) 对话框上方的 mil、in、µm、mm 可进行单位的切换,左侧可用于相应图层的材料设置。

① Copper plating process: 镀铜工艺。

- ENIG(Electroless Nickel/Immersion Gold):化学镍金、化镍金或者沉镍金,在 PCB表面导体先镀上一层镍后再镀上一层金,镀镍主要是防止金和铜间的扩散。
- HASL(Hot Air Solder Leveling): 热风焊料整平,俗称喷锡,主要是将 PCB 板直接 浸入熔融状态的锡浆里面,在经过热风整平后,在 PCB 铜面会形成一层致密的锡层。
- IAu(Immersion Au): 沉金,是在铜面上包裹一层厚厚的、电性良好的镍金合金,可以长期保护 PCB。

Altium	Designer 21	PCB设计官方指南(高级实战)
--------	-------------	-----------------

1 mil in μ	m	mm 🏼 🌣						
Copper plating process	+	Type	T	Source T	Process T	Material T	Color	T
ENIG	1	HASL		Altium	HASL	PbSn	CITERING ST	1
IAu	2	HASL		Altium	HASL Lead-Free	Lead-Free	#FFF2F2F2F2	
ISn	3	ENIG		Altium	ENIG	Nickel, Gold	#FFFFC400	
OSP	4	IAu		Altium	IAu	Gold	#FFFFB200	
PCB layer material	5	OSP		Altium	OSP	ENTEK	#00000000	
Foil	6	ISn		Altium	ISn	Tin	#FFBFBFBFB	
Core Prepreg Surface layer material Fiex Coverlay Soldermask Printed Electronics material Conductive Non-Conductive								

图 3-22 Altium Material Library 对话框

- ISn(Immersion Sn): 沉锡,用置换反应在 PCB 面形成一层极薄的锡层。
- OSP(Organic Solderability Preservatives): 有机保焊膜,是在洁净的裸铜表面上,以化学的方法长出一层有机皮膜。
- ② PCB Layer material: PCB 层材料。
- Conductive layer material: 导电层材料。
- Dielectric layer material: 电介质层材料,包含芯板和 PP 片。
- Surface layer material: 表面材料,分为柔性板覆盖层和阻焊层材料。
- Printed Electronics material:印刷电子材料,分为导电材质和不导电材质。

(2) 右侧为相关图层所包含的材料。以 PP 片为例,图 3-23 所示为 PP 片包含的材料。

יי מי mil in µm	mm	٥						
Surface finish process		Manufacturer	Name	Thickness	Constructions	Resin	Frequency	Dk
ENIG	1							
HASL	2	Altium Designer	PP-002	2.3mil	106	75%	1GHz	3.8
ISn	3	Altium Designer	PP-003	2.3mil	1067	72%	1GHz	3.9
OSP	4	Altium Designer	PP-004	2.6mil	1067	75%	1GHz	3.8
PCB layer material PCB layer material Foil Dielectric layer material Core Core Surface layer material Surface layer material	5	Altium Designer	PP-005	2.7mil	1078	62%	1GHz	4.1
	6	Altium Designer	PP-006	2.8mil	1080	62%	1GHz	4.1
	7	Altium Designer	PP-007	3mil	1086	61%	1GHz	4.2
	8	Altium Designer	PP-008	3.1mil	1080	65%	1GHz	4.1
	9	Altium Designer	PP-009	3.3mil	1078	68%	1GHz	4
	10	Altium Designer	PP-010	3.4mil	1080	68%	1GHz	4
Flex Coverlay Soldermask	11	Altium Designer	PP-011	3.4mil	1086	65%	1GHz	4.1
Printed Electronics material	12	Altium Designer	PP-012	3.8mil	1086	68%	1GHz	4
Conductive	13	Altium Designer	PP-013	3.8mil	2113	56%	1GHz	4.3
Non-Conductive	14	Altium Designer	PP-014	4.2mil	2113	60%	1GHz	4.2
	15	Altium Designer	PP-015	4.4mil	3313	60%	1GHz	4.3
	16	Altium Designer	PP-016	4.6mil	2116	53%	1GHz	4.4
	17	Altium Designer	PP-017	5.1mil	2116	57%	1GHz	4.3
	18	Altium Designer	PP-018	6mil	1652	60%	1GHz	4.3
	19	Altium Designer	PP-019	6.5mil	1506	48%	1GHz	4.5
	20	Altium Designer	PP-020	6.8mil	1506	50%	1GHz	4.5
	21	Altium Designer	PP-021	7.1mil	7628	43%	1GHz	4.7
	22	Altium Designer	PP-022	8.2mil	7628	48%	1GHz	4.5
	23	Altium Designer	PP-023	8.6mil	7628	50%	1GHz	4.5
		10				_		

图 3-23 PP 片包含的材料

(3) 右侧面板显示各类 PP 片的相关参数,单击 • 按钮,可打开如图 3-24 所示的 Material Library Settings 对话框。在此对话框中,可显示或者隐藏相关的属性。

Q, 5	Search
T	Column
o	Source
0	Manufacturer
o	Name
15	Description
0	Thickness
0	Constructions
ο	Resin
0	Frequency
0_	Dk 見군
•	Df
0	GlassTransTemp
ø	Note
Ad	d Edit 💼 Up Dow

图 3-24 Material Library Settings 对话框

(4) 在 Altium Material Library 对话框中用户可通过单击 New 按钮添加需要的相关材料。单击 New 按钮, Altium Material Library 对话框下方会出现一些参数文本框, 如图 3-25 所示, 根据实际材料填写各个参数。

0k:	42		Df:	0.02		G	assTransTemp:	180°C	
Constructions	1080*2		Resin	68%		Fr	equency:	1GHz	
Aanufacturer	User		Name:	PP-024		T	ickness:	6.3mil	
Addum	Altium Designer	PP-023	a.omii	/6/20	30%	TGHZ	4.5	0.02	180°C
Altium	Altium Designer	PP-022	8.2mil	7628	48%	1GHz	4.5	0.02	180°C
Altium	Altium Designer	PP-021	7.1mil	7628	43%	1GHz	4.7	0.02	180°C
Altium	Altium Designer	PP-020	6.8mil	1506	50%	1GHz	4.5	0.02	180°C
Altium	Altium Designer	PP-019	6.5mil	1506	48%	1GHz	4.5	0.02	180°C
Altium	Altium Designer	PP-018	6mil	1652	60%	1GHz	4.3	0.02	180°C
Altium	Altium Designer	PP-017	5.1mil	2116	57%	1GHz	4.3	0.02	180°C
Altium	Altium Designer	PP-016	4.6mil	2116	53%	1GHz	4.4	0.02	180°C
Altium	Altium Designer	PP-015	4.4mil	3313	60%	1GHz	4,3	0.02	180°C
Attium	Altium Designer	PP-014	4.2mil	2113	60%	1GHz	4.2	0.02	180°C
Altium	Altium Designer	PP-013	3.8mil	2113	56%	1GHz	4.3	0.02	180°C
Altium	Altium Designer	PP-012	3.8mil	1086	68%	1GHz	4	0.02	180°C
Altium	Altium Designer	PP-011	3.4mil	1086	65%	1GHz	4.1	0.02	180°C
Altium	Altium Designer	PP-010	3.4mil	1080	68%	1GHz	4	0.02	180°C
Altium	Altium Designer	PP-009	3.3mil	1078	68%	1GHz	4	0.02	180°C
Altium	Altium Designer	PP-008	3.1mil	1080	65%	1GHz	4.1	0.02	180°C
Altium	Altium Designer	PP-007	3mil	1086	61%	1GHz	4.2	0.02	180°C
Altium	Altium Designer	PP-005	2.8mil	1080	62%	1GHz	4.1	0.02	180°C
Altium	Altium Designer	PP-005	2.7mil	1078	62%	1GHz	4.1	0.02	180°C
Altium	Altium Designer	PP-004	2.6mil	1067	75%	1GHz	3.8	0.02	180°C
Altium	Altium Designer	PP-003	2.3mil	1067	72%	1GHz	3.9	0.02	180°C
Source	Manufacturer	Name	Thickness	Constructions	Resin	Frequency	Dk	Df	GlassTransTemp

图 3-25 添加新材料

第 3 章

叠层应用及阻抗控制

------ Altium Designer 21 PCB设计官方指南(高级实战)

(5)数据填写完成之后,单击 Update 按钮,即可加载新材料,如图 3-26 所示,Source 会自动赋予 User 属性,以区别于 Altium 提供的材料。

				Altium Material I	Library		
#	mm 🗢	Manufacturer T	Name T	Thickness T	Constructio T	Resin T	Frequency T
	User	User	PP-024	6.3mil	1080*2	68%	1GHz
2	Altium	Altium Designer	PP-001	2mil	106	72%	1GHz
3	Altium	Altium Designer	PP-002	2.3mil	106	75%	1GHz
4	Altium	Altium Designer	PP-003	2.3mil	1067	72%	1GHz
5	Altium	Altium Designer	PP-004	2.6mil	1067	75%	1GHz
6	Altium	Altium Designer	PP-005	2.7mil	1078	62%	1GHz

图 3-26 用户自定义材料显示

若想删除,单击 • 按钮即可。需要注意,删除功能只针对用户自定义的材料,系统提供的材料无法删除。

3.2.6 阻抗计算实例

Altium Designer 21 软件可以从叠层中获取数据,并将由阻抗计算得到的数据应用 到 PCB上的阻抗信号线宽。下面以一实例演示 Altium Designer 进行阻抗计算的过程。

(1) 叠层要求: 6 层板、1.6mm 板厚、内层铜厚 1oz,表层铜厚 0.5oz。

(2) 在进行阻抗计算之前,先给 PCB 增加叠层并填好相关数据。

① 按快捷键 D+K 进入层叠管理器,单击底部的 Impedance 按钮以配置 Impedance Profile 要求。通过选取 Altium Designer 21 提供的材料或者根据实际手动输入材料数据(主要是 Thickness 和 Dk),可得如图 3-27 所示的叠层结构。

#	Name	Material		Туре	Weight	Thickness	Dk
	Top Overlay			Overlay			
	Top Solder	SM-001		Solder Mask		imil	4
1	Top Layer			Signal	1/202	0.7mil	
	Dielectric 2	PP-008		Prepreg		3.2mil	4.2
2	GND02	CF-004	-	Plane	loz	1.378mil	
	Dielectric 1	Core-006	-	Core		4mil	4.2
3	SIN03	CF-004	-	Signal	loz	1.378mil	
	Dielectric 4	PP-006	100	Prepreg		38.18mil	4.2
4	SIN04	CF-004	-	Signal	loz	1.378mil	
	Dielectric 5	Core-006		Core		4mil	4.2
5	PWR05	CF-004	-	Plane	loz	1.378mil	
	Dielectric 3	PP-008		Prepreg		3.2mil	4. 2
6	Bottom Layer		-	Signal	1/2oz	0.7mil	
	Bottom Solder	SM-001		Solder Mask		Imil	4
	Bottom Overlay			Overlay			

图 3-27 6 层板叠层结构

② 在界面右下角单击 Panels 按钮,选择 Properties 面板,可在 Board 选项组中查看 板子总厚度,如图 3-28 所示。

③ 层堆叠对称性。如果需要层堆叠是严格对称的,勾选图 3-28 中的 Stack

Symmetry,软件将立即检查以中间介电层为中心的层 堆叠对称性。若是与中心介电层等距的任意一对层不 相同,将弹出 Stack is not symmetric 对话框,在上半 部分显示检查到的不对称冲突,如图 3-29 所示,显示 GND02 和 PWR05 的 Pullback dist...不一致(此处需 遵守 20H 原则,不予修改)。若想进行更改,选择 Mirror top half down 单选按钮即可。下面对该组选 项进行说明。

Board	
Stack Symmetry	
Library Compliance	
Layers	6
Dielectrics	5
Conductive Thickness	6.912mil
Dielectric Thickness	52.58mil
Total Thickness	61.492mil

第3章

叠层应用

一及阻

抗控

制

图 3-28 Board 选项组

Current layer stack Layer stack symmet	is not symmetric. Pl ry mismatches:	ease choose an o	ption to make it :	symmetric.	
Property	Substack	Layer1	Value1	Layer2	Value2
Pullback dist	Board Layer S	2 - GND02	20mil	5 - PWR05	40mil
Mirror bottom Mirror whole s Mirror whole s	half up tack down tack up				

图 3-29 层堆叠对称性检测

- Mirror top half down: 镜像上半部分,中心介电层上方的每个层的设置被向下复制到对称的层。
- Mirror bottom half up: 镜像下半部分,中心介电层下方的每个层的设置被向上 复制到对称的层。
- Mirror whole stack down:向下镜像整个叠层,在最后一个线路层插入另外的介 电层,然后在新的介电层下方复制和镜像所有信号的介质层。例如 6 层板,按此 镜像之后将变成 12 层,如图 3-30 所示。



图 3-30 向下镜像所有层的变化情况

- Altium Designer 21 PCB设计官方指南(高级实战)

• Mirror whole stack up: 向上镜像整个叠层,在第一个线路层插入另外的介电层, 然后在新的介电层上方复制和镜像所有信号的介质层。

④ 层叠可视化。在层叠管理器中,执行菜单栏中 Tool→Layer Stack Visualizer 命令,即可打开 Layerstack visualizer 对话框,如图 3-31 所示,可通过勾选相关配置选项,进行叠层的查看,单击并按住右键移动可调整视图。按快捷键 Ctrl+C 可复制此页面到剪贴板中。



图 3-31 叠层可视化

(3) 添加阻抗配置文件。单击层叠管理器右侧的 Add Impedance Profile 按钮或者 右上角的按钮 • 添加新的阻抗配置文件,如图 3-32 所示。图中 4 行数据显示了 4 个信 号层的参考平面、线宽、阻抗等参数。

			\$50	+ 1				
	Name		Top Ref	Bottom Ref	Width (W1)	Impedance (Z0)	Deviation	Delay (Tp)
	Top Overlay							
	Top Solder							
1	Top Layer	~		2 - GND02	5.132mil	50	0.01%	161.945ps/in
	Dielectric2							
2	GND02							
	Dielectric 1							
3	SIN03	~	2 - GND02	4 - SIN04	4.681mil	49.98	0.05%	175.454ps/in
	Dielectric 4							
4	SIN04	~	3 - SIN03	5 - PWR05	4.668mil	50. 02	0.04%	175.435ps/in
	Dielectric 5							
5	PWR05							
	Dielectric 3							
6	Bottom Layer	~	5 - PWR05		5.132mil	50	0.01%	161.945ps/in
	Bottom Solder							
	Bottom Overlay							

图 3-32 阻抗配置文件

第

(4) 更改参考平面。图 3-27 中显示 SIN03 的顶部参考层为 GND02,底部参考层为 SIN04; SIN04 的顶部参考层为 SIN03,底部参考为 PWR05。这样显然不合适,由于信号 层 SIN03、SIN04 需要走线,平面不完整,所以需要更改参考平面。更改参考平面的方式 如图 3-33 所示,选择相应信号层,然后单击下三角按钮重新选择对应的参考层。更改之 后的参考平面如图 3-34 所示。

		\$50	+ 💼			
#	Name	Top Ref	Bottom Ref	Width (W1)	Impeda	Deviation
	Top Overlay					
	Top Solder					
1	Top Layer	~	2 - GND02	5.132mil	50	0.01%
	Dielectric2					
2	GND02					
	Dielectric 1					
3	SIN03	🖌 2 - GND02	4 - SIN04 🔻	4.681mil	49.98	0.05%
	Dielectric 4		None			
4	SIN04	✓ 3 - SIN03	4 - SIN04	668mil	50.02	0.04%
	Dielectric 5		5 - PWR05	ar l		
5	PWR05		6 - Bottom Lay			
	Dielectric 3					
6	Bottom Layer	✓ 5 - PWR05		5.132mil	50	0.01%
	Bottom Solder					
	Bottom Overlay					

图 3-33 更改参考平面

Top Ref	Bottom Ref	Width (W1)	Impeda	Deviation	Delay (Tp)
	2 - GND02	5.132mil	50	0.01%	161.945ps/in
2 - GND02		4.815mil	49. 98	0. 05%	175.186ps/in
	5 - PWRO5	4.815mil	49. 98	0.05%	175.186ps/in
✓ 5 - PWR05		5.132mil	50	0.01%	161.945ps/in

图 3-34 更改后的参考平面

(5) 计算信号阻抗。在界面右下角单击 Panels 按钮,选中 Properties 面板,就可以在 Impedance Profile 选项组和 Transmission Line 选项组中进行阻抗计算及查看。

(6) 计算 Top 层单端 50Ω 信号的线宽。

①选择阻抗配置文件中的 Top 层,如图 3-35 所示。

② 根据要求在 Impedance Profile 选项组设置相关参数,如图 3-36 所示。

Top Re	Bottom Ref	Width (W1)	Impeda	Deviation			
-	2 - CND02	5.132mil	50	0.01%			
🗸 2 - GNI	02	4.815mil	49.98	0.05%	∠ Impe	dance Profile	
~	5 - PWROS	4.815mil	49. 98	0.05%		Description	Single_50
						Type	Single
						arget impedance	50
						arger impedance	

- Description:用于说明配置文件,即配置文件的名称。
- Type:用于切换信号类型,包含单端、差分信号及共面单端、共面差分信号。
- Target Impedance:用于设置目标阻抗。
- Target Tolerance:用于设置目标阻抗公差,一般设置为10%。

③ 在 Transmission Line 选项组中即可看到 50Ω 的阻抗,计算出的线宽为 5.132mil, 如图 3-37 所示。

Transmission Line	
Lice Colder Mack	
Trace Inverted	
Etch (?)	0
Width (W1)	5.132mil
Wedth (W1)	5 132mil
vvidtri (vv2)	5.152min
Covering (C1)	Imil
Covering (C2)	1mil
Impedance (Zo)	50
Deviation	0.01%
Delay (Tp)	161.945ps/in
Inductance	8.094nH/in
Capacitance	3.24pF/in

图 3-37 顶层单端信号阻抗计算结果

• Use Solder Mask: 设置是否使用阻焊绿油层。与之对应的是下方的 Covering, C1——基材上的绿油厚度,C2——铜线上的基材厚度,一般为 0.5~1mil,对表层 阻抗有一定影响,可向电路板制造商咨询厚度信息。

- Etch: 蚀刻因子,Etch= T/[0.5(W1-W2)],可向电路板制造商咨询有关其工 艺创建蚀刻因子的信息;若是排除蚀刻因子进行计算,用户可将其设置为 0。
- Width: W1——设计线宽,W2——经蚀刻之后的实际线宽,若Etch Factor=0,则 W1=W2。因蚀刻原因,一般 W1>W2。
- Impedance: 计算得出的阻抗。
- Deviation: 阻抗偏差,一旦超过设置值,将会警告。
- Delay: 传播时延。
- Inductance: 每单位长度的电感。
- Capacitance: 每单位长度的电容。

④ 实际生产中,尽量将走线线宽和线距设置为整数或小数点后一位,以满足制造商的生产精度。阻抗计算器支持正向和反向阻抗计算,默认模式为正向(输入阻抗,软件自动计算线宽)。需要反转模式,输入线宽并按下 Enter 键即可算出阻抗值。单击 **五**按钮将回归正向计算。

⑤ 将线宽改为 5mil 后,按下 Enter 键,可看到如图 3-38 所示的数据变化,误差在 10%范围内,可使用 5mil 线宽进行 PCB 设计。

Transmission Line	
	W2 C2 C1
Simulated with SI	MBEOR® software
Use Solder Mask	~
Trace Inverted	
Etch (7)	0
Width (W1)	Smil
Width (W2)	Smil fx
Covering (C1)	1mil
Covering (C2)	1mil
Impedance (Zo)	50.63
Deviation	1.26%
Delay (Tp)	161.901ps/in
Inductance	8.195nH/in
Capacitance	3.198pF/in

图 3-38 修改线宽后的阻抗

(7) 计算 SIN03 层单端 50Ω 信号的线宽。

① 依照上述方式,选择阻抗配置文件中的 SIN03 层。进行阻抗参数填写,并得出对应计算结果,如图 3-39 所示。

② 由于线宽与阻抗成反比,所以将线宽改为 4.8mil,可得到其阻抗也在误差范围内,如图 3-40 所示。

(8) 依照上述方式,将 SIN04 和 Bottom 层的单端 50Ω 信号都计算出来,即可将阻抗 配置文件设置好,如图 3-41 所示。 ----- Altium Designer 21 PCB设计官方指南(高级实战)





图 3-39 SIN03 层单端信号阻抗计算结果

图 3-40 SIN03 层修改线宽后的阻抗值

	Top Ref	Bottom	Width (W1)	Impedance (Z0)	Deviation	Delay (Tp)
			线宽	阻抗	公差	
~		2 - GND02	5mil	50. 63	1.26%	161.901ps/in
~]	2 - gnd02		4.8mil	50. 05	0.09%	175.196ps/in
~		5 - PWR05	4.8mil	50. 05	0.09%	175.196ps/ir
~	5 - PEP05		Smil 1	50.63	1 26%	161 901ps/is

图 3-41 Single_50 阻抗配置文件

(9) 按快捷键 Ctrl+S保存阻抗配置文件,然后将阻抗配置文件应用到规则设计中。 设置一个包含 50Ω 阻抗信号的 Class,在线宽规则中进行如图 3-42 所示的设置。



图 3-42 应用阻抗配置文件设置规则

(10) 计算 TOP 层差分 100Ω 信号的线宽、线距。

① 单击 • 按钮,创建新的配置文件,命名为 Differential_100,同时调整各信号层的 参考平面。

② 选择 TOP 层,在 Impedance Profile 选项组中设置相关参数,可得如图 3-43 所示的结果。

③ 由于线宽与阻抗成反比,与线距成正比,可将线宽和线距都改大,最终调整结果如 图 3-44 所示。

Transmission Line			Transmission Line	
Simulated with Si	W2 G C2 C1 w1 MBEOR® software		Simulated with SI	W2 G C2 C1 W1 MBEOR® software
Use Solder Mask	v		Use Solder Mask	•
Trace Inverted			Trace Inverted	
Etch (?)	0		Etch (?)	0
Width (W1)	3.697mil		Width (W1)	4.6mil
Width (W2)	3.697mil	fx	Width (W2)	4.6mil
Covering (C1)	1mil		Covering (C1)	1mil
Covering (C2)	1mil		Covering (C2)	1mil
Trace Gap (G)	Smil	fx	Trace Gap (G)	9mi (
Impedance (Zdiff)	99.96		Impedance (Zdiff)	99.2
Deviation	0.04%		Deviation	0.8%
Delay (Tp)	158.463ps/in		Delay (Tp)	158.479ps/in
Inductance	15.834nH/in		Inductance	15.717nH/in
Capacitance	1.586pF/in		Capacitance	1.598pF/in

④ 计算得出的各层 100Ω 差分信号的线宽、线距如图 3-45 所示。

	Top Ref	Bottom	Width (W1)	Trace Gap	Impe	Deviation	Delay (Tp)
~		2 - GND02	4.6mil	9mil	99. 2	0. 8%	158.485ps/in
~	2 - gnd02		4mil	11mil	97.4	2.6%	175.467ps/in
~		5 - PWR05	4mil	11mil	97.4	2.6%	175.467ps/in
~1	5 - PWR05		4.6mil	9mil	99.2	0.8%	158.485ps/ii

图 3-45 Differential_100 阻抗配置文件

图 3-43 TOP 层 100Ω 走线阻抗

图 3-44 100Ω的阻抗调整

- Altium Designer 21 PCB设计官方指南(高级实战)

(11) 依上述方式计算得出各层差分 900 信号的线宽、线距如图 3-46 所示。

	S50 (Single_50) D10		0 (Differential_ D90 (Diff		lerential_9 +		â	
	Top Ref	Bottom	Width (W1)	Trace Gap	Impe	Deviation	Delay (Tp)	
~		2 - gnd02	5mil	6mil	90. 77	0.85%	158.338ps/in	
~	2 - gnd02		4mil	7mil	90.37	0. 41%	175.672ps/in	
~		5 - PWR05	4mil	7mil	90. 37	0.41%	175.672ps/in	
~	5 - PWR05		5mil	6mil	90.77	0.85%	158.338ps/in	

图 3-46 Differential_90 阻抗配置文件