

第5章

锁存器和触发器

5.1 学习要点

1. 锁存器

锁存器(Latch)是一种对脉冲电平敏感的双稳态电路,具有 0 或 1 两个稳定状态;一旦状态被确定,就能自行保持;直到有外部特定输入脉冲电平作用在逻辑电路一定位置时,才能改变状态。锁存器可用于置入和存储 1 位二进制数据。

1) 基本 SR 锁存器

基本 SR 锁存器由两个或非门首尾相接构成,如图 5-1-1 所示。

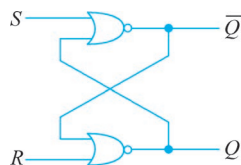


图 5-1-1 基本 SR 锁存器逻辑电路

2) 门控 SR 锁存器

引入同步信号,使这些锁存器只有在同步信号到达时才按输入信号改变状态。通常把这一同步信号称作时钟脉冲,或时钟信号,用 CP(Clock Pulse)或 CLK 表示。这种受时钟控制的锁存器称为门控锁存器或同步锁存器,以区别于基本 SR 锁存器。门控 SR 锁存器如图 5-1-2 所示。

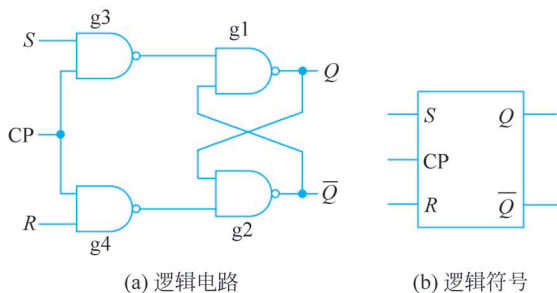


图 5-1-2 门控 SR 锁存器

门控 SR 锁存器的特性方程为

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{cases}$$

图 5-1-3 为 SR 锁存器的状态转换图,状态转换图形象地描述了锁存器状态变化的过程。

3) 门控 D 锁存器

门控 D 锁存器如图 5-1-4 所示。

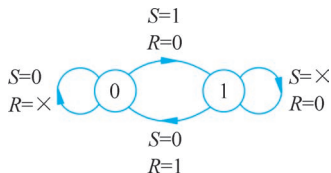


图 5-1-3 门控 SR 锁存器的状态转换图

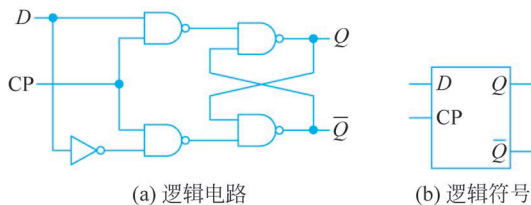


图 5-1-4 门控 D 锁存器

表 5-1-1 是门控 D 锁存器的特性表。

表 5-1-1 门控 D 锁存器的特性表

CP	D	Q^n	Q^{n+1}
0	×	0	0
0	×	1	1
1	0	×	0
1	1	×	1

由表 5-1-1 门控 D 锁存器的特性表的逻辑关系, 当 $CP=1$ 时, 将 D 锁存器次态写成逻辑函数式, 得 D 锁存器的特性方程为

$$Q^{n+1} = D$$

门控 D 锁存器的状态转换图如图 5-1-5 所示。

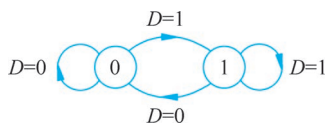


图 5-1-5 门控 D 锁存器的状态转换图

2. 触发器

触发器(Flip-Flop)是具有记忆功能的、能够存储 1 位二值信号的基本逻辑电路, 具有 0 或 1 两个稳定状态, 对时钟信号边沿敏感, 其状态只在时钟信号上升沿或下降沿瞬间改变。

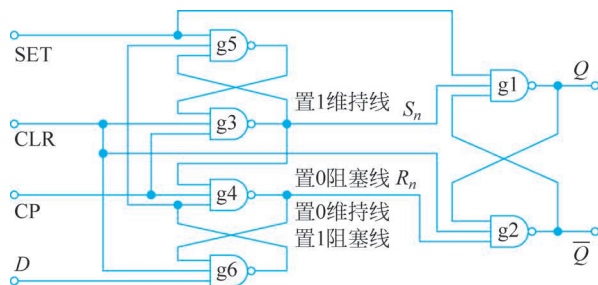
1) 维持阻塞 D 触发器

维持阻塞 D 触发器的逻辑电路和逻辑符号如图 5-1-6 所示, 也就是集成 D 触发器 74LS74。SET 是异步置 1 输入端、CLR 异步置 0 输入端, 低电平有效; D 为数据输入端, CP 为时钟输入端; Q 和 $\bar{Q}$ 为输出端。

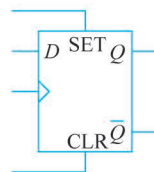
表 5-1-2 是维持阻塞 D 触发器特性表, 在 CP 上升沿时, 特性方程为 $Q^{n+1} = D$ 。

表 5-1-2 维持阻塞 D 触发器特性表

CLR	SET	CP	D	Q^{n+1}
0	1	×	×	0
1	0	×	×	1
1	1	↑	0	0
1	1	↑	1	1



(a) 逻辑电路



(b) 逻辑符号

图 5-1-6 维持阻塞 D 触发器

表 5-1-3 是 D 触发器激励表。

表 5-1-3 D 触发器激励表

Q^n	$\rightarrow$	Q^{n+1}	D
0		0	0
0		1	1
1		0	0
1		1	1

2) 负边沿 JK 触发器

负边沿 JK 触发器的逻辑电路和逻辑符号如图 5-1-7 所示,也就是集成 JK 触发器 74LS76。

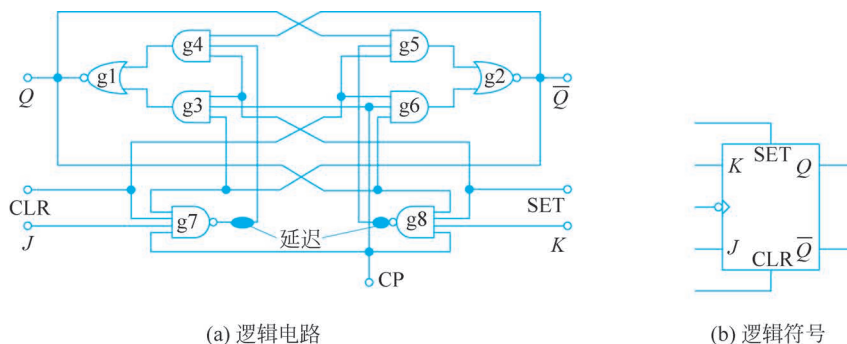


图 5-1-7 负边沿 JK 触发器

表 5-1-4 是负边沿 JK 触发器特性表,在 CP 下降沿时,特性方程为 $Q^{n+1} = \overline{JQ^n} + \overline{K}Q^n$ 。

表 5-1-4 负边沿 JK 触发器特性表

CLK	J	K	Q^n	Q^{n+1}	功 能
↓	0	0	0	0	保持
↓	0	0	1	1	
↓	0	1	0	0	置 0
↓	0	1	1	0	
↓	1	0	0	1	置 1
↓	1	0	1	1	
↓	1	1	0	1	翻转
↓	1	1	1	0	

JK 触发器的状态转换图如图 5-1-8 所示。

3) SR 触发器

时钟信号上升沿触发的 SR 触发器逻辑符号如图 5-1-9 所示,SR 触发器的特性方程为

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ SR = 0 \end{cases}$$

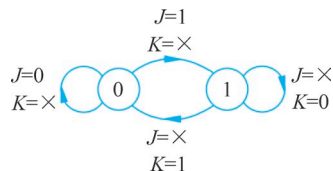


图 5-1-8 JK 触发器的状态转换图

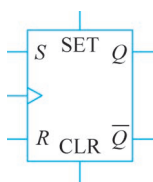


图 5-1-9 SR 触发器逻辑符号

4) T 触发器

T 触发器有一个控制信号 T ，当 T 信号为 1 时，触发器每来一个时钟脉冲，T 触发器就翻转一次，当 T 信号为 0 时，触发器状态保持不变。因此，当 $T=1$ 时，T 触发器可以记录时钟脉冲的个数。图 5-1-10 表示了上升沿触发的 T 触发器图形符号，T 触发器的特性表如表 5-1-5 所示。

根据特性表的逻辑关系，T 触发器的特性方程为

$$Q^{n+1} = \bar{T}Q^n + T\bar{Q}^n$$

T 触发器的状态转换图如图 5-1-11 所示。

表 5-1-5 T 触发器特性表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

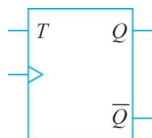


图 5-1-10 T 触发器图形符号

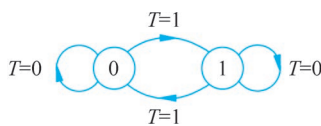


图 5-1-11 T 触发器状态转换图

如果 T 触发器的输入 T 接高电平，则特性方程为

$$Q^{n+1} = \bar{Q}^n$$

时钟脉冲每触发一次，触发器状态翻转一次，这种特殊的 T 触发器称为 **T'** 触发器。

5.2 例题解析

例 5-1 由与非门构成的基本 SR 锁存器如图 5-2-1 所示，编写实现图 5-2-1 的 Verilog 源程序；如果 ModelSim 仿真输入波形如图 5-2-2 所示，画出输出 Q 和 Q_n 波形。

解：由逻辑电路图 5-2-1 编写的 Verilog 源程序见图 5-2-3。

由图 5-2-2 编写的 Verilog 仿真源程序见图 5-2-4。仿真结果见图 5-2-5，其中，Sdn 为低有效的置位输入，当 Sdn=0 时， $Q=1$ ；输入 $S=1$ 时， $Q=1$ ；输入 $R=1$ 时， $Q=0$ 。当 $S=1$ 同时 $R=1$ ，输出 $Q=1$ 、 $Q_n=1$ ， Q 与 Q_n 互为反变量关系被破坏。

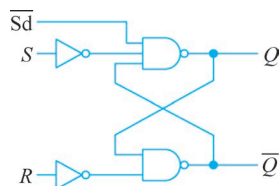


图 5-2-1 例 5-1 逻辑图

例 5-2 阅读如图 5-2-6 所示的 Verilog 源程序，根据图 5-2-7 的输入波形，编写 Verilog 仿真源程序，得到仿真结果，说明其实现的功能。

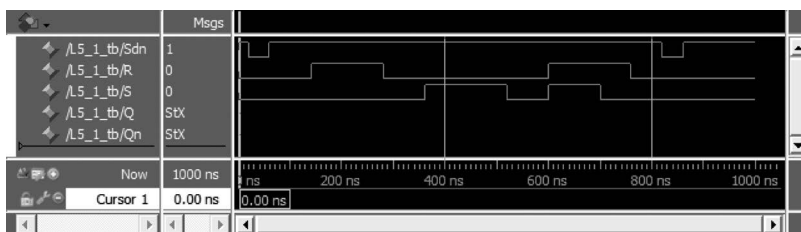


图 5-2-2 例 5-1 仿真输入波形

```

module L5_1(
    input wire Sdn,
    input wire S,
    input wire R,
    output wire Q,
    output wire Qn);
    wire QF,QFn;
    assign Q = QF;
    assign Qn = QFn;
    assign QF = ~(Sdn & QFn & ~S);
    assign QFn = ~(QF & ~R);
endmodule

```

图 5-2-3 例 5-1 Verilog 源程序

```

`timescale 1ns/ 100ps
module L5_1_tb();
    reg R;
    reg S;
    reg Sdn;
    wire Q;
    wire Qn;
    L5_1 DUT (
        .Q(Q),
        .Qn(Qn),
        .R(R),
        .S(S),
        .Sdn(Sdn));
    initial begin
        #1000 $stop;
    end
    initial begin
        Sdn = 1'b1;
        Sdn = #20 1'b0;

        Sdn = #40 1'b1;
        Sdn = #760 1'b0;
        Sdn = #40 1'b1;
    end
    initial begin
        R = 1'b0;
        R = #140 1'b1;
        R = #140 1'b0;
        R = #320 1'b1;
        R = #160 1'b0;
    end
    initial begin
        S = 1'b0;
        S = #360 1'b1;
        S = #160 1'b0;
        S = #80 1'b1;
        S = #100 1'b0;
    end
endmodule

```

图 5-2-4 例 5-1 Verilog 仿真源程序

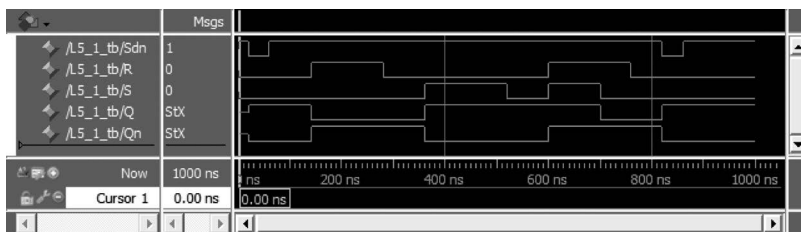


图 5-2-5 例 5-1 仿真结果



```

module L5_2(
    input wire CLRn,
    input wire CP,
    input wire J,
    input wire K,
    output wire Q,
    output wire Qn );
    reg QF;
    assign Q = QF;
    assign Qn = ~QF;
    always @ ( negedge CP or negedge CLRn )
    begin
        if( !CLRn ) QF <= 1'b0;
        else
            QF <= ~QF&J | QF&~K;
    end
endmodule

```

图 5-2-6 例 5-2 Verilog 源程序

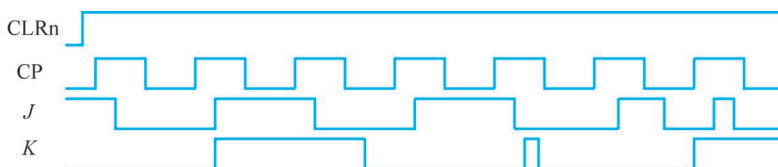


图 5-2-7 例 5-2 输入波形

解：由如图 5-2-6 所示的 Verilog 源程序可知,CLRn 是清零输入,低电平有效;时钟 CP 是下降沿有效,特性方程为 $Q^{n+1} = J\overline{Q} + \overline{K}Q$ 。

由图 5-2-7 波形,写出 Verilog 仿真源程序见图 5-2-8。仿真结果见图 5-2-9。

```

`timescale 1ns/ 100ps
module L5_2_tb();
    reg CLRn;
    reg CP;
    reg J;
    reg K;
    wire Q;
    wire Qn;
    L5_2 DUT (
        .CLRn(CLRn),
        .CP(CP),
        .J(J),
        .K(K),
        .Q(Q),
        .Qn(Qn));
    initial begin
        #750 $stop;
    end
end

initial begin
    CLRn = 1'b0;
    CLRn = #20 1'b1;
end
initial begin
    repeat(6)
    begin
        CP = 1'b0;
        CP = #50 1'b1;
        # 50;
    end
    CP = 1'b0;
    CP = #50 1'b1;
    CP = #50 1'b0;
end
initial begin
    J = 1'b1;
    J = #70 1'b0;
end

J = #100 1'b1;
J = #100 1'b0;
J = #100 1'b1;
J = #100 1'b0;
J = #110 1'b1;
J = #40 1'b0;
J = #50 1'b1;
J = #20 1'b0;
end
initial begin
    K = 1'b0;
    K = #170 1'b1;
    K = #150 1'b0;
    K = #160 1'b1;
    K = #10 1'b0;
    K = #160 1'b1;
end
endmodule

```

图 5-2-8 例 5-2 Verilog 仿真源程序

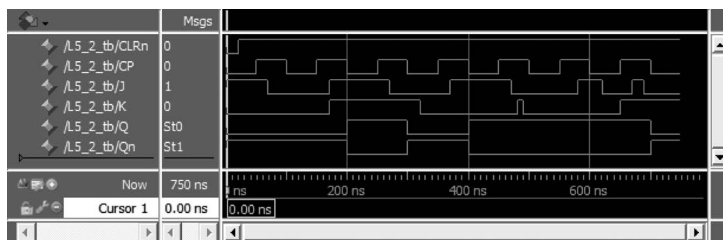


图 5-2-9 例 5-2 仿真结果



由如图 5-2-9 所示的仿真波形可知,时钟是下降沿有效;当 $J=0, K=0$ 时, Q^{n+1} 保持原状态;当 $J=1, K=1$ 时, $Q^{n+1} = \overline{Q^n}$; 当 $J=1, K=0$ 时, $Q^{n+1} = 1$; 当 $J=0, K=1$ 时, $Q^{n+1} = 0$ 。验证了 JK 触发器的特性方程。该逻辑电路的功能是具有清零端的、下降沿有效的 JK 触发器。

例 5-3 由 D 触发器组成的电路如图 5-2-10 所示, CP、A 和 B 波形如图 5-2-11 所示,画出 D 触发器的输出波形 Q。

解: 由图 5-2-10 可知, D 触发器在 CP 上升沿时, $Q^{n+1} = D = A \oplus \overline{Q^n}$; 当 $B=0$ 时, 触发器被置 1。由图 5-2-11 已知波形, 可以得到 D 触发器的输出波形 Q, 如图 5-2-12 所示。

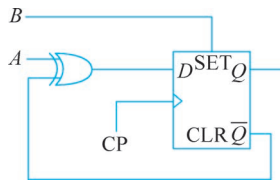


图 5-2-10 例 5-3 逻辑电路

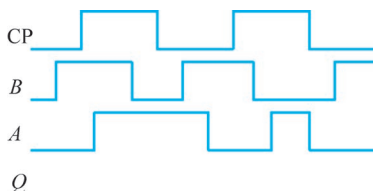


图 5-2-11 例 5-3 输入波形

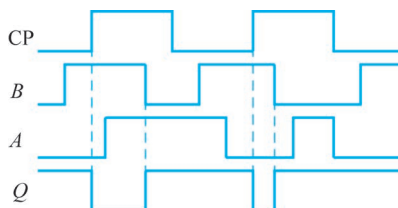


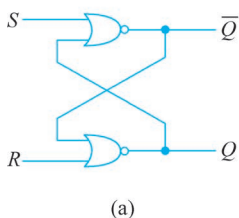
图 5-2-12 例 5-3 输出波形

5.3

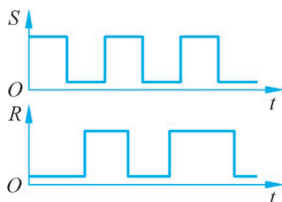
习题解答

5-1 图 5-3-1(a)是由或非门组成的基本 SR 锁存器,输入端 S、R 波形如图 5-3-1(b)所示,画出输出端 Q 的波形;并用 ModelSim 验证输出 Q 波形的正确性。

解: 由图 5-3-1(a)或非门构成的基本 SR 锁存器,以及输入端 S、R 波形,可以画出 Q 和 $\overline{Q}$ 的波形如图 5-3-2 所示。根据图 5-3-1(a)的逻辑电路编写的 Verilog 源程序见图 5-3-3,仿真源程序见图 5-3-4,仿真结果见图 5-3-5。对比图 5-3-2 与图 5-3-4,可见输出波形是一致的。



(a)



(b)

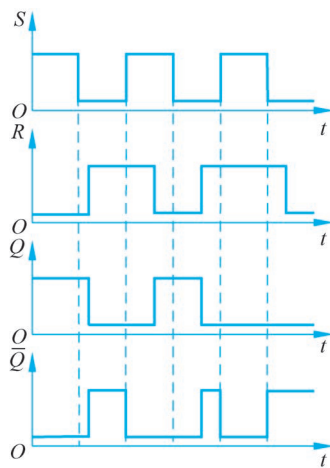


图 5-3-2 习题 5-1 波形图

图 5-3-1 习题 5-1 逻辑图

```
//或门构成的基本SR锁存器
module SRLatch(
input wire S,
input wire R,
output wire Q,
output wire Qn);
//功能定义
assign Q = ~ (Qn | R);
assign Qn = ~ (Q | S);
endmodule
```

图 5-3-3 习题 5-1 Verilog 源程序

```
`timescale 1ns/ 100ps
module SRLatch_tb();
reg R;
reg S;
wire Q;
wire Qn;
SRLatch DUT (
.Q(Q),
.Qn(Qn),
.R(R),
.S(S));
initial begin
#600 $stop;
end
```

图 5-3-4 习题 5-1 Verilog 仿真源程序

```
initial begin
S = 1'b1; # 100;
repeat(2) begin
S = 1'b0;
S = #100 1'b1;
# 100;
end
S = 1'b0;
end
initial begin
R = 1'b0;
R = #120 1'b1;
R = #140 1'b0;
R = #100 1'b1;
R = #180 1'b0;
end
```

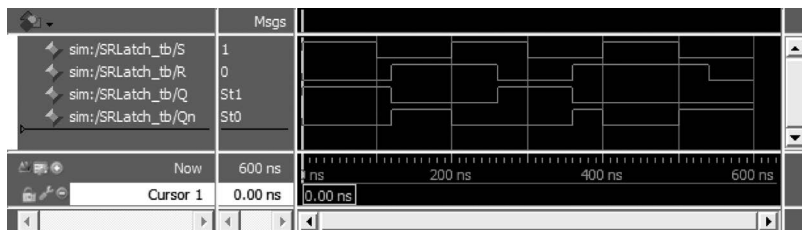


图 5-3-5 习题 5-1 ModelSim 仿真结果

5-2 在如图 5-3-6(a)所示的门控 SR 锁存器中,CP、S、R 的波形如图 5-3-6(b)所示,试画出输出 Q 的波形;并用 ModelSim 验证输出 Q 波形的正确性。

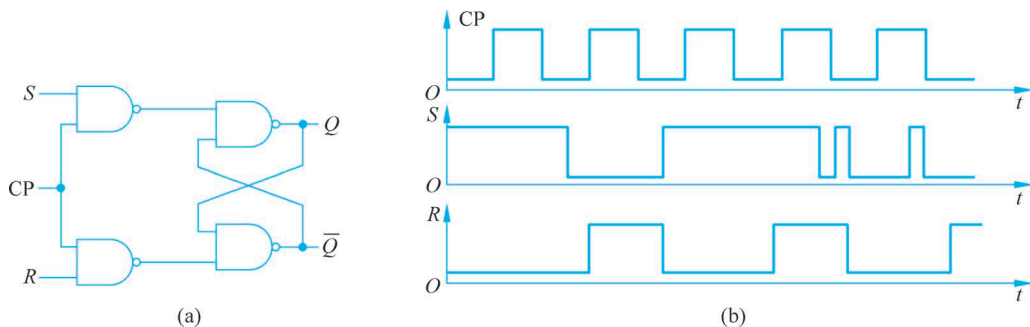


图 5-3-6 习题 5-2 逻辑图

解: 由如图 5-3-6(a)所示的门控 SR 锁存器逻辑图,以及如图 5-3-6(b)所示的 CP、S、R 波形,可画出 Q 的波形如图 5-3-7 所示。

根据如图 5-3-6(a)所示的逻辑电路编写的 Verilog 源程序见图 5-3-8,仿真源程序见图 5-3-9,仿真结果见图 5-3-10。对比图 5-3-7 与图 5-3-10,可见输出波形是一致的。

5-3 试分析如图 5-3-11 所示的时序逻辑电路的功能,写出 Q^{n+1} 方程。

解: (a) 由图 5-3-11(a)可知, $S=AQ^n$, $R=BQ^n$, 由特性方程 $Q^{n+1}=S+\bar{R}Q^n$ 可得

$$Q^{n+1}=S+\bar{R}Q^n=AQ^n+\overline{BQ^n}Q^n=AQ^n+\bar{B}Q^n$$

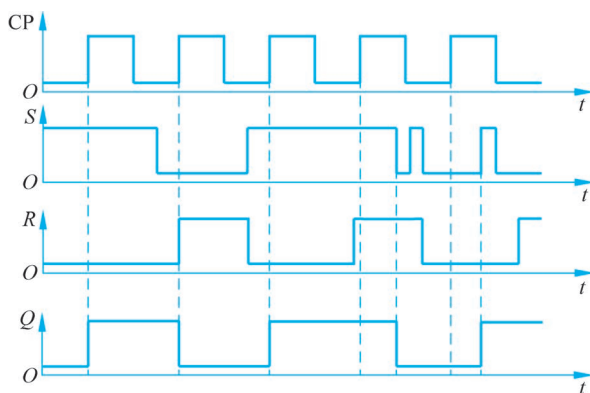


图 5-3-7 习题 5-2 波形图

//与非门构成门控SR锁存器

```
module SRLatch(
input wire CP,
input wire S,
input wire R,
output wire Q,
output wire Qn);
//功能定义
wire g3,g4;
assign g3 = ~(CP & S);
assign g4 = ~(CP & R);
assign Q = ~(Qn & g3);
assign Qn = ~(Q & g4);
endmodule
```

图 5-3-8 习题 5-2 Verilog 源程序

```
`timescale 1ns/
100ps
module
SRLatch_tb();
reg CP;
reg R;
reg S;
wire Q;
wire Qn;
SRLatch DUT (
.CP(CP),
.Q(Q),
.Qn(Qn),
.R(R),
.S(S));
initial begin
CP = 1'b0;
#860 $stop;
```

```
initial begin
S = 1'b1;
S = #200 1'b0;
S = #160 1'b1;
S = #260 1'b0;
S = #40 1'b1;
S = #20 1'b0;
S = #100 1'b1;
S = #20 1'b0;
end
initial begin
R = 1'b0;
R = #240 1'b1;
R = #120 1'b0;
R = #200 1'b1;
R = #120 1'b0;
R = #140 1'b1;
end
endmodule
```

图 5-3-9 习题 5-2 Verilog 仿真源程序

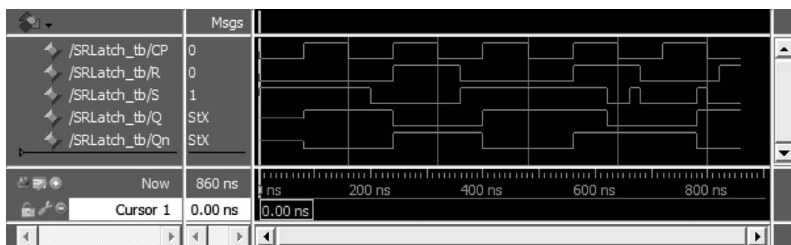


图 5-3-10 习题 5-2 ModelSim 仿真结果

(b) 由图 5-3-11(b)可知, $S = \overline{CQ^n}$, $R = \overline{DQ^n}$, 由特性方程 $Q^{n+1} = S + \overline{R}Q^n$ 可得

$$Q^{n+1} = S + \overline{R}Q^n = \overline{CQ^n} + \overline{\overline{DQ^n}}Q^n = \overline{CQ^n} + \overline{DQ^n} + Q^n = \overline{CQ^n} + Q^n = C + Q^n$$

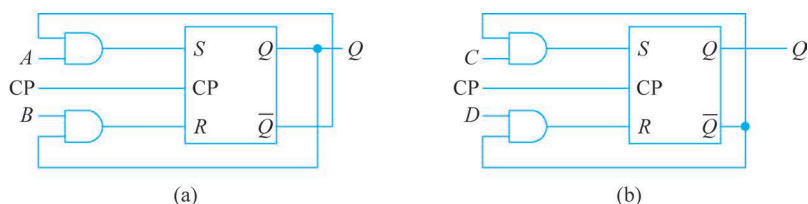



图 5-3-11 习题 5-3 逻辑电路

5-4 由与非门构成的基本 SR 锁存器如图 5-3-12(a)所示,输入信号 S 、 R 的波形见图 5-3-12(b),画出输出 Q 的波形(设 Q 初始状态为 0)。

解: 由如图 5-3-12(a)所示的与非门构成的基本 SR 锁存器逻辑图,以及如图 5-3-12(b)所示的 S 、 R 波形,可画出 Q 的波形如图 5-3-13 所示。

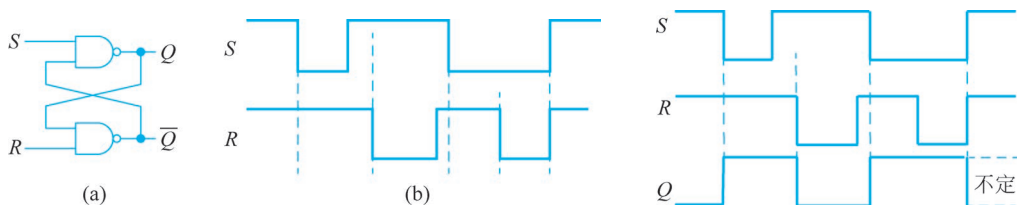


图 5-3-12 习题 5-4 逻辑图

图 5-3-13 习题 5-4 波形图

5-5 时钟脉冲 CP 及输入信号 R 、 S 的波形见图 5-3-14,画出门控 SR 锁存器输出 Q 的波形(设 Q 初始状态为 1);并用 ModelSim 验证输出 Q 波形的正确性。

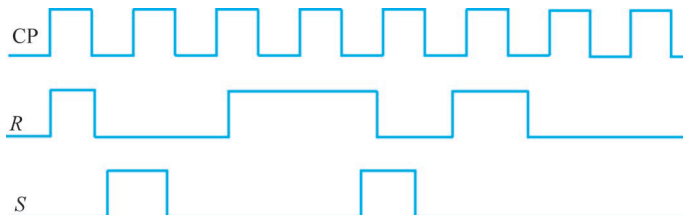


图 5-3-14 习题 5-5 输入波形

解: 由如图 5-3-14 所示的时钟脉冲 CP 及输入信号 R 、 S 的波形,画出门控 SR 锁存器输出初始状态为 1 的 Q 波形,见图 5-3-15。

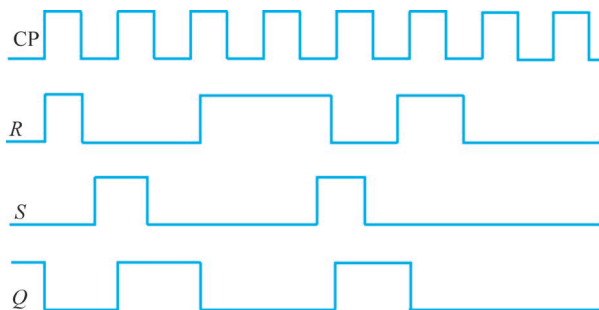


图 5-3-15 习题 5-5 输出波形

为了使门控 SR 锁存器的初始状态为 1, 需要添加低有效的置位输入端 SETn, 逻辑图见图 5-3-16。由逻辑图编写的 Verilog 源程序见图 5-3-17, Verilog 仿真源程序见图 5-3-18, 仿真结果见图 5-3-19。

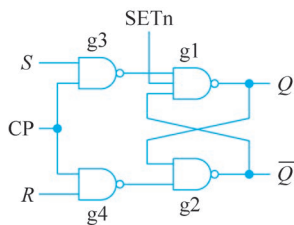


图 5-3-16 习题 5-5 逻辑图

```
//具有置位端的门控SR锁存器
module SRLatch(
input wire CP,
input wire SETn,
input wire S,
input wire R,
output wire Q,
output wire Qn);
wire g3,g4;
assign g3 = ~(CP & S);
assign g4 = ~(CP & R);
assign Q = ~(SETn & Qn & g3);
assign Qn = ~(Q & g4);
endmodule
```

图 5-3-17 习题 5-5 Verilog 源程序

```
`timescale 1 ns/ 100 ps
module T5_5_tb();
reg CP;
reg R;
reg S;
reg SETn;
wire Q;
wire Qn;
SRLatch DUT(
.CP(CP),
.Q(Q),
.Qn(Qn),
.R(R),
.S(S),
.SETn(SETn));
initial begin
CP = 1'b0;
#1000 $stop;
end
always #60 CP = ~ CP;
```

```
initial begin
SETn = 1'b0;
SETn = #20 1'b1;
end
initial begin
R = 1'b0;
R = #60 1'b1;
R = #60 1'b0;
R = #200 1'b1;
R = #210 1'b0;
R = #100 1'b1;
R = #120 1'b0;
end
initial begin
S = 1'b0;
S = #140 1'b1;
S = #90 1'b0;
S = #280 1'b1;
S = #80 1'b0;
end
endmodule
```

图 5-3-18 习题 5-5 Verilog 仿真源程序

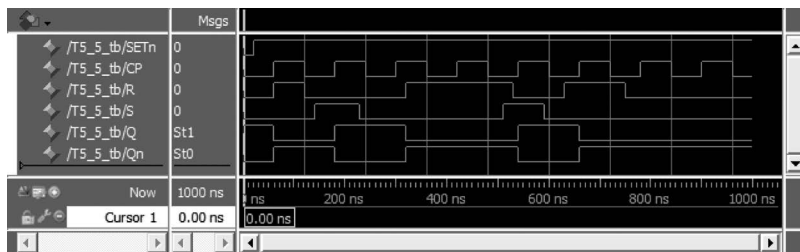


图 5-3-19 习题 5-5 仿真结果



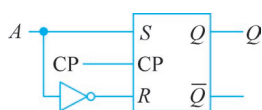


图 5-3-20 习题 5-6 逻辑图

5-6 试写出如图 5-3-20 所示电路的输入信号和门控 SR 锁存器输出 Q 之间的逻辑关系。

解: 由图 5-3-20 可知 $S=A, R=\bar{A}$, 由特性方程 $Q^{n+1} = S + \bar{R}Q^n$ 可得

$$Q^{n+1} = S + \bar{R}Q^n = A + A\bar{Q}^n = A$$

该逻辑关系实现了 D 锁存器, 输入信号为 A 。

5-7 试写出如图 5-3-21 所示电路的输入信号和 SR 锁存器输出 Q 之间的逻辑关系。

解: 由图 5-3-21 可知 $S=AQ^n, R=BQ^n$, 由特性方程 $Q^{n+1} = S + \bar{R}Q^n$ 可得

$$\begin{aligned} Q^{n+1} &= S + \bar{R}Q^n = \overline{AQ^n} + \overline{BQ^n} \\ &= \bar{A} + \bar{Q}^n + \bar{B} + \bar{Q}^n = \bar{A} + \bar{B} + \bar{Q}^n \end{aligned}$$

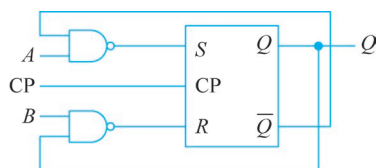


图 5-3-21 习题 5-7 逻辑图

5-8 图 5-3-22(a) 是 D 和 JK 触发器应用电路, 图 5-3-22(b) 是时钟 CP、复位 CLR 和输入 D 的波形, 画出输出 Q_1 和 Q_2 波形。并用 ModelSim 验证输出 Q_1 和 Q_2 波形的正确性。

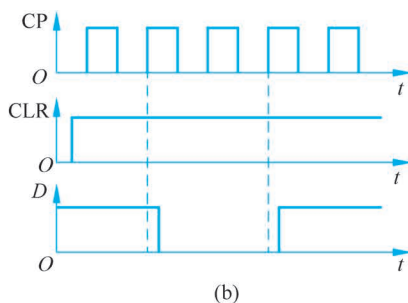
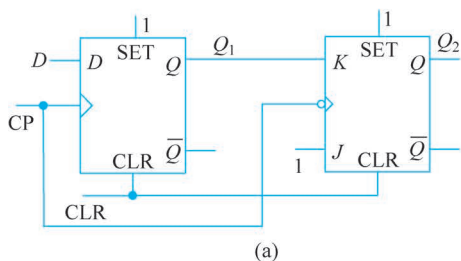


图 5-3-22 习题 5-8 逻辑图

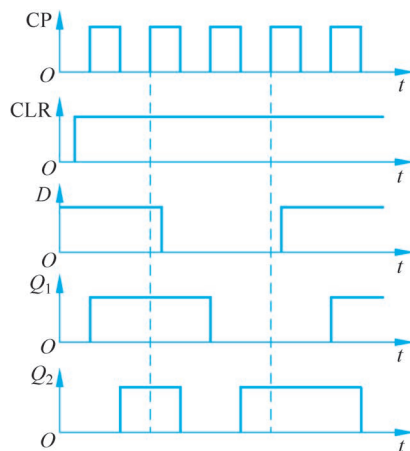


图 5-3-23 习题 5-8 波形图

解: 由图 5-3-22(a) 可知, 当 $CLR=0$ 时, Q_1 和 Q_2 为 0; 当 $CLR=1$ 时, 在 CP 时钟上升沿, $Q_1^{n+1} = D$; 在 CP 时钟下降沿, $Q_2^{n+1} = JQ_2^n + \bar{K}Q_2^n = Q_2^n + \bar{Q}_1^n Q_2^n = \bar{Q}_1^n + Q_2^n = \overline{Q_1^n Q_2^n}$ 。

根据图 5-3-22(b) 给出的 CP、CLR 和 D 波形, 可得到 Q_1 和 Q_2 的波形如图 5-3-23 所示。

由逻辑图编写的 Verilog 源程序见图 5-3-24, Verilog 仿真源程序见图 5-3-25, 仿真结果见图 5-3-26。

5-9 由维持阻塞 D 触发器构成的时序电路如图 5-3-27(a) 所示, 输入信号 A 及时钟 CP 波形如图 5-3-27(b) 所示, 触发器初始状态 Q_1Q_0 为 00; 考

虑门电路的传输延时时间,画出触发器输出 Q_1 、 Q_0 以及输出 Z_1 、 Z_0 的波形。

```
module T5_8(
input wire CLR,
input wire CP,
input wire D,
output wire Q1,
output wire Q2);
reg QF1,QF2;
assign Q1 = QF1;
assign Q2 = QF2;
//D触发器
always@(posedge CP or negedge CLR)
begin
if (!CLR) QF1 <= 0;
else QF1 <= D;
end
//JK触发器
always@( negedge CP or negedge CLR)
begin
if (!CLR) QF2 <= 0;
else
QF2 <= ~QF2 | QF2 & (~QF1);
end
endmodule
```

图 5-3-24 习题 5-8 Verilog 源程序

```
`timescale 1 ns/ 100 ps
module T5_8_tb();
reg CLR;
reg CP;
reg D;
wire Q1;
wire Q2;
T5_8 DUT (
.CLR(CLR),
.CP(CP),
.D(D),
.Q1(Q1),
.Q2(Q2));
initial begin
#860 $stop;
end
initial begin
CP = 1'b0;
CLR = 1'b0;
CLR = #20 1'b1;
end
always #80 CP = ~ CP;
initial begin
D = 1'b1;
D = #260 1'b0;
D = #320 1'b1;
end
endmodule
```

图 5-3-25 习题 5-8 Verilog 仿真源程序

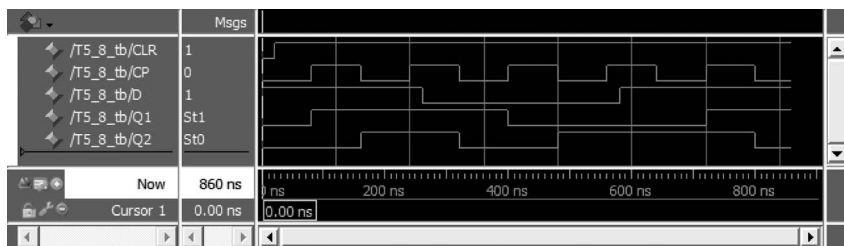


图 5-3-26 习题 5-8 仿真结果

解: 由如图 5-3-27(a)所示的逻辑电路可知,在 CP 时钟上升沿, $Q_0^{n+1} = A$, $Q_1^{n+1} = \overline{Q_0^n}$; 输出 $Z_0 = \overline{Q_1^n Q_0^n}$, $Z_1 = \overline{Q_1^n Q_0^n}$ 。根据图 5-3-27(b)给出的输入 A 及 CP 波形,可以得到在考虑门电路的传输延时时间的 Q_0 、 Q_1 及 Z_0 、 Z_1 的输出波形,见图 5-3-28。

由图 5-3-27(a)的逻辑图编写的 Verilog 源程序见图 5-3-29,在与非门出加 2ns 延时;在 D 触发器的逻辑门加 1ns 延时;为了得到触发器初始状态 $Q_1 Q_0$ 为 00,需要添加低有效的清零输入 CLR。Verilog 仿真源程序见图 5-3-30,仿真结果见图 5-3-31。

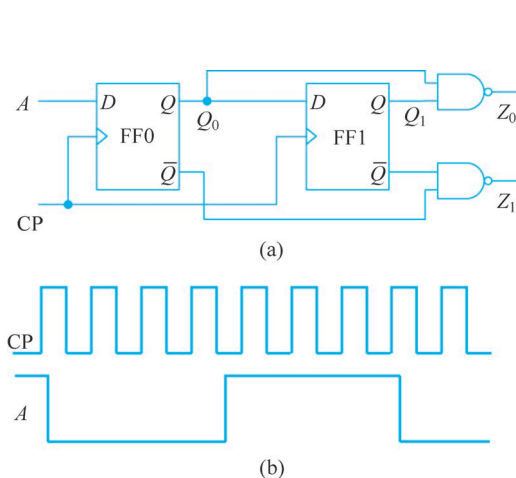


图 5-3-27 习题 5-9 逻辑图

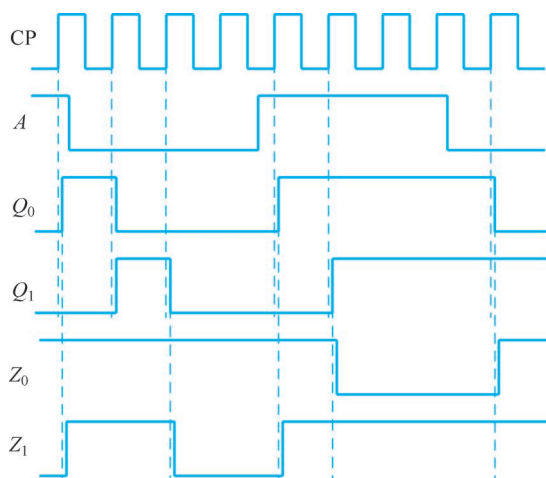


图 5-3-28 习题 5-9 波形图

```

`timescale 1ns/100ps
module T5_9(
    input wire CP,
    input wire CLR,
    input wire A,
    output wire Q0,Q1,
    output wire Z0,Z1 );
    assign #2 Z0 = ~ (Q1 & Q0);
    assign #2 Z1 = ~ (~Q1 & ~Q0);
    //DFF
    LS74 u0(
        .CLR(CLR),
        .SET(1'b1),
        .CP(CP),
        .D(A),
        .Q(Q0)
    );
    LS74 u1(
        .CLR(CLR),
        .SET(1'b1),
        .CP(CP),
        .D(Q0),
        .Q(Q1)
    );
endmodule
    
```

(a) 图5-3-27(a) Verilog源程序

```

//加延时的74LS74 D触发器
`timescale 1ns/100ps
module LS74(
    input wire CLR,
    input wire SET,
    input wire CP,
    input wire D,
    output wire Q );
    wire g1,g2,g3,g4,Qn;
    assign #1 g4 = ~( CLR & D & g2 );
    assign #1 g3 = ~( SET & g4 & g1 );
    assign #1 g1 = ~( CLR & CP & g3 );
    assign #1 g2 = ~( g1 & CP & g4 );
    assign #1 Q = ~( SET & Qn & g1 );
    assign #1 Qn = ~( CLR & Q & g2 );
endmodule
    
```

(b) 加延时的D触发器Verilog源程序

图 5-3-29 习题 5-9 Verilog 源程序

5-10 由负边沿 JK 触发器构成的时序电路如图 5-3-32(a)所示,清零信号 CLR 及时钟 CP 波形如图 5-3-32(b)所示,触发器初始状态 Q_1Q_0 为 11;画出触发器输出 Q_1 、 Q_0 以及输出 Z 波形。

解: 由图 5-3-32(a)所示的电路可知:当 $CLR=0$ 时, $Q_1=Q_2=0$;当 $CLR=1$ 时,在

```

`timescale 1 ns/ 100 ps
module T5_9_tb();
reg A;
reg CLR;
reg CP;
wire Q1;
wire Q0;
wire Z1;
wire Z0;
T5_9 DUT (
.A(A),
.CLR(CLR),
.CP(CP),
.Q1(Q1),
.Q0(Q0),
.Z1(Z1),
.Z0(Z0));

initial begin
CP = 1'b0;
#380 $stop;
end
always #20 CP = ~ CP;
initial begin
CLR = 1'b0;
CLR = #2 1'b1;
end
initial begin
A = 1'b1;
A = #24 1'b0;
A = #144 1'b1;
A = #136 1'b0;
end
endmodule

```

图 5-3-30 习题 5-9 Verilog 仿真源程序

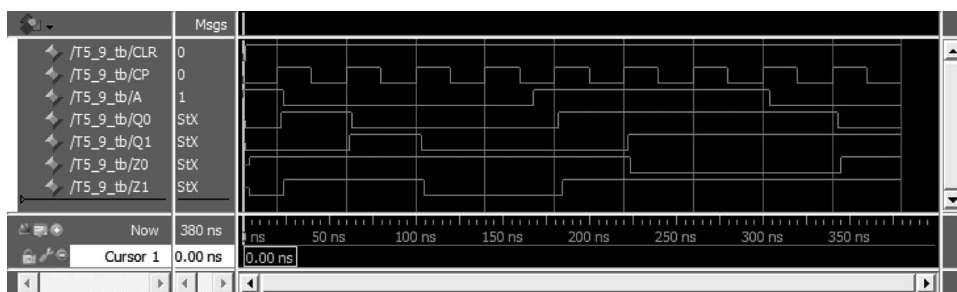


图 5-3-31 习题 5-9 仿真结果

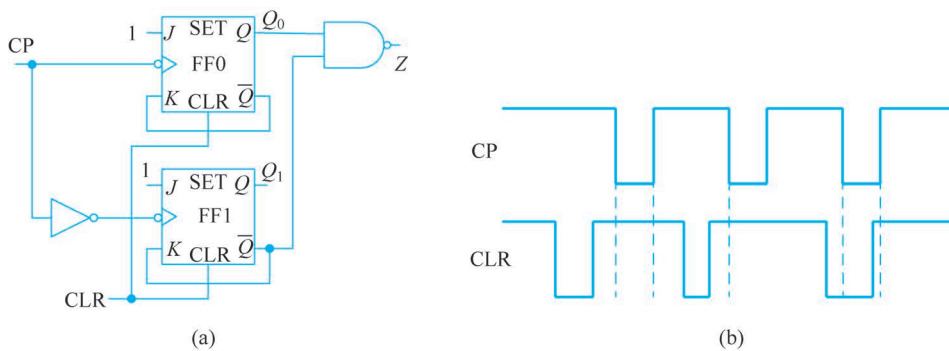


图 5-3-32 习题 5-10 逻辑图

CP 下降沿, $Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n} + \overline{Q_0^n} Q_0^n = 1$; 在 CP 上升沿, $Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} + \overline{Q_1^n} Q_1^n = 1$; 输出方程为 $Z = \overline{Q_1^n} Q_0^n = Q_1^n + \overline{Q_0^n}$ 。

根据 5-3-32(b) 给出的输入波形, 可得 Q_0 、 Q_1 和 Z 的波形如图 5-3-33 所示。

由图 5-3-32(a)的逻辑图编写的 Verilog 源程序见图 5-3-34,为了得到触发器初始状态 Q_1Q_0 为 11,需要添加低有效的置位输入 SET。Verilog 仿真源程序见图 5-3-35,仿真结果见图 5-3-36。

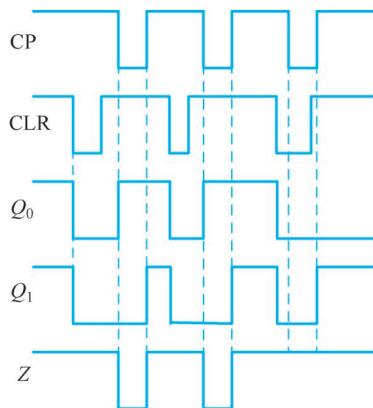


图 5-3-33 习题 5-10 波形图

```
module T5_10(
    inputwire CP,
    inputwire CLR,
    inputwire SET,
    outputwire Q0,
    outputwire Q1,
    outputwire Z );
    wire QF0,QF0n,QF1,QF1n;
    wire S1;
    assign Q0 = QF0;
    assign Q1 = QF1;
    assign Z = ~(QF1n & QF0);
    ffjk u0 (
        .CLR(CLR),
        .SET(SET),
        .CP (CP ),
        .J (1'b1),
        .K (QF0n),
        .Q (QF0 ),
        .Qn (QF0n));
    ffjk u1 (
        .CLR(CLR),
        .SET(SET),
        .CP (~CP ),
        .J (1'b1),
        .K (QF1n),
        .Q (QF1 ),
        .Qn (QF1n));
endmodule
```

(a) 图5-3-32(a) Verilog源程序

//JK触发器的功能描述

```
module ffjk(
    inputwire CLR,
    inputwire SET,
    inputwire CP,
    inputwire J,
    inputwire K,
    outputwire Q,
    outputwire Qn);
    reg QF;
    assign Q = QF;
    assign Qn = ~QF;
    always @ (negedge CP or negedge CLR
    or negedge SET) begin
        if( !CLR ) QF <= 0;
        else if ( !SET ) QF <= 1;
        else
            QF <= J & ~QF | ~K & QF;
        end
    endmodule
```

(b) JK触发器的功能描述的Verilog源程序

图 5-3-34 习题 5-10 Verilog 源程序

```

`timescale 1 ns/ 100 ps
module T5_10_tb();
reg CLR;
reg CP;
reg SET;
wire Q0;
wire Q1;
wire Z;
T5_10 DUT (
    .CLR(CLR),
    .CP(CP),
    .Q0(Q0),
    .Q1(Q1),
    .SET(SET),
    .Z(Z)
);
initial begin
    #800 $stop;
end
initial begin
    SET = 1'b0;
    SET = #10 1'b1;
end

initial begin
    CP = 1'b1;
    CP = #160 1'b0;
    CP = #80 1'b1;
    CP = #160 1'b0;
    CP = #80 1'b1;
    CP = #160 1'b0;
    CP = #80 1'b1;
end
initial begin
    CLR = 1'b1;
    CLR = #40 1'b0;
    CLR = #70 1'b1;
    CLR = #210 1'b0;
    CLR = #60 1'b1;
    CLR = #230 1'b0;
    CLR = #90 1'b1;
end
endmodule

```

图 5-3-35 习题 5-10 Verilog 仿真源程序

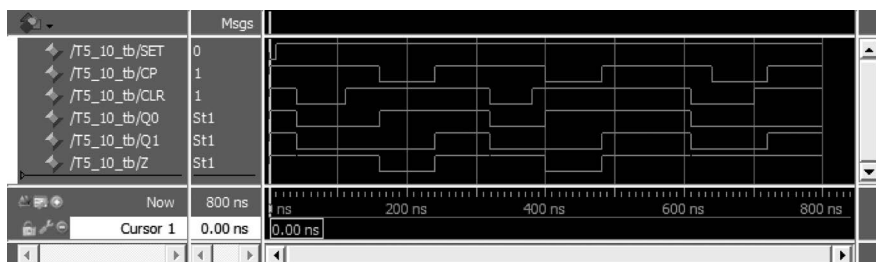


图 5-3-36 习题 5-10 仿真结果

5-11 由负边沿 JK 触发器构成的时序电路如图 5-3-37(a)所示,时钟 CP 波形如图 5-3-37(b)所示,触发器初始状态 Q_1Q_0 为 00;画出触发器输出 Q_1 、 Q_0 以及输出 Z 波形。

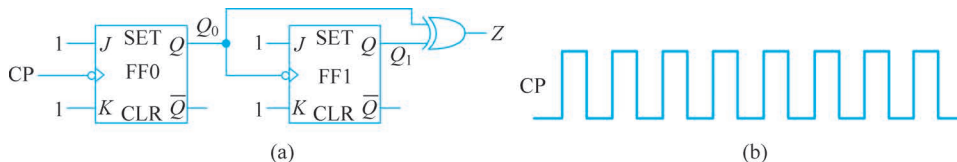


图 5-3-37 习题 5-11 逻辑图

解: 由如图 5-3-37 所示的逻辑电路可知: 在 CP 下降沿, $Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n}$; 在 Q_0 下降沿, $Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n}$; 输出方程为 $Z = Q_1^n \oplus Q_0^n$ 。根据

图 5-3-37(b) 给出的输入 CP 波形, 可得 Q_0 、 Q_1 和 Z 的波形如图 5-3-38 所示。

5-12 由维持阻塞 D 触发器构成的时序电路如图 5-3-39(a) 所示, 清零信号 CLR 及时钟 CP_0 、 CP_1 波形如图 5-3-39(b) 所示, 触发器初始状态 Q_1Q_0 为 11; 画出触发器输出 Q_1 、 Q_0 波形。

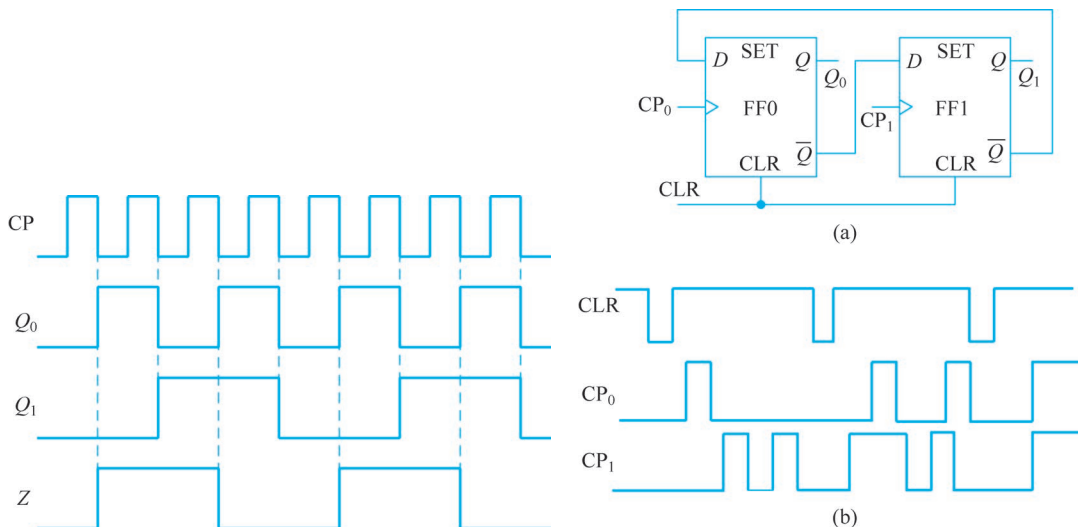


图 5-3-38 习题 5-11 波形图

图 5-3-39 习题 5-12 逻辑图

解: 由如图 5-3-39(a) 所示的逻辑电路可知: 当 $CLR=0$ 时, Q_1 和 Q_2 为 0; 当 $CLR=1$ 时, 在 CP_0 上升沿, $Q_0^{n+1} = \bar{Q}_1^n$, 在 CP_1 上升沿, $Q_1^{n+1} = \bar{Q}_0^n$ 。

根据图 5-3-39(b) 给出的输入波形可得 Q_0 、 Q_1 的波形如图 5-3-40 所示。

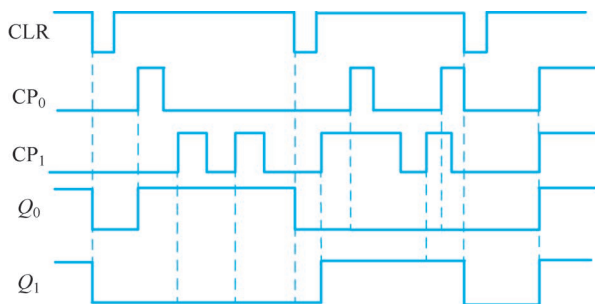


图 5-3-40 习题 5-12 波形图

5-13 将如图 5-3-41 所示的波形分别加到正边沿 JK 触发器以及负边沿 JK 触发器, 设触发器初始状态为 0, 试分别画出输出 Q 波形。

解: (1) 对于正边沿 JK 触发器: 在时钟 CP 的上升沿, $Q_1^{n+1} = \bar{J}Q_1^n + \bar{K}Q_1^n$, 根据图 5-3-41 给出的输入波形, 可得如图 5-3-42 所示的 Q_1 输出波形。

(2) 对于负边沿 JK 触发器: 在 CP 时钟的下降沿, $Q_2^{n+1} = \bar{J}Q_2^n + \bar{K}Q_2^n$, 根据图 5-3-41 给出的输入波形, 可得如图 5-3-42 所示的 Q_2 输出波形。

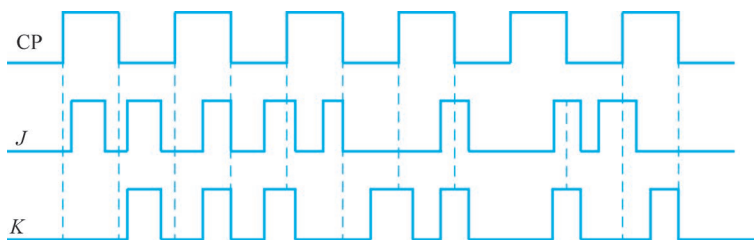


图 5-3-41 习题 5-13 逻辑图

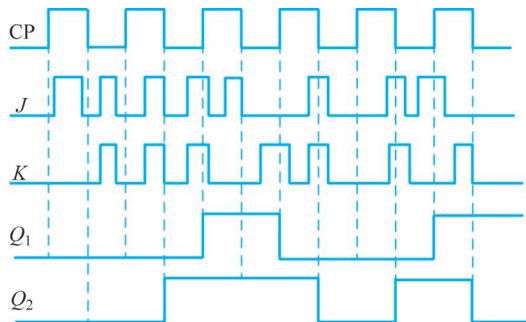


图 5-3-42 习题 5-13 波形图

5-14 有一个下降沿触发的 D 触发器,试画出在如图 5-3-43 所示的 CP 脉冲和输入 D 信号的作用下,画出输出端 Q 的波形。设 D 触发器的初始状态为 0。

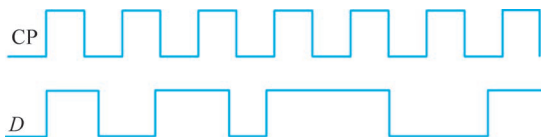


图 5-3-43 习题 5-14 逻辑图

解: 由时钟下降沿有效的 D 触发器的特性可知, $Q^{n+1} = D$, 根据图 5-3-43 给出的输入波形, 可得输出端 Q 的波形如图 5-3-44 所示。

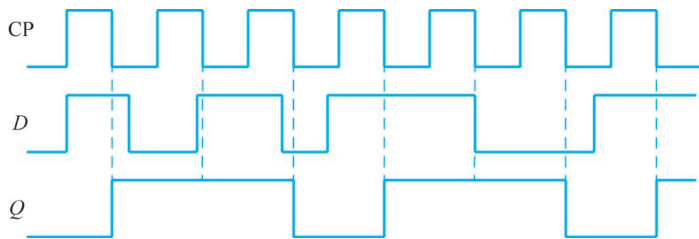


图 5-3-44 习题 5-14 波形图

5-15 已知负边沿 JK 触发器的时钟 CP, 以及输入 J、K 的波形如图 5-3-45 所示; 试画出输出 Q 的波形。设触发器初始状态为 1。

解: 在 CP 时钟下降沿, $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$, 根据如图 5-3-45 所示的输入波形, 可画出输出 Q 的波形如图 5-3-46 所示。

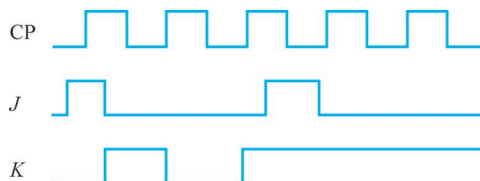


图 5-3-45 习题 5-15 逻辑图

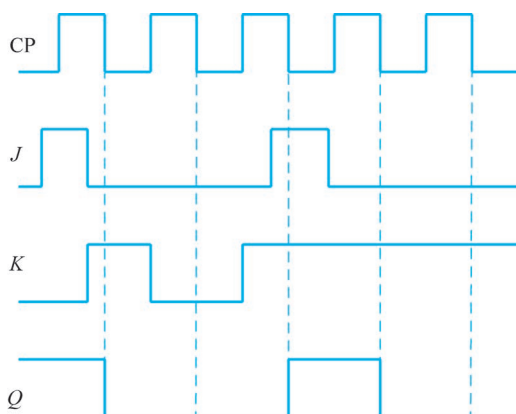


图 5-3-46 习题 5-15 波形图

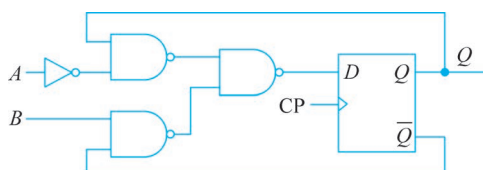


图 5-3-47 习题 5-16 逻辑图

5-16 试写出如图 5-3-47 所示时序电路的输入信号和触发器输出 Q 之间的逻辑关系。

解: 由图 5-3-47 可知, $D = \overline{A}Q^nBQ^n$, 根据 D 触发器的特性方程 $Q^{n+1} = D$, 在 CP 上升沿, $Q^{n+1} = \overline{A}Q^nBQ^n = \overline{A}Q^n + BQ^n$ 。

5-17 由 D 触发器构成的时序电路如图 5-3-48 所示, 触发器初始状态 Q_1Q_0 为 00; 画出触发器在时钟信号 CP 作用下的 Q_1 、 Q_0 输出波形。

解: 由图 5-45 所示时序逻辑电路可知, 在 CP 上升沿, $Q_0^{n+1} = D_0 = Q_1^n$, $Q_1^{n+1} = D_1 = \overline{Q_0}^n$ 。由状态方程画出 Q_0 和 Q_1 的输出波形如图 5-3-49 所示。

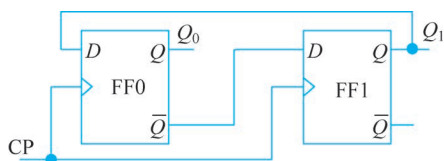


图 5-3-48 习题 5-17 逻辑图

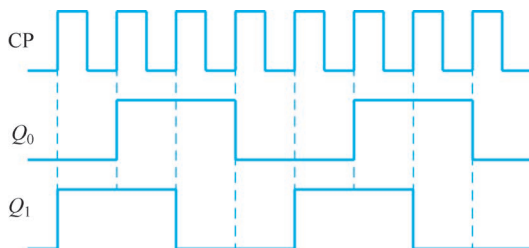


图 5-3-49 习题 5-17 波形图

5-18 由 D 触发器和基本 SR 锁存器构成的时序电路如图 5-3-50(a)所示, 输入信号 A 及时钟 CP 波形如图 5-3-50(b)所示, 触发器初始状态 Q 为 1; 画出基本 SR 锁存器输出 B 和触发器输出 Q 的波形。

解: 由如图 5-3-50(a)所示的电路可知, 电路由与非门构成的基本 SR 锁存器以及 D 触发器构成, 设与非门构成的基本 SR 锁存器输出为 B, D 触发器的输出信号为 Q, 则在 CP 上升沿, $Q^{n+1} = D$ 。根据图 5-3-50(b)给出的输入, 可得 B、Q 的输出波形如图 5-3-51 所示。

5-19 由负边沿 D 触发器构成的时序电路如图 5-3-52(a)所示, 清零信号 CLR 及时

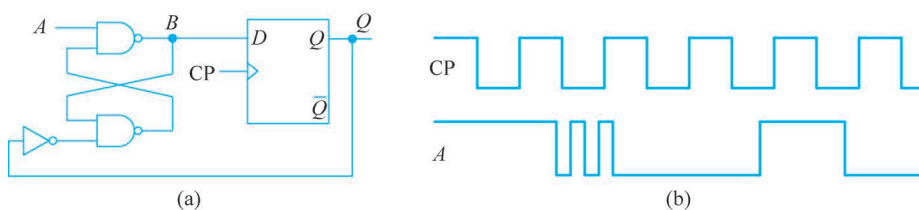


图 5-3-50 习题 5-18 逻辑图

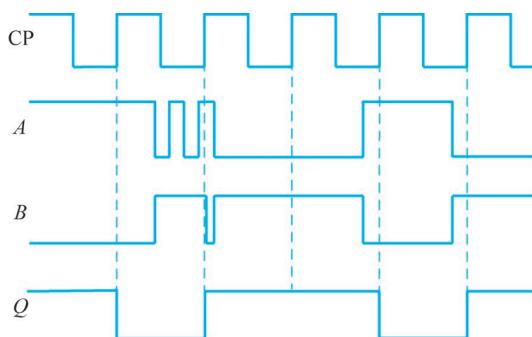


图 5-3-51 习题 5-18 波形图

钟 CP_0 、 CP_1 波形如图 5-3-52(b)所示, 触发器初始状态 Q_1Q_0 为 00; 画出触发器的 Q_1 、 Q_0 输出波形。

解: 由图 5-3-52(a)可知, 当 $CLR=0$ 时, $Q_0=0$ 、 $Q_1=0$ 。当 $CLR=1$ 时, 在 CP_0 下降沿, $Q_0^{n+1}=D_0=\overline{Q_1^n}$; 在 CP_1 下降沿, $Q_1^{n+1}=D_1=Q_0^n$ 。根据图 5-3-52(b)给出的输入波形, 可以得到 Q_0 、 Q_1 的波形如图 5-3-53 所示。

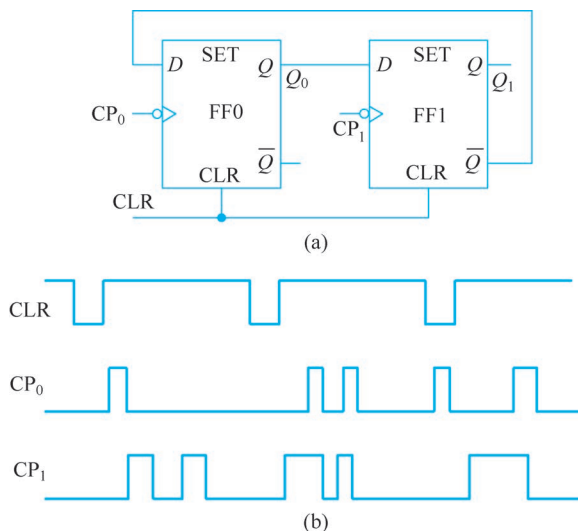


图 5-3-52 习题 5-19 逻辑图

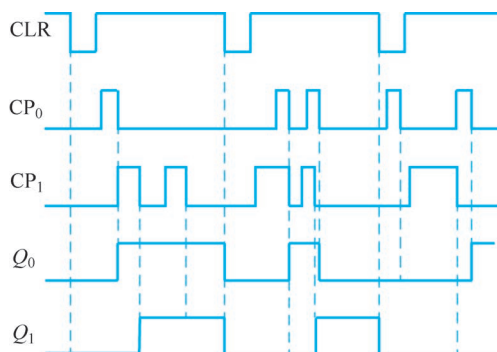


图 5-3-53 习题 5-19 波形图

5-20 由负边沿 D 触发器构成的时序电路如图 5-3-54(a)所示, 输入信号 A 及时钟 CP 波形如图 5-3-54(b)所示, 触发器初始状态 Q_1Q_0 为 00; 画出输出 Z 和触发器输出

Q_0 、 Q_1 波形。

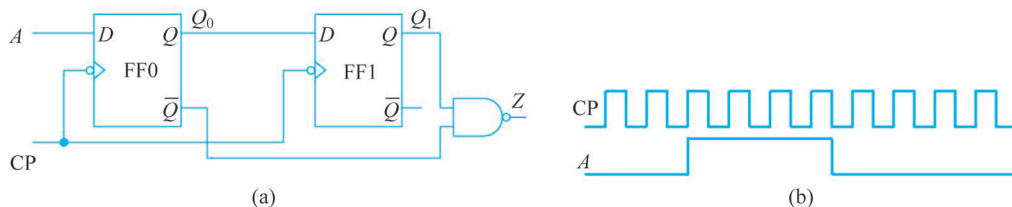


图 5-3-54 习题 5-20 逻辑图

解：由如图 5-3-54(a) 所示的逻辑电路可知，在 CP 下降沿， $Q_0^{n+1} = D_0 = A$ ， $Q_1^{n+1} = D_1 = Q_0^n$ ；输出方程为 $Z = Q_0^n Q_1^n = Q_0^n + Q_1^n$ 。根据图 5-3-54(b) 给出的输入波形，可得触发器输出 Q_0 、 Q_1 波形和输出 Z 的波形，如图 5-3-55 所示。

5-21 阅读如图 5-3-56 所示的 Verilog 源程序，画出该逻辑电路的逻辑图，并说明该逻辑电路的逻辑功能；按照图 5-3-57 给出的输入波形，画出输出波形，并说明该电路存在的问题。

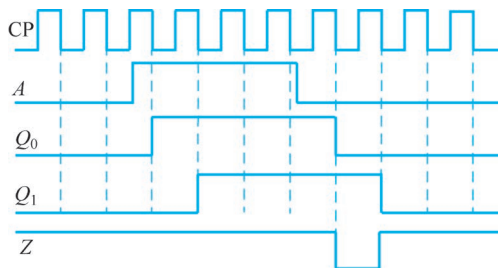


图 5-3-55 习题 5-20 波形图

```
module P5_21(
    input wire CP,
    input wire K,
    input wire J,
    input wire SET,
    output wire Sn,
    output wire Rn,
    output wire Qn,
    output wire Q
);
    wire WQ, WQn, WRn, WSn;
    assign Qn = WQn;
    assign Q = WQ;
    assign Sn = WSn;
    assign Rn = WRn;
    assign WRn = ~(CP & K & WQ);
    assign WSn = ~(WQn & J & CP);
    assign WQn = ~(WRn & WQ);
    assign WQ = ~(SET & WSn & WQn);
endmodule
```

图 5-3-56 习题 5-21 Verilog 源程序

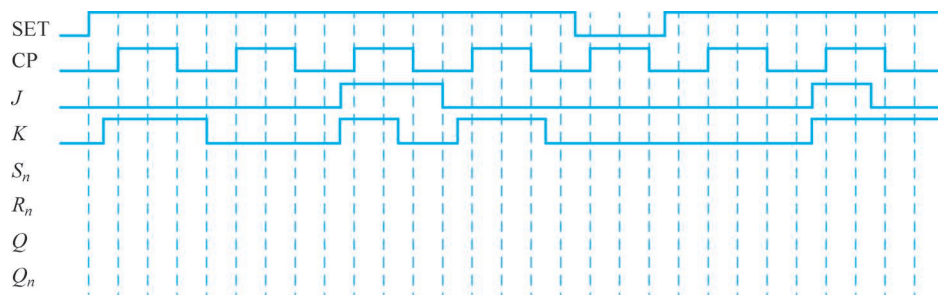


图 5-3-57 习题 5-21 波形图(一)

解：由如图 5-3-56 所示的 Verilog 源程序，可以画出该逻辑电路的逻辑图，见图 5-3-58；该逻辑电路的逻辑功能是具有置位端的门控 JK 锁存器。

按照图 5-3-57 给出的输入波形，画出输出波形，见图 5-3-59。该电路存在的问题是在输出 S_n 和 R_n 均为 0 时，输出 Q 和 Q_n 出现问题，不是互为反变量。

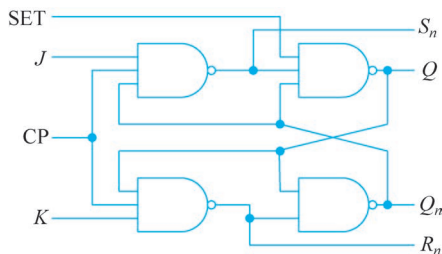


图 5-3-58 习题 5-21 逻辑图

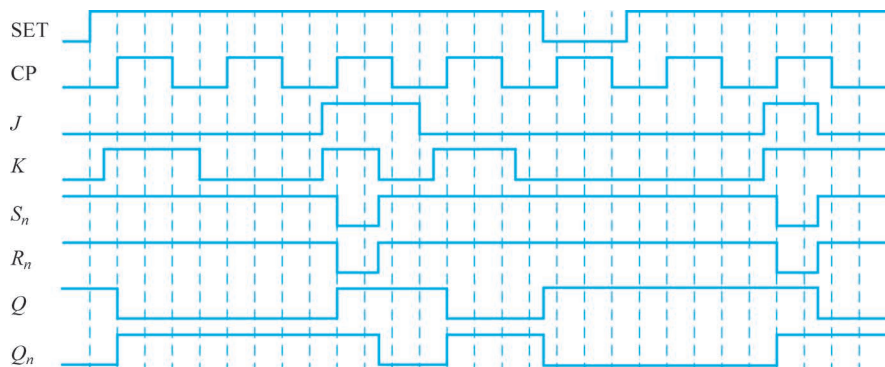


图 5-3-59 习题 5-21 波形图(二)

5-22 阅读如图 5-3-60 所示的 Verilog 源程序，画出该逻辑电路的逻辑图，并说明该逻辑电路的逻辑功能；按照图 5-3-61 给出的输入波形，画出输出波形。

```
module P5_22(
    input wire SET,
    input wire CP,
    input wire J,
    input wire K,
    output wire Q,
    output wire Qn
);
    reg QF;
    assign Q = QF;
    assign Qn = ~QF;
    always @ (posedge CP or negedge SET)
    begin
        if ( !SET )
            QF <= 1;
        else
            QF <= J & ~QF | ~K & QF;
    end
endmodule
```

图 5-3-60 习题 5-22 Verilog 源程序

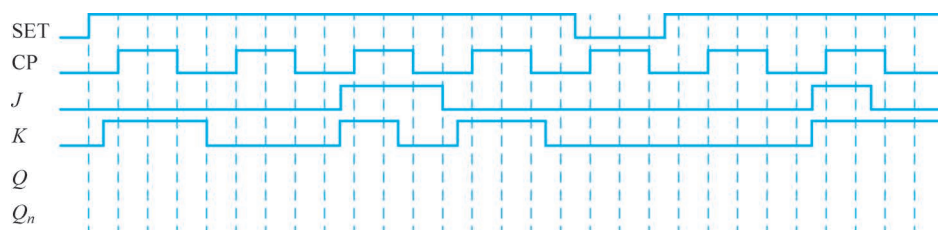


图 5-3-61 习题 5-22 波形图

解：由如图 5-3-60 所示的 Verilog 源程序，可以画出该逻辑电路的逻辑图，见图 5-3-62；该逻辑电路的逻辑功能是具有置位端的 JK 触发器。

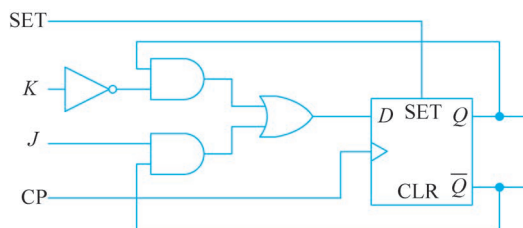


图 5-3-62 习题 5-22 逻辑图

按照图 5-3-61 给出的输入波形，画出输出波形，见图 5-3-63。

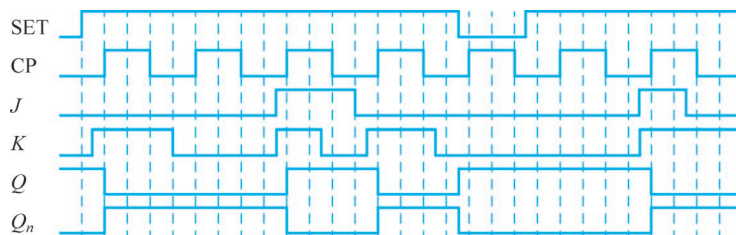


图 5-3-63 习题 5-22 波形图