

第5章

触发器

本章学习目标

- 了解双稳态的概念与双稳态存储单元电路功能。
- 理解锁存器与触发器的特点。
- 掌握锁存器与触发器的结构、工作原理。
- 掌握各种锁存器与触发器逻辑功能的描述方式。

本章系统讲授构成时序逻辑电路的最基本部件——双稳态触发器,重点介绍各触发器的结构、工作原理、动作特点以及触发器从功能上的分类及相互间的转换。

首先从组成各类触发器的基本部分——SR 锁存器入手,介绍触发器的结构、逻辑功能、动作特点等,分别介绍了 JK 触发器、D 触发器、T 触发器、T'触发器等,并给出了触发器的描述方程、状态转换表、状态转换图等。

重点讲述各触发器的功能表、逻辑图形符号、触发电平、状态方程的描述等。

5.1 概述

5.1.1 触发器的定义

第4章介绍了组合逻辑电路的分析和设计,组合逻辑电路的特点是没有记忆功能,即在任一时刻,电路的输出仅取决于该时刻的输入,与该电路原来的状态无关。本章开始讨论时序电路,该电路的特点是电路具有记忆功能,即任一时刻,电路的输出不仅取决于该时刻的输入,还与电路原来的状态有关。触发器就是能够实现记忆功能的器件,各种时序电路通常都是由触发器构成的。

触发器有两个能够保持的稳定状态(分别为1和0),状态用 Q 和 Q' 表示。若输入不发生变化,触发器必定处于其中的某一个稳定状态,并且可以长期保持下去。在输入信号的作用下,触发器可以从一个稳定状态转换到另一个稳定状态,并再继续稳定下去,直到下一次输入发生变化,才可能再次改变状态。

5.1.2 触发器的分类

触发器的种类很多,可按以下几种方式进行分类。

根据晶体管性质分类,可将触发器分为双极型晶体管集成电路触发器和 MOS 型集成电路触发器。

根据存储数据的原理分类,可将触发器分为静态触发器(靠电路状态的自锁来存储数据)和动态触发器(通过在 MOS 管栅极输入电容上存储电荷来存储数据),本章只介绍静态触发器。

根据输入端是否有时钟脉冲分类,可将触发器分为基本触发器和时钟控制触发器。

根据电路结构的不同分类,可将触发器分为基本触发器、同步触发器、维持阻塞触发器、主从触发器、边沿触发器。

根据触发方式的不同分类,可将触发器分为电平触发器、主从触发器、边沿触发器。

根据逻辑功能的不同分类,可将触发器分为 SR 触发器、D 触发器、JK 触发器、T 触发器和 T' 触发器。

构成触发器的方式虽然很多,但构成各类触发器的基础都是基本 SR 锁存器。

时钟控制触发器按逻辑功能分为 5 种,它们的逻辑功能总结如下。

- (1) SR 触发器具有保持、置 1、置 0 功能。
- (2) JK 触发器具有保持、置 1、置 0 和计数功能。
- (3) D 触发器具有置 1、置 0 功能。
- (4) T 触发器具有保持、计数功能。
- (5) T' 触发器只具有计数功能。

本章介绍静态触发器,按照触发方式先介绍基本 SR 锁存器,依次再介绍电平触发器、脉冲触发器和边沿触发器。

5.1.3 触发器的逻辑功能表示方法

触发器的描述方法基本上有 4 种:逻辑图、真值表(又称特性表或功能表)、特性方程(逻辑表达式)和波形图。

所谓特性方程,是指触发器的次态和当前输入变量及现态之间的逻辑关系式。其中,现态是指触发器在触发脉冲作用时刻之前的状态,也就是触发器原来的稳定状态,用 Q 表示;次态是指触发器在触发脉冲作用后新的稳定状态,用 Q^* 表示。现在状态和下一状态是相对于输入变化而言的,在某个时刻输入变化后电路进入的下一状态,对于下一次输入变化而言,就是触发器的现在状态。即下一状态是对某一时刻而言的,过了这个时刻就应看作现在状态。触发器的下一状态是它现在状态和输入信号(用 X 表示输入信号的集合)的函数,即 $Q^* = F(Q, X)$ 。

5.2 SR 锁存器

SR 锁存器是构成各种触发器的基础,有时也称为基本 SR 触发器,是最简单的一种触发器,无须触发信号,它的两个能够自行保持的稳定状态,是由输入端直接置 1 或置 0。

5.2.1 SR 锁存器的电路结构

SR 锁存器由两个与非门(也可用两个或非门)的输入和输出交叉连接而成,如图 5-1(a)所示,它有两个输入端 R' 和 S' (又称触发信号端),字母上的反号表示低电平有效; R' 为复位

端,当 R' 有效时, Q 变为 0,故也称 R' 为置 0 端; S' 为置位端,当 S' 有效时, Q 变为 1,称 S' 为置 1 端。 Q 和 Q' 为两个输出端,在正常情况下,这两个输出端的状态是互补的,即一个为高电平另一个就是低电平,反之亦然。 SR 锁存器逻辑图形符号如图 5-1(b)所示。

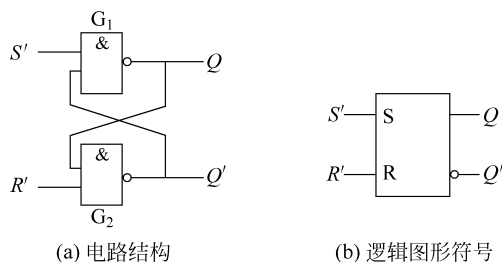


图 5-1 用与非门构成 SR 锁存器

图 5-2(a)为或非门构成 SR 锁存器电路结构,它有两个输入端 R 和 S ,高电平有效;当 R 有效时, Q 变为 0;当 S 有效时, Q 变为 1。图 5-2(b)为其逻辑图形符号。

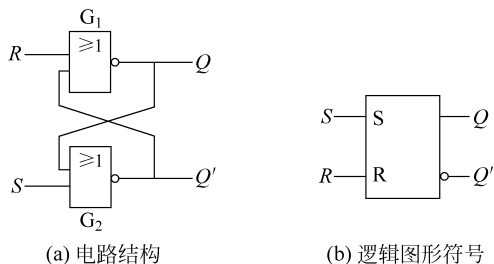


图 5-2 用或非门构成 SR 锁存器

5.2.2 SR 锁存器的工作原理

1. 与非门构成 SR 锁存器的工作原理

如图 5-1(a)所示为由两个与非门构成的 SR 锁存器,其工作原理如下。

1) 有两个稳定状态

触发器在无有效输入信号时,即 $S'=R'=1$,有两个稳定状态。

(1) 0 状态。当 $Q=0$ 、 $Q'=1$ 时,称触发器为 0 态。 $Q=0$ 送到与非门 G_2 的输入端使之截止,保证 $Q'=1$,而 $Q'=1$ 和 $S'=1$ 一起使与非门 G_1 导通,维持 $Q=0$ 。显然电路的这种状态可以自己保持,而且是稳定的。

(2) 1 状态。当 $Q=1$ 、 $Q'=0$ 时,称触发器为 1 态。 $Q'=0$ 送到与非门 G_1 的输入端,使之截止,保证 $Q=1$,而 $Q=1$ 和 $S'=1$ 一起使与非门 G_2 导通,维持 $Q'=0$ 。显然电路的这种状态也是可以自己保持的,而且也是稳定的。

根据 0 状态和 1 状态的定义,用 Q 端的状态就可以表示触发器的状态。

2) 接收输入信号的过程

(1) 置 1 状态。当 $S'=0$ 、 $R'=1$ 时,如果触发器现态为 $Q=0$ 、 $Q'=1$,因 $S'=0$ 会使与非门 G_1 的输出端次态翻转为 1,而 $Q=1$ 和 $R'=1$ 共同使与非门 G_2 的输出端 $Q'=0$;同理当 $Q=1$ 、 $Q'=0$,也会使触发器的次态输出为 $Q=1$ 、 $Q'=0$ 。因此,无论触发器现态如何,均

会使输出次态为置 1 状态。

(2) 置 0 状态。当 $S'=1, R'=0$ 时, 如果触发器现态为 $Q=1, Q'=0$, 因 $R'=0$ 会使 $Q'=1$, 而 $Q'=1$ 和 $S'=1$ 共同作用使 Q 端翻转为 0; 如果基本 SR 触发器现态为 $Q=0, Q'=1$, 同理会使 $Q=0, Q'=1$ 。所以, 只要 $S'=1, R'=0$, 无论触发器的输出现态如何, 均会使输出次态为置 0 状态。

(3) 不定状态。当 $S'=R'=0$ 时, 无论触发器的原状态如何, 均会使 $Q=1, Q'=1$, 此时 Q 和 Q' 不互补, 破坏了触发器的正常工作, 使触发器失效, 并且若下一时刻 S' 和 R' 同时恢复高电平后, 触发器的新状态要看 G_1 和 G_2 两个门电路翻转速度的快慢, 所以称 $S'=R'=0$ 是不定状态, 也称为禁态。在实际电路中要避免此状态出现。

(4) 保持状态。当输入端接入 $S'=R'=1$ 时, 触发器的现态和次态相同, 保持原状态不变, 即 $Q^*=Q$ 。

逻辑功能的表示方法之一为特性表(功能表)。将以上的分析列成真值表即可得触发器的特性表, 如表 5-1 所示。实质上, 特性表就是一张特殊结构的真值表。触发器某一时刻的输出不仅取决于这一时刻的输入信号, 还与触发器的上一个状态有关, 故须作为自变量分析, 将其写进特性表。

表 5-1 由与非门构成的 SR 锁存器特性表

S'	R'	Q	Q^*	说明
0	0	0	1*	禁态
0	0	1	1*	禁态
0	1	0	1	置 1
0	1	1	1	置 1
1	0	0	0	置 0
1	0	1	0	置 0
1	1	0	0	保持
1	1	1	1	保持

2. 或非门构成 SR 锁存器的工作原理

如图 5-2(a)所示为由两个或非门构成的 SR 锁存器, 其工作原理如下。

1) 有两个稳定状态

触发器在无有效输入信号时, 即 $S=R=0$, 有两个稳定状态。

(1) 0 状态。当 $Q=0, Q'=1$ 时, 称触发器为 0 态。 $Q'=1$ 送到或非门 G_1 的输入端, 保证 $Q=0$, 而 $Q=0$ 和 $S=0$ 一起作用于或非门 G_2 , 维持 $Q'=1$ 。显然电路的这种状态可以自己保持, 而且是稳定的。

(2) 1 状态。当 $Q=1, Q'=0$ 时, 称触发器为 1 态。 $Q=1$ 送到或非门 G_2 的输入端, 保证 $Q'=0$, 而 $Q'=0$ 和 $R=0$ 一起作用于或非门 G_1 , 维持 $Q=1$ 。显然电路的这种状态也是可以自己保持, 而且也是稳定的。

2) 接收输入信号的过程

(1) 置 1 状态。当 $S=1, R=0$ 时, 如果触发器现态为 $Q=0, Q'=1$, 因 $S=1$ 会使或非门 G_2 的输出端次态翻转为 0, 而 $Q'=0$ 和 $R=0$ 共同使或非门 G_1 的输出端 $Q=1$; 同理当

$Q=1, Q'=0$, 也会使触发器的次态输出为 $Q=1, Q'=0$ 。因此, 无论触发器现态如何, 均会使输出次态为置 1 状态。

(2) 置 0 状态。当 $S=0, R=1$ 时, 如果锁存器现态为 $Q=1, Q'=0$, 因 $R=1$ 会使 $Q=0$, 而 $Q=0$ 和 $S=0$ 共同作用使 Q' 端翻转为 1; 如果锁存器现态为 $Q=0, Q'=1$, 同理会使 $Q=0, Q'=1$ 。所以, 只要 $S=0, R=1$, 无论触发器的输出现态如何, 均会使输出次态为置 0 状态。

(3) 不定状态。当 $S=R=1$ 时, 无论触发器的原状态如何, 均会使 $Q=0, Q'=0$, Q 和 Q' 不互补, 破坏了触发器的正常工作, 使触发器失效, 并且若下一时刻 S 和 R 同时恢复低电平后, 触发器的新状态要看 G_1 和 G_2 两个门翻转速度快慢。所以, 称 $S=R=1$ 是不定状态, 也称为禁态。在实际电路中要避免此状态出现。

(4) 保持状态。当输入端接入 $S=R=0$ 时, 触发器的现态和次态相同, 保持原状态不变, 即 $Q^*=Q$ 。

或非门构成的 SR 锁存器特性表如表 5-2 所示。

表 5-2 或非门构成的 SR 锁存器特性表

S	R	Q	Q^*	说 明
0	0	0	0	保持
0	0	1	1	保持
0	1	0	0	置 0
0	1	1	0	置 0
1	0	0	1	置 1
1	0	1	1	置 1
1	1	0	0^*	禁态
1	1	1	0^*	禁态

5.2.3 SR 锁存器的动作特点

由于 SR 锁存器的输入信号直接控制其输出状态, 无时钟控制, 故又称它为直接置 1 (置位)、清 0 (复位) 触发器, 其触发方式为直接触发方式。

无论是由与非门还是或非门构成的 SR 锁存器, 它们的特点相同, 优缺点也一样。

1) 优点

(1) 结构简单, 只要把两个与非门 (或者是或非门) 交叉连接起来, 即可组成触发器的基本结构形式。

(2) 具有置 0 和置 1 的功能。

2) 缺点

(1) R, S 之间有约束。在由与非门构成的 SR 锁存器中, 当违反约束条件, 即 $S'=R'=0$ 时, Q 端和 Q' 端都将为高电平; 在由或非门构成的 SR 锁存器中, 当违反约束条件, 即 $S=R=1$ 时, Q 端和 Q' 端都将为低电平, 即存在禁态。

(2) 锁存器无触发, 无法用时钟控制器其动作。

【例 5.1】 已知由与非门构成的 SR 锁存器如图 5-3(a) 所示, 其输入端的波形如图 5-3(b)

所示的 S' 和 R' , 试画出输出端 Q 和 Q' 的波形。

解: 可根据其特性表画出输出波形如图 5-3(b) 所示的 Q 和 Q' 。一开始 $S'=0$ 、 $R'=1$, 置 1, 输出 $Q=1$; 随后 $S'=R'=1$, 保持 Q 状态不变; 接下来 $S'=1$ 、 $R'=0$, 置 0, $Q=0$; 然后又变为保持态; 最后 $S'=0$ 、 $R'=1$, 置 1。

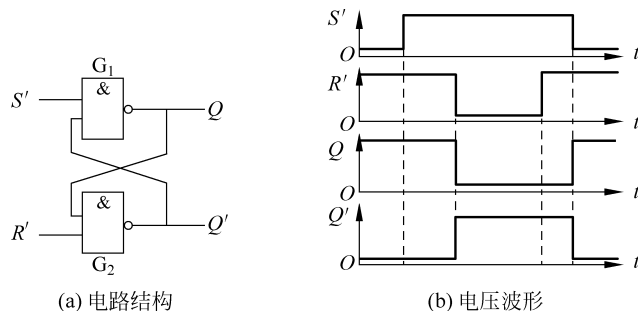


图 5-3 例 5.1 题图

5.3 电平触发器

5.2 节介绍的锁存器的输出直接由输入信号控制, 但工程实际中常常要求数字系统中的各个触发器, 在规定的时刻按照各自输入信号决定的状态同步触发翻转, 这就要求有一个同步信号来控制, 这个控制信号叫作时钟信号, 简称时钟(clock), 用 CLK 或 CP 表示。这种受时钟控制的触发器统称为时钟触发器, 也称为同步触发器。

5.3.1 电平触发器的电路结构

电平触发器为时钟触发器的一种, 只有在触发信号变为有效电平后, 触发器才能按照输入信号进行相应状态的变化。在电平触发器中, 除了原来的两个输入端外, 还增加了一个时钟信号输入端, 图 5-4(a) 为电平 SR 触发器电路结构, 图 5-4(b) 为其逻辑图形符号。

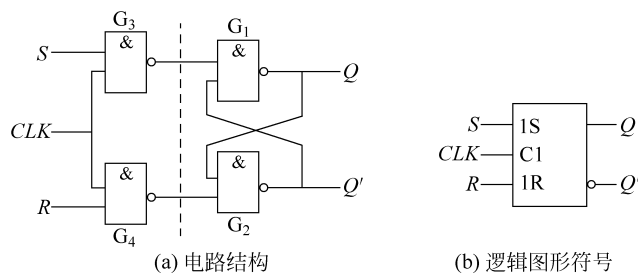


图 5-4 电平 SR 触发器

5.3.2 电平 SR 触发器的工作原理

如图 5-4(a) 所示的电路结构, 可知其工作原理如下。

(1) 当 $CLK=0$ 时, 门 G_3 和 G_4 被封锁, 输出为高电平。

输入 S 、 R 无法通过 G_3 和 G_4 影响 G_1 和 G_2 的输出,对于由 G_1 和 G_2 构成的 SR 锁存器,触发器保持原态,即 $Q^* = Q$ 。

(2) 当 $CLK = 1$ 时,门 G_3 和 G_4 开启,触发器输出由 S 和 R 决定。

① 当输入 $S = 0$ 、 $R = 0$ 时, G_3 和 G_4 输出均为 1,则对于由 G_1 和 G_2 构成的 SR 锁存器,输出继续保持原态,即 $Q^* = Q$ 。

② 当 $S = 0$ 、 $R = 1$ 时, G_3 输出为 1, G_4 输出为 0,则对于由 G_1 和 G_2 构成的 SR 锁存器,相当于置 0 态,即输出 $Q^* = 0$ 。

③ 当 $S = 1$ 、 $R = 0$ 时, G_3 输出为 0, G_4 输出为 1,则对于由 G_1 和 G_2 构成的 SR 锁存器,相当于置 1 态,即输出 $Q^* = 1$ 。

④ 当 $S = 1$ 、 $R = 1$ 时, G_3 输出为 0, G_4 输出为 0,则对于由 G_1 和 G_2 构成的 SR 锁存器,相当于不定态,即输出 $Q^* = Q'^* = 1$ 。

电平 SR 触发器特性表如表 5-3 所示。

表 5-3 电平 SR 触发器特性表

CLK	S	R	Q	Q^*	说 明
0	$\times$	$\times$	0	0	保持
0	$\times$	$\times$	1	1	保持
1	0	0	0	0	保持
1	0	0	1	1	保持
1	0	1	0	0	置 0
1	0	1	1	0	置 0
1	1	0	0	1	置 1
1	1	0	1	1	置 1
1	1	1	0	1^*	禁态
1	1	1	1	1^*	禁态

由表 5-3 可知,当 $CLK = 0$ 时,输出不随输入信号的变化而变化;只有在 $CLK = 1$ 时,触发器的输出才会受到输入信号 S 、 R 的控制改变状态,此时该触发器的特性与 SR 锁存器一致,也同样具有禁态,即同样具有 $SR = 0$ 的约束条件。

有时,在使用时需要在时钟 CLK 到来之前,先将触发器预置成指定状态,故实际的同步 SR 触发器有的设置了异步置位端 S'_D 和异步复位端 R'_D ,其电路及逻辑图形符号如图 5-5 所示。

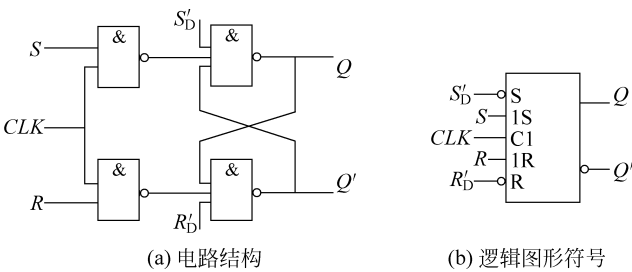


图 5-5 带异步置位、复位端的电平 SR 触发器

由图 5-5(a)所示的电路图可以看出, S'_D 和 R'_D 不受时钟信号 CLK 的控制, 且低电平有效, 即当 $S'_D=0, R'_D=1$ 时, 电路输出为 1; 当 $S'_D=1, R'_D=0$ 时, 电路输出为 0。这种不受同一时钟控制的方式称为异步。要注意的一点是: 在实际应用中, 异步置位或复位应在 $CLK=0$ 的状态下进行, 否则预置状态不一定能保存下来。

5.3.3 电平触发方式的动作特点

电平触发方式的动作特点如下。

(1) 只有当时钟信号 CLK 有效时, 触发器的输出才会受输入信号的控制而改变。

(2) 在 CLK 有效的全部时间内, 输入的任何改变都会影响输出状态的变化, 在 CLK 变为无效的一瞬间, 保存下来的是最后一瞬间的状态。

根据上述特点可知, 由于在 $CLK=1$ 期间, 触发器的输出会随着输入 S, R 的变化而多次变化, 称为空翻现象, 故电平触发器抗干扰能力较弱。

【例 5.2】 已知电平 SR 触发器电路结构和输入信号如图 5-6 所示, 试画出输出 Q 的波形, Q 初始状态为 0。

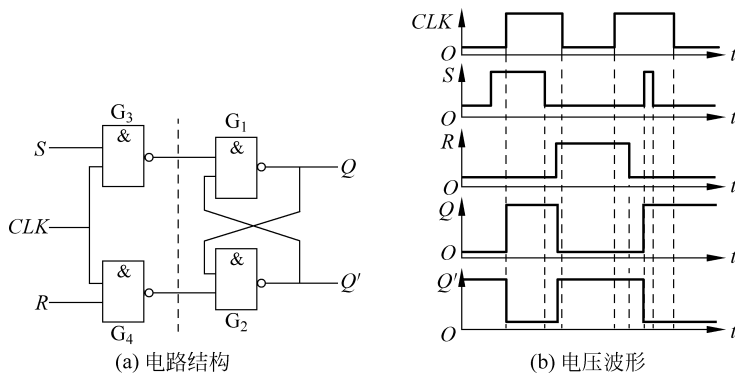


图 5-6 例 5.2 题图

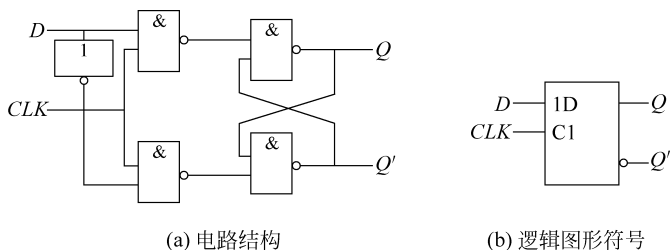
解: 由给定时钟信号和输入电压可知, 在 CLK 低电平期间, Q 状态保持不变, 在 CLK 第 1 个高电平期间, 一开始 $S=1, R=0$, 置 1, $Q=1$; 随后 S 下降为 0, 此时 $S=R=0$, 为保持态, Q 保持 1 不变; 随后 R 上升为 1, $S=0, R=1$, 置 0, $Q=0$; 在接下来的 CLK 低电平期间, Q 保持 0 不变。

在 CLK 第 2 个高电平期间, $S=0, R=1$, 置 0, $Q=0$; 随后 R 下降为 0, 此时 $S=R=0$, 为保持态, Q 保持 0 不变; 随后 S 中出现 1 个干扰脉冲, S 上升为 1, $S=1, R=0$, 置 1, $Q=1$; 最后 $S=R=0$, 为保持态, Q 保持 1 不变。

由例 5.2 可以看出, 电平触发器的输入如果在时钟信号的一个周期内多次变化, 则输出也会随之多次翻转, 这就大大降低了触发器的抗干扰能力。

同时, SR 触发器存在禁态的问题。解决此问题的一种方法是可以将 SR 触发器变为单输入触发器, 在输入 S 和 R 端之间加一个非门相连, 这就构成了 D 触发器(也称为 D 锁存器)。如图 5-7 所示为电平触发 D 触发器的电路结构及逻辑图形符号。

分析如图 5-7(a)所示的电路可知, 在 $CLK=0$ 时, 触发器输出 Q 保持不变, 即 $Q^*=Q$, 在 CLK 变为 1 后, 触发器的输出随输入的变化而变化。当 $D=1$ 时, 无论原状态为 1 还是

图 5-7 电平触发 D 触发器

为 0, 输出置 1; 当 $D=0$ 时, 输出置 0。此触发器依然受到时钟信号的控制, 依然工作在电平触发方式下, 并且在电平有效期间, $Q^* = D$ 。电平触发 D 触发器的特性表如表 5-4 所示。

表 5-4 电平触发 D 触发器的特性表

CLK	D	Q	Q^*	说 明
0	$\times$	0	0	保持
0	$\times$	1	1	保持
1	0	0	0	置 0
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	1	置 1

与 SR 触发器相比, D 触发器只有两个状态, 即置 1 态和置 0 态。

【例 5.3】 某电平触发 D 触发器的时钟信号及输入信号如图 5-8 所示, 试画出其输出波形, 触发器初始状态 $Q=0$ 。

解: 在 $CLK=1$ 期间, Q 随 D 的变化而变化; 在 $CLK=0$ 期间, Q 保持上一个状态不变。

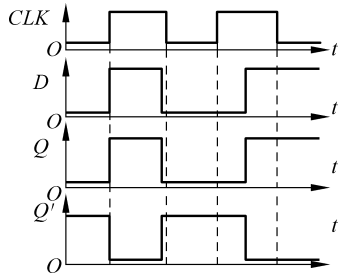


图 5-8 例 5.3 题图

5.4 脉冲触发器

5.4.1 脉冲触发器的电路结构

为了避免空翻现象, 提高触发器工作的可靠性, 希望在每个 CLK 期间输出端的状态只改变一次, 则在电平触发器的基础上设计出脉冲触发器。主从触发器就是脉冲触发器的典型结构。主从触发器采用主从结构, 由两个电平触发器构成, 分别为主触发器和从触发器, 两个电平触发器的触发电平刚好相反, 由此构成脉冲触发器。如图 5-9 所示, 此电路结构为主从 SR 触发器, 与非门 $G_5 \sim G_8$ 构成主触发器, 与非门 $G_1 \sim G_4$ 构成从触发器, 主触发器的输出端作为从触发器的输入, 它们的时钟通过非门连在一起, 主触发器时钟为 CLK , 从触发器时钟为 CLK' 。

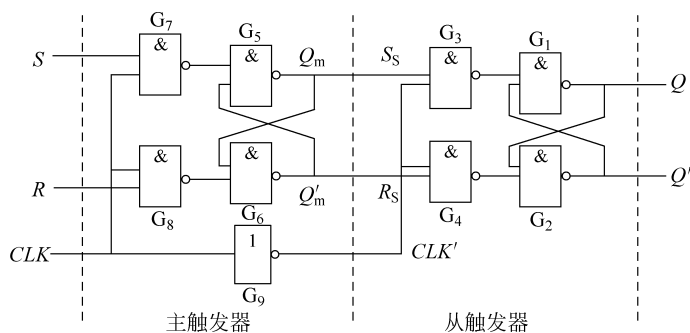


图 5-9 主从 SR 触发器电路

5.4.2 主从 SR 触发器的工作原理

(1) 当 $CLK=1$ 时,主触发器工作,即主触发器的 Q 端的状态取决于输入信号 S 、 R 以及主触发器现态 Q 、 Q' 的状态;而此时 $CLK'=0$, G_3 、 G_4 被封锁,即从触发器被封锁,其保持原来状态,在此期间输入的变化都不会改变输出状态。

(2) 当 CLK 由 1 变 0(即下降沿)时, G_3 、 G_4 打开,即从触发器打开, G_7 、 G_8 被封锁,即主触发器被封锁,从触发器输出端 Q 、 Q' 的状态变化,并取决于主触发器输出的 Q_m 、 Q'_m 的状态。

(3) 此后,在 $CLK=0$ 期间,虽然从触发器一直打开,但由于主触发器被封锁,主触发器的输出状态不会再变化,即从触发器的输入不会变化,所以从触发器的输出依然保持不变。故在 CLK 的一个周期内,触发器的输出状态只可能改变一次,且此变化发生在 CLK 由 1 变为 0 的时刻(下降沿)。

总结上述逻辑关系可得到主从 SR 触发器的特性如表 5-5 所示。

表 5-5 主从 SR 触发器特性表

CLK	S	R	Q	Q^*
$\times$	$\times$	$\times$	$\times$	Q
$\downarrow$	0	0	0	0
$\downarrow$	0	0	1	1
$\downarrow$	0	1	0	0
$\downarrow$	0	1	1	0
$\downarrow$	1	0	0	1
$\downarrow$	1	0	1	1
$\downarrow$	1	1	0	1* (禁态)
$\downarrow$	1	1	1	1* (禁态)

主从结构 SR 触发器逻辑图形符号如图 5-10 所示,符号“ $\neg$ ”为延迟符号,表示延迟输出。即当 CLK 由高电平回到低电平后,输出状态才发生变化。

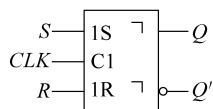


图 5-10 主从 SR 触发器的逻辑图形符号

5.4.3 主从 JK 触发器的电路结构和工作原理

1. 电路结构

由于主从 SR 触发器依然存在禁态的问题,输入信号仍须遵守 $SR=0$ 的约束条件,实际使用的主从触发器主要是主从 JK 触发器,为了使主从 SR 触发器在 $S=R=1$ 时也有确定的状态,则将输出端 Q 和 Q' 反馈到输入端,从而构成了 JK 触发器。图 5-11 为主从 JK 触发器电路结构,图 5-12 为主从 JK 触发器逻辑图形符号。

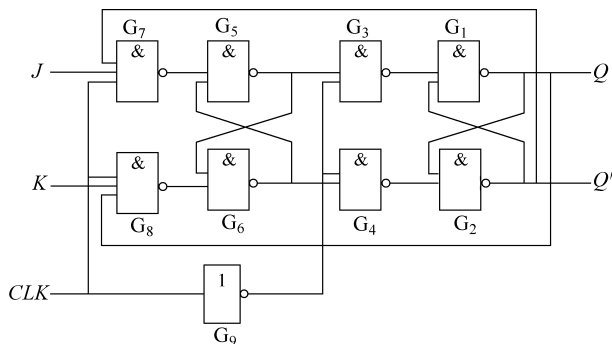


图 5-11 主从 JK 触发器电路

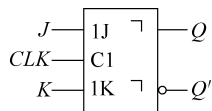


图 5-12 主从 JK 触发器逻辑图形符号

2. 工作原理

由电路结构分析可得如下结论。

1) 当 $J=K=0$ 时

主触发器保持原态,则触发器(从触发器)也保持原态。即 $Q^*=Q$,此为保持态。

2) 当 $J=0$ 和 $K=1$ 时

若 $Q=0, Q'=1$,在 $CLK=1$ 时,主触发器保持原态 $Q_{\pm}^*=Q_{\pm}=0$,在 CLK 由 1 变为 0 时,从触发器保持不变,即 $Q^*=0$ 。

若 $Q=1, Q'=0$,在 $CLK=1$ 时,主触发器处于置 0 态, $Q_{\pm}^*=0, Q'_{\pm}^*=1$,在 CLK 由 1 变为 0 时,从触发器也处于置 0 态,即 $Q^*=0$ 。

即无论 Q 的前一个状态为 1 还是为 0,新的状态都为 0,此为置 0 态。

3) 当 $J=1$ 和 $K=0$ 时

若 $Q=0, Q'=1$,在 $CLK=1$ 时,主触发器处于置 1 态, $Q_{\pm}^*=1, Q'_{\pm}^*=0$,在 CLK 由 1 变为 0 时,从触发器也处于置 1 态,即 $Q^*=1$ 。

若 $Q=1, Q'=0$,在 $CLK=1$ 时,主触发器保持原态 $Q_{\pm}^*=Q_{\pm}=1$,在 CLK 由 1 变为 0 时,从触发器保持不变,即 $Q^*=1$ 。

即无论 Q 的前一个状态为 1 还是为 0,新的状态都为 1,此为置 1 态。

4) 当 $J=1$ 和 $K=1$ 时

若 $Q=0, Q'=1$,在 $CLK=1$ 时,主触发器处于置 1 态, $Q_{\pm}^*=1, Q'_{\pm}^*=0$,在 CLK 由 1 变为 0 时,从触发器也处于置 1 态,即 $Q^*=1$ 。

若 $Q=1, Q'=0$,在 $CLK=1$ 时,主触发器处于置 0 态, $Q_{\pm}^*=0, Q'_{\pm}^*=1$,在 CLK 由 1 变为 0 时,从触发器也处于置 0 态,即 $Q^*=0$ 。

即无论 Q 的前一个状态为 1 还是为 0, 新的状态 $Q^* = Q'$, 此为翻转态, 也称为计数态。

通过上述逻辑关系可知, 主从 JK 触发器的状态变化也是发生在 CLK 从高电平变回低电平的时刻, 即下降沿时, 总结可得到主从 JK 触发器的特性如表 5-6 所示。

表 5-6 主从 JK 触发器特性表

CLK	J	K	Q	Q^*
$\times$	$\times$	$\times$	$\times$	Q
$\downarrow$	0	0	0	0
$\downarrow$	0	0	1	1
$\downarrow$	0	1	0	0
$\downarrow$	0	1	1	0
$\downarrow$	1	0	0	1
$\downarrow$	1	0	1	1
$\downarrow$	1	1	0	1
$\downarrow$	1	1	1	0

在某些集成电路中, JK 触发器的输入端 J 和 K 不止一个。例如, J_1 和 J_2 、 K_1 和 K_2 等是与的关系, 其电路结构与逻辑图形符号如图 5-13 所示。

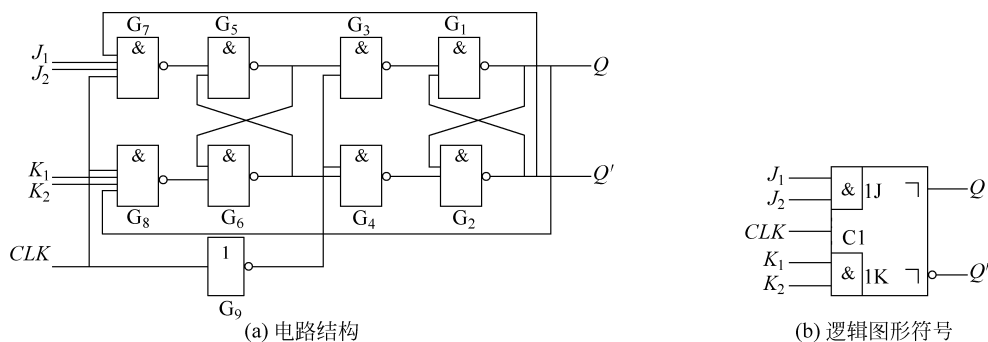


图 5-13 多输入 JK 触发器

5.4.4 脉冲触发方式的动作特点

由于脉冲触发器采用主从结构, 在 $CLK = 1$ 时, 主触发器受输入信号的控制, 从触发器保持原态; 在 CLK 下降沿到达后, 从触发器按主触发器状态翻转, 故触发器输出状态在一个脉冲周期内只能改变一次, 并且希望此改变是由下降沿到达前一时刻的输入决定。

但是, 由于主触发器是电平触发器, 则对主从 SR 触发器来说, 在整个高电平期间输入信号都起作用, 因此会出现当 CLK 下降沿到达时, 输出并没有按照这一瞬间的输入状态改变, 而需要考虑整个始终高电平期间的所有输入情况。

同样地, 在主从 JK 触发器中也存在类似问题。主从 JK 触发器在 $CLK = 1$ 期间, 主触发器只变化(翻转)一次, 这种现象称为一次变化现象。一次变化现象也是一种有害的现象, 如果在 $CLK = 1$ 期间, 输入端出现干扰信号, 则可能造成触发器的误动作。为了避免发生一次变化现象, 在使用主从 JK 触发器时, 要保证在 $CLK = 1$ 期间, J 、 K 保持状态不变。

例如, 在如图 5-14(a) 所示的 JK 触发器电路中, 若输入 J 、 K 波形如图 5-14(b) 所示。若初始状态 $Q = 0$, 在第 1 个下降沿到来时, 输出 Q 由此时的输入 $J = 1$ 、 $K = 0$ 决定, $Q^* =$

1; 在第 2 个下降沿到来时, 由于在高电平期间, 输入发生了变化, 此时的输出就不仅是由这一时刻的输入决定了。因为在 $CLK=1$ 期间出现过短暂的 $J=0, K=1$ 的状态, 此时主触发器便被置 0, 虽然随后的输入又变为 $J=K=0$, 但从触发器仍然按照主触发器的状态被置 0, 而不是按照这一时刻的输入保持置 1 不变。

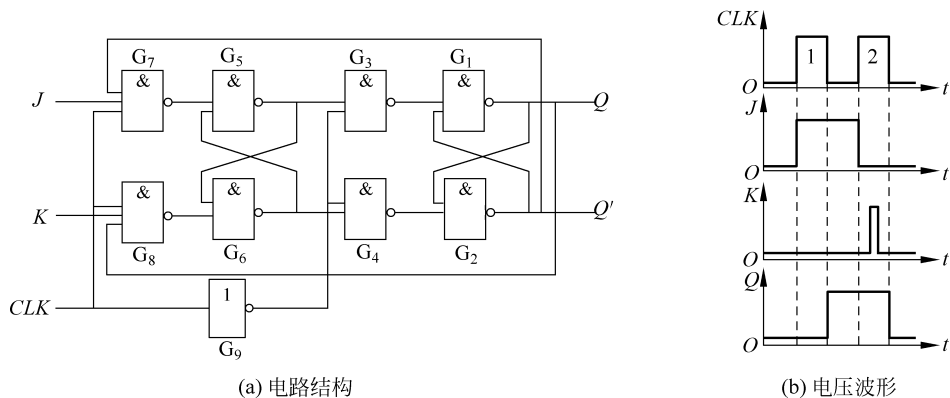


图 5-14 JK 触发器电路结构及输入输出电压波形

5.5 边沿触发器

由于 JK 触发器存在一次变化问题, 因此抗干扰能力差。为了提高触发器工作的可靠性, 希望触发器的次态(新态)仅取决于 CLK 的下降沿(或上升沿)到达时刻的输入信号的状态, 与 CLK 的其他时刻的信号无关。这样就出现了各种边沿触发器。

现在有利用 CMOS 传输门的边沿触发器、维持阻塞触发器、利用门电路传输延迟时间的边沿触发器以及利用二极管进行电平配置的边沿触发器等。

5.5.1 边沿触发器的电路结构和工作原理

如图 5-15 所示为用两个电平触发的 D 触发器组成的边沿 D 触发器。

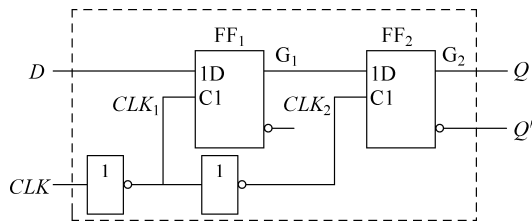


图 5-15 边沿 D 触发器电路

其工作原理如下。

(1) 当 $CLK=0$ 时, 触发器状态不变, FF_1 的输出状态与 D 相同。

(2) 当 $CLK=1$, 即上升沿到来时, 触发器 FF_1 的状态与边沿到来之前的 D 状态相同并保持。而与此同时, FF_2 输出 Q 的状态被置成边沿到来之前的 D 的状态, 而与其他时刻 D 的状态无关。

如图 5-16 所示为利用 CMOS 传输门的边沿 D 触发器电路。

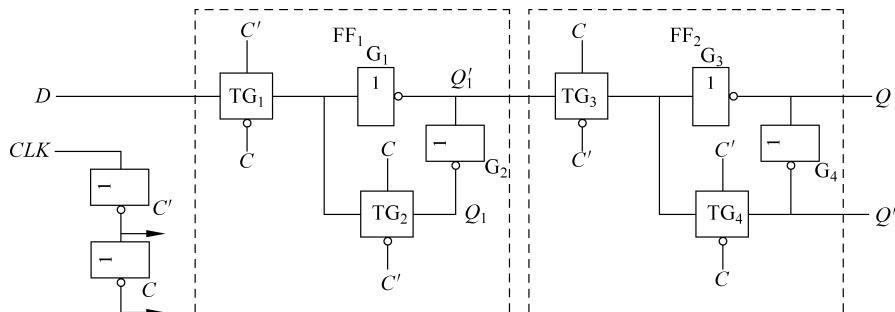


图 5-16 传输门构成边沿 D 触发器电路

其工作原理如下。

(1) 在 $CLK=0$ 时, TG_1 通, TG_2 不通, $Q_1=D$, Q_1 随着 D 的变化而变化; TG_3 不通, TG_4 通, Q 保持, 反馈通路接通。

(2) 在 CLK 上升沿到来时, TG_1 不通, TG_2 通, 此时输入 D 无法控制触发器的输出;

TG_3 通, TG_4 不通, 上升沿来临一瞬间的 D 传输到输出端, $Q^*=D$ 。

(3) 在 $CLK=1$ 时, TG_1 不通, TG_2 通, 此时输入 D 无法控制触发器的输出, Q 保持。

由此可见, 这是一个上升沿触发的 D 触发器, 上升沿触发边沿 D 触发器的逻辑图形符号如图 5-17 所示。

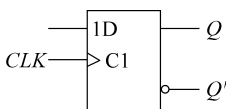


图 5-17 上升沿触发边沿 D 触发器的逻辑图形符号

5.5.2 边沿触发方式的动作特点

输出端状态的转换发生在 CLK 的上升沿到来时刻, 而且触发器保存下来的状态仅取决于 CLK 上升沿到达时的输入状态, 而与此前后的状态无关。

5.6 触发器的逻辑功能

在前面内容中讨论了不同触发器的电路结构, 本节将进一步讨论触发器的逻辑功能。触发器在每次时钟脉冲触发沿到来之前的状态称为现态, 而在此之后的状态称为次态。所谓触发器的逻辑功能, 是指次态与现态、输入信号之间的逻辑关系, 这种关系可以用特性表、特性方程或状态图来描述, 按照触发器状态转换的规则不同, 通常分为 D 触发器、JK 触发器、T 触发器、SR 触发器等逻辑功能类型。

需要指出的是, 逻辑功能与电路结构是两个不同的概念, 同一逻辑功能的触发器可以用不同的电路结构实现, 如 5.5 节所述的两种不同电路结构而功能完全相同的 D 触发器。同时, 同一基本电路结构, 也可以构成不同逻辑功能的触发器, 在本节讨论触发器的逻辑功能时, 暂不考虑其内部的电路结构。

5.6.1 D 触发器

1. 特性表

D 触发器的特性表如表 5-7 所示, 表中对触发器的现态 Q 和输入信号 D 的每种组合都

列出了相应的次态 Q^* 。

表 5-7 D 触发器特性表

D	Q	Q^*
0	0	0
0	1	0
1	0	1
1	1	1

2. 特性方程

触发器的逻辑功能也可以用逻辑表达式来描述,称为触发器的特性方程,根据表 5-7 可以列出 D 触发器的特性方程为

$$Q^* = D \tag{5-1}$$

3. 状态转换图

触发器的功能还可以用如图 5-18 所示的状态图更为形象地表示,状态图同样可以用 D 触发器的特性表导出,图中两个圆圈内标有 1 和 0,表示触发器的两个状态,4 根方向线表示状态转换的方向,分别对应特性表中的 4 行,方向线起点为触发器现态 Q ,箭头指向相应的次态 Q^* ,方向线旁边标出了状态转换的条件,即输入信号 D 的逻辑值。

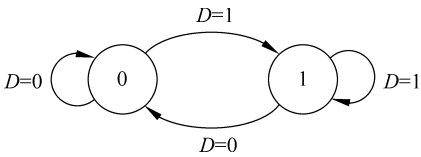


图 5-18 D 触发器的状态转换图

5.6.2 JK 触发器

1. 特性表

如表 5-8 所示的是 JK 触发器的特性表,符合此表的触发器均为 JK 触发器。

表 5-8 JK 触发器特性表

J	K	Q	Q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

2. 特性方程

从表 5-8 可以写出 JK 触发器次态的逻辑表达式,经过简化可得其特性方程如下:

$$Q^* = JQ' + K'Q \quad (5-2)$$

3. 状态转换图

JK 触发器的状态图如图 5-19 所示,它可以从表 5-8 导出。由于存在无关变量(以 $\times$ 表示,既可以取 0,也可以取 1),因此 4 根方向线实际对应表中的 8 行。

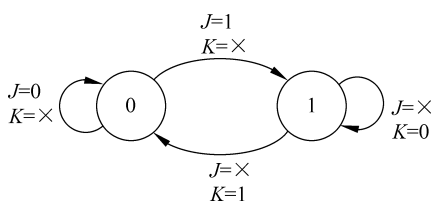


图 5-19 JK 触发器状态转换图

由特性表、特性方程或状态图均可以看出,在所有类型的触发器中, JK 触发器具有最强的逻辑功能,它能执行置 1、置 0、保持和翻转 4 种操作,在实际应用中还可用简单的附加电路将其转换为其他功能的触发器,因此在数字电路中有较广泛的应用。

5.6.3 T 触发器

在某些应用中,当控制信号 $T=1$ 时,每来一个 CLK 脉冲,它的状态就翻转一次;而当 $T=0$ 时,则不对 CLK 信号做出相应反应而保持状态不变。具备这种逻辑功能的触发器称为 T 触发器, T 触发器的逻辑图形符号如图 5-20 所示,此为一个下降沿触发的边沿 T 触发器。

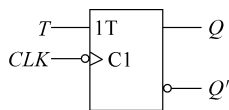


图 5-20 T 触发器的逻辑图形符号

1. 特性表

T 触发器的特性表如表 5-9 所示。

表 5-9 T 触发器的特性表

T	Q	Q^*
0	0	0
0	1	1
1	0	1
1	1	0

2. 特性方程

由表 5-9 可以写出 T 触发器的逻辑表达式为

$$Q^* = TQ' + T'Q \quad (5-3)$$

3. 状态转换图

T 触发器的状态图如图 5-21 所示。

T 触发器的功能是： $T=1$ 时为计数状态， $Q^*=Q'$ ； $T=0$ 时为保持状态， $Q^*=Q$ 。比较式(5-3)和式(5-2)，如果令 $J=K=T$ ，则两式等效。事实上，只要 JK 触发器的 J 、 K 端连接在一起作为 T 输入端，就可实现 T 触发器的功能。因此，在小规模集成触发器产品中没有专门的 T 触发器，如果有需要，则可用其他功能的触发器转换。

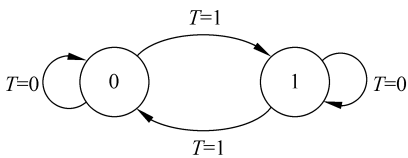


图 5-21 T 触发器的状态图

5.6.4 T' 触发器

当 T 触发器的 T 输入端固定接高电平时(即 $T \equiv 1$)，即构成 T' 触发器，即将 $T=1$ 代入式(5-3)得

$$Q^* = Q' \tag{5-4}$$

由式(5-4)可以看出，时钟脉冲每作用一次，触发器翻转一次，即 T' 触发器只有翻转状态。

5.6.5 SR 触发器

1. 特性表

符合如表 5-10 所示特性表的触发器称为 SR 触发器。其中，* 表示不定。

表 5-10 SR 触发器的特性表

S	R	Q	Q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

2. 特性方程

从表 5-10 中可以看出，当 $S=R=1$ 时，触发器的次态是不能确定的。如果出现这种情况，触发器将失去控制。因此， SR 触发器的使用必须遵循 $SR=0$ 的约束条件。从表 5-10 可导出其表达式，借助约束条件化简，于是得到特性方程为

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases} \tag{5-5}$$

3. 状态转换图

可以从表 5-10 导出状态图,如图 5-22 所示。

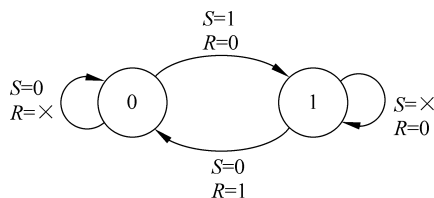


图 5-22 SR 触发器的状态转换图

5.6.6 触发器的功能转换

在实际应用中,由于 D 触发器和 JK 触发器具有较完善的功能,有很多独立的中小规模集成电路产品,而 T 触发器和 SR 触发器则主要出现于集成电路的内部结构,用户如有单独需要,则可以很容易地用前两种类型的触发器转换构成。下面介绍 4 种触发器之间的相互转换。

1. JK 触发器构成 D 触发器

由 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ 和 D 触发器的特性方程 $Q^* = D$ 对比可知,当 $J = D$ 、 $K = D'$ 时,即可由 JK 触发器构成 D 触发器,连接如图 5-23 所示。

2. JK 触发器构成 T 触发器

由 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ 和 T 触发器的特性方程 $Q^* = TQ' + T'Q$ 对比可知,当 $J = K = T$ 时,即可由 JK 触发器构成 T 触发器,连接如图 5-24 所示。

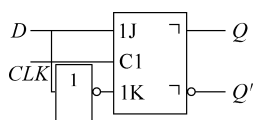


图 5-23 JK 触发器构成 D 触发器连接图

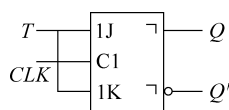


图 5-24 JK 触发器构成 T 触发器连接图

3. D 触发器构成 T 触发器

由 T 触发器的特性方程 $Q^* = TQ' + T'Q = T \oplus Q$ 和 D 触发器的特性方程 $Q^* = D$ 对比可知,令 $D = T \oplus Q$,可实现 D 触发器构成 T 触发器,连接如图 5-25 所示。

4. D 触发器构成 T' 触发器

由 T' 触发器的特性方程 $Q^* = Q'$ 和 D 触发器的特性方程 $Q^* = D$ 对比可知,当 $D = Q'$ 时,可实现 D 触发器构成 T' 触发器,连接如图 5-26 所示。

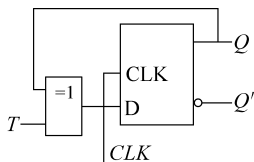


图 5-25 D 触发器构成 T 触发器连接图

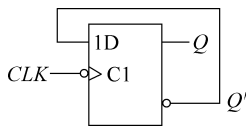


图 5-26 D 触发器构成 T' 触发器连接图

5.7 常用触发器芯片

常见的集成触发器有很多种,多为 D 触发器或 JK 触发器,下面简单介绍 3 种。

1. 74 系列集成同步 D 触发器 74LS375

74LS375 内部封装了 4 个电平触发的 D 触发器,其引脚排列图如图 5-27 所示,其中 1D~4D 是触发器的输入端,1Q~4Q 是触发器的 4 个输出端,1Q'~4Q' 是 4 个反向输出端,1G 是前两个触发器的时钟信号输入端,2G 是后两个触发器的时钟信号输入端,高电平有效,D 触发器内部结构如图 5-7 所示。

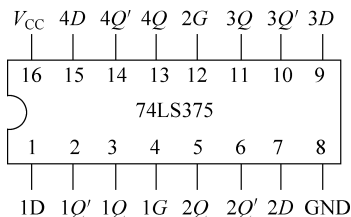


图 5-27 74LS375 引脚排列图

2. 边沿触发 JK 触发器 74HC112

74HC112 内部封装了两个边沿触发的 JK 触发器,其引脚和内部封装如图 5-28 所示。其中, J_1 、 K_1 、 J_2 、 K_2 是触发器的输入端; Q_1 、 Q_2 、 Q_1' 、 Q_2' 是触发器的 4 个输出端; CLK_1 、 CLK_2 分别是两个触发器的时钟信号输入端; CLR_1 、 CLR_2 是异步复位端(低电平有效); PR_1 、 PR_2 是异步置位端(低电平有效)。

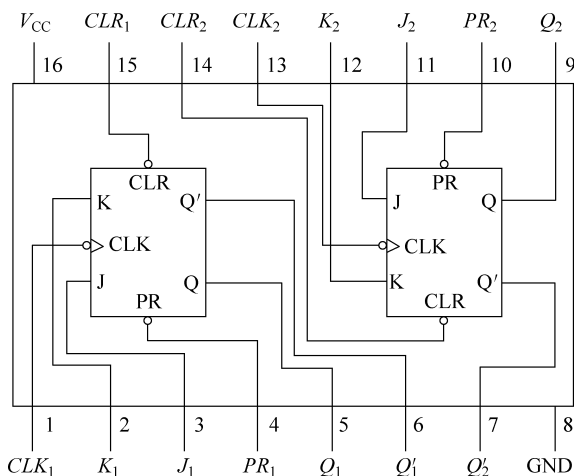


图 5-28 74HC112 引脚图

其特性表如表 5-11 所示,其中,*表示状态不定。

表 5-11 74HC112 特性表

输 入					输 出	
PR	CLR	CLK	J	K	Q^*	Q'^*
0	1	$\times$	$\times$	$\times$	1	0
1	0	$\times$	$\times$	$\times$	0	1
0	0	$\times$	$\times$	$\times$	*	*
1	1	$\downarrow$	0	0	Q	Q'
1	1	$\downarrow$	0	1	0	1
1	1	$\downarrow$	1	0	1	0
1	1	$\downarrow$	1	1	Q'	Q
1	1	$\times$	$\times$	$\times$	Q	Q'

除此之外,常用触发器芯片还有基本 SR 触发器 74LS279,其引脚排列图如图 5-29 所示。还有 D 触发器 73LS171、73LS174、73LS273、73LS374,边沿 JK 触发器 CC4027 等,在此就不一一介绍了。

3. 芯片选择

在实际应用中选择触发器,应从所需逻辑功能、触发方式和芯片参数等方面考虑。

从所需逻辑功能来分,如要求单端形式的输入信号,可选用 D 触发器;如要求双端形式的输入信号,可选用 JK 触发器;如需要计数功能,可选用 T' 触发器,而 T' 触发器可由 D 触发器或 JK 触发器转换而来。

从触发方式来分,若只是用作存储数据,可选用脉冲触发方式;若要求触发器的状态不受干扰,工作稳定,则最好选择边沿触发方式。

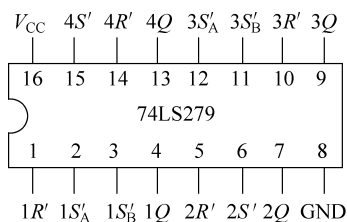


图 5-29 74LS279 引脚排列图

习题

习题 5.1 选择题。

- (1) 下列触发器中,没有约束条件的是()触发器。
 - A. 基本 SR
 - B. 电平 SR
 - C. 主从 SR
 - D. 边沿 D
- (2) 主从 JK 触发器()。
 - A. 要求触发信号具有特殊边沿
 - B. 存在“一次变换”问题
 - C. 功能与边沿 JK 触发器不同
 - D. 与边沿 D 触发器功能相同
- (3) 静态触发器是一种()电路。
 - A. 单稳态
 - B. 双稳态
 - C. 无稳态
- (4) 对于 T 触发器,若现态 $Q=0$,欲使次态 $Q^*=1$,应输入()。
 - A. 1
 - B. 0

(5) 若触发器连接如图 5-30 所示, 则其具有()功能。

A. T 触发器

B. D 触发器

C. T' 触发器

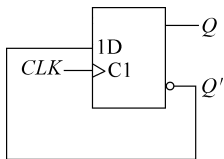


图 5-30 习题 5.1 图

习题 5.2 如图 5-31(a)所示与非门构成的 SR 锁存器, 输入波形如图 5-31(b)所示, 试画出其输出 Q 、 Q' 端波形, 初始状态 $Q=0$ 。

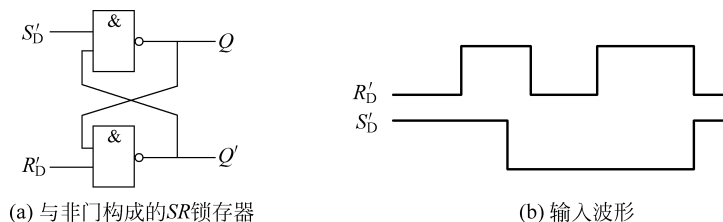


图 5-31 习题 5.2 图

习题 5.3 试画出在时钟信号 CLK 及输入的作用下, 图 5-32 中 SR 触发器的输出波形, 初始状态 $Q=0$ 。

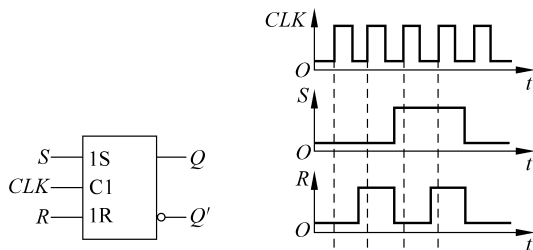


图 5-32 习题 5.3 图

习题 5.4 试画出在时钟信号 CLK 及输入的作用下, 图 5-33 中 JK 触发器的输出波形, 初始状态 $Q=0$ 。

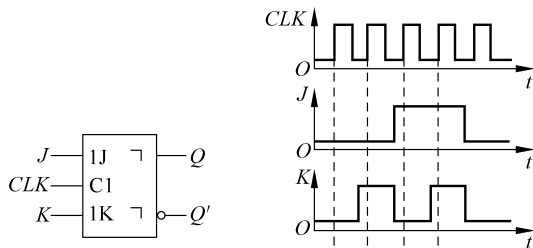


图 5-33 习题 5.4 图

习题 5.5 试画出在时钟信号 CLK 的作用下, 图 5-34 中各触发器的输出波形, 初始状态 $Q=0$ 。

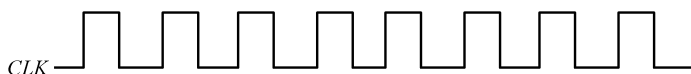
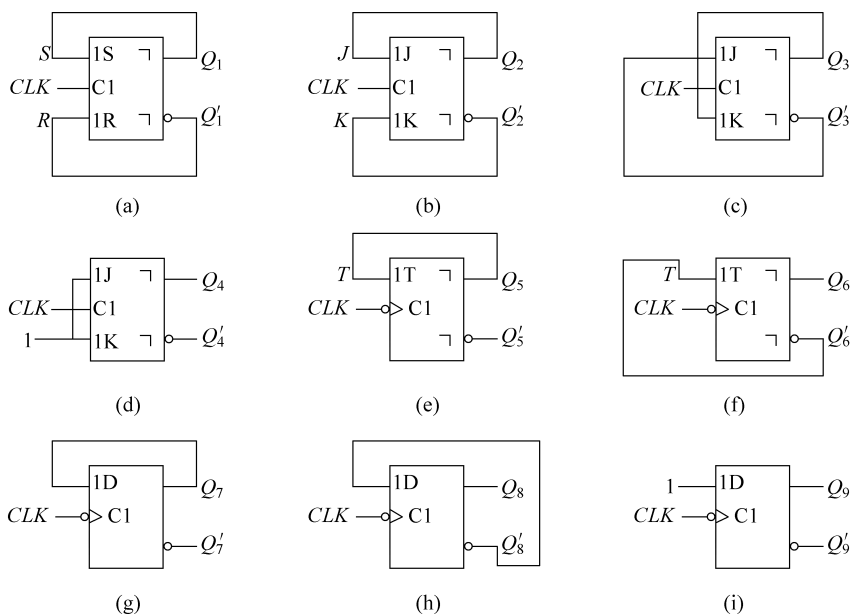


图 5-34 习题 5.5 图

习题 5.6 试画出在时钟信号 CLK 及输入的作用下,图 5-35 中 JK 触发器的输出波形,初始状态 $Q=0$ 。

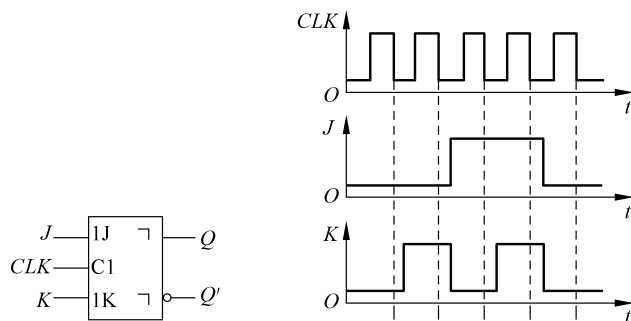


图 5-35 习题 5.6 图

习题 5.7 已知电路及时钟信号 A 、 CLK 波形如图 5-36 所示,试画出触发器的输出 Q_1 、 Q_2 波形,初始状态 $Q_1=Q_2=0$ 。

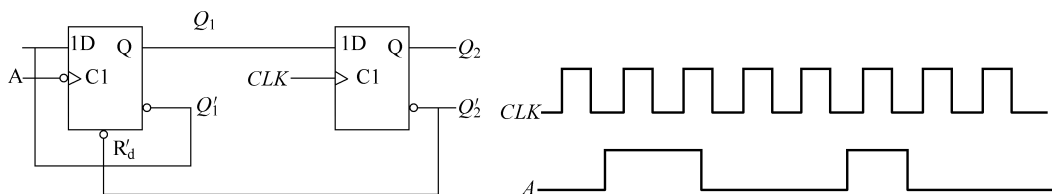


图 5-36 习题 5.7 图

习题 5.8 已知电路及时钟信号 CLK 、输入信号 A 、 B 波形如图 5-37 所示, K 引脚悬空(相当于接高电平), 试画出触发器的输出 Q 波形, 初始状态 $Q=0$ 。

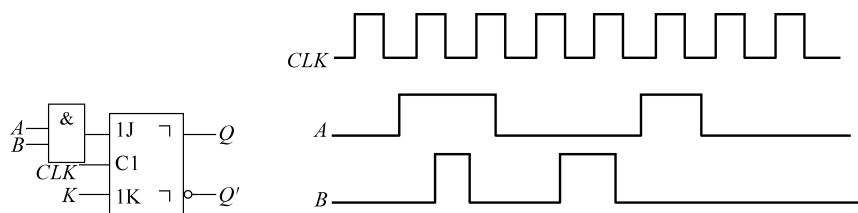


图 5-37 习题 5.8 图

习题 5.9 试画出在时钟脉冲的作用下, 如图 5-38 所示电路输出端 Q_0 、 Q_1 、 Q_2 、 Q_3 的波形。

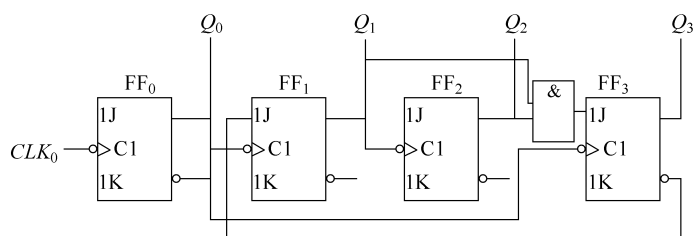


图 5-38 习题 5.9 图