

组合逻辑电路的输出仅和输入有关,当输入发生变化时,输出随之发生变化,不能够保存信号。实际上大多数数字系统还需要存储元件,需要把电路的状态或某时刻的信息保存下来。数字电路中最基本的存储元件是锁存器,触发器由锁存器构成。数字系统通常直接使用触发器构成的寄存器作为存储单元。

本章主要介绍基本的存储单元:锁存器、触发器和寄存器,主要包括下列知识点。

1) SR 和 \overline{SR} 锁存器

理解 SR 和 \overline{SR} 锁存器的结构和工作原理,理解锁存器中数据存储的特点。

2) 门控 SR 锁存器

理解门控 SR 锁存器对 SR 锁存器的改进,理解门控 SR 锁存器的结构和工作原理。

3) D 锁存器

理解 D 锁存器的电路结构和工作原理,掌握 D 锁存器的存储特点

4) 主从边沿触发器

理解主从边沿 D 触发器的电路结构和工作原理,掌握 D 触发器的存储特点,掌握 D 触发器输入和输出之间的时序关系。

5) 寄存器

掌握用 D 触发器构成通用寄存器的方法,掌握带控制寄存器的设计方法。

6) 移位寄存器

掌握基本移位寄存器的电路结构和工作原理,掌握移位寄存器的各触发器输入输出之间的时序关系,掌握带控制移位寄存器的设计方法。



视频讲解

5.1 SR 和 \overline{SR} 锁存器

5.1.1 SR 锁存器

图 5-1(a)所示是由两个交叉耦合的或非门组成的 SR 锁存器。锁存器有两个输入 S (Set) 和 R (Reset),有两个输出 Q 和 \overline{Q} (或 Q')。其中 S 用于置位, R 用于复位, Q 和 \overline{Q} (或 Q') 称为锁存器的状态。SR 锁存器的功能表如图 5-1(b)所示, Q^* 和 \overline{Q}^* 分别表示 Q 和 \overline{Q} 的新状态或次态。SR 锁存器的逻辑符号如图 5-1(c)所示。

SR 锁存器的工作原理如下:

(1) 当 $S=1, R=0$ 时, $Q=1, \overline{Q}=0$,这种状态称为锁存器被置位为 1;



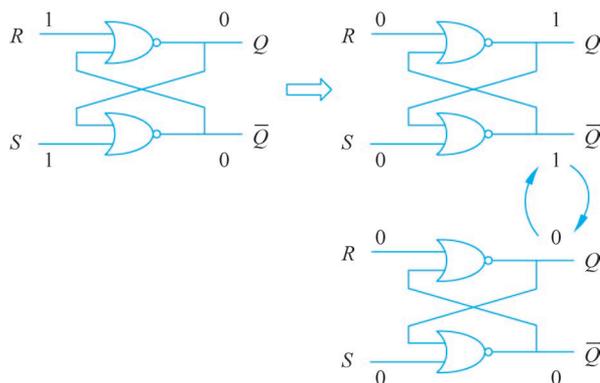
图 5-1 或非门构成的 SR 锁存器

(2) 当 $S=0, R=1$ 时, $Q=0, \bar{Q}=1$, 这种状态称为锁存器被复位为 0;

(3) 当 $S=0, R=0$ 时, Q 和 \bar{Q} 保持原来的状态不变, 原来是 1 状态就还是 1 状态, 原来是 0 状态就还是 0 状态;

(4) 当 $S=1, R=1$ 时, Q 和 \bar{Q} 都为 0。但在这种情况下, 如果下一时刻输入同时变为 0, 即 $S=0, R=0$, 因为原来的 Q 和 \bar{Q} 都为 0, Q 和 \bar{Q} 就会变为 1, 然后再反馈回或非门的输入端, 使得输出 Q 和 \bar{Q} 又变回 0。如果通过两个或非门的延时完全相等, 则这样的振荡会无限重复, 无法达到一个稳定的状态, 如图 5-2 所示。在实际电路中, 这些门的延时总是会有不同, 锁存器最终会停留在 0 稳定状态或 1 稳定状态, 但无法确定究竟是哪个稳定状态。

因此, 要使 SR 锁存器正常工作, 应避免输入 S 和 R 同时为 1, 即 SR 锁存器正常工作的约束条件为 $S \cdot R = 0$ 。


 图 5-2 S 和 R 同是 1 时引发不确定状态

5.1.2 $\bar{S}\bar{R}$ 锁存器

图 5-3(a)所示是由两个与非门构成的 $\bar{S}\bar{R}$ 锁存器, 它的功能表和逻辑符号分别如图 5-3(b)和图 5-3(c)所示。和 SR 锁存器类似, 它也有一个置位端 \bar{S} 和一个复位端 \bar{R} , 有两个输出 Q 和 \bar{Q} (或 Q')。

$\bar{S}\bar{R}$ 锁存器工作原理如下:

(1) 当 $\bar{S}=0, \bar{R}=1$ 时, $Q=1, \bar{Q}=0$, 锁存器被置位为 1;

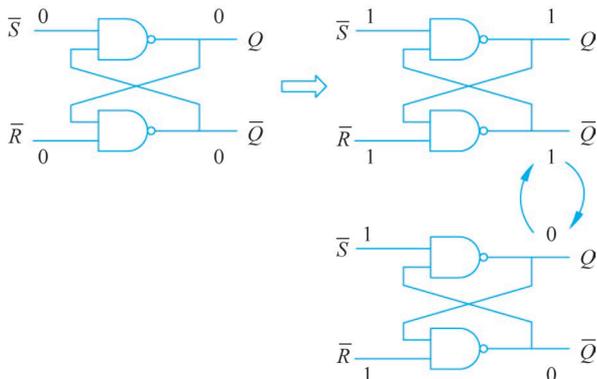
(2) 当 $\bar{S}=1, \bar{R}=0$ 时, $Q=0, \bar{Q}=1$, 锁存器被复位为 0;

(3) 当 $\bar{S}=1, \bar{R}=1$ 时, Q 和 \bar{Q} 保持原来的状态不变, 原来是 1 状态就还是 1 状态, 原来是 0 状态就还是 0 状态;

图 5-3 与非门构成的 $\bar{S}\bar{R}$ 锁存器

(4) 和或非门构成的 SR 锁存器类似,当 $\bar{S}=0, \bar{R}=0$ 时, Q 和 \bar{Q} 都被置为 1。但如果下一时刻 \bar{S} 和 \bar{R} 同时变为 1,即 $\bar{S}=1, \bar{R}=1$,因为原来 Q 和 \bar{Q} 都是 1,经与非门使得 Q 和 \bar{Q} 变为 0,再反馈回与非门的输入端,使得 Q 和 \bar{Q} 又变为 1。如果通过两个与非门的延时完全相等,则这样的振荡会无限重复,无法达到一个稳定的状态,如图 5-4 所示。和 SR 锁存器类似,由于延时总会有不同,锁存器最终会停留在某一个稳定状态,但无法确定究竟是哪个稳定状态。

因此,要使 $\bar{S}\bar{R}$ 锁存器正常工作,应避免输入 \bar{S} 和 \bar{R} 同时为 0, \bar{S} 和 \bar{R} 至少有一个为 1,即 $\bar{S}\bar{R}$ 锁存器正常工作的约束条件为 $\bar{S} + \bar{R} = 1$ 。

图 5-4 \bar{S} 和 \bar{R} 同为 0 引发不确定状态

比较上面或非门构成的 SR 锁存器和与非门构成的 $\bar{S}\bar{R}$ 锁存器,可以看出 SR 锁存器和 $\bar{S}\bar{R}$ 锁存器的输入信号互补。SR 锁存器的输入信号 S 和 R 是 1 有效, $\bar{S}\bar{R}$ 锁存器的输入信号 \bar{S} 和 \bar{R} 是 0 有效。字母上的横线表示要得到期望的状态,相应的输入信号必须为低(0)。

通过上面的分析可以看出,基本的 SR 和 $\bar{S}\bar{R}$ 锁存器可以用作存储单元。对于 SR 锁存器,当 S 和 R 同时为 0 时,锁存器可以保持它原来的状态;当输入改变时才会相应地改变状态。 $\bar{S}\bar{R}$ 锁存器的行为类似。



视频讲解

5.2 门控 SR 锁存器

基本的锁存器的输入信号直接加在或非门或与非门的输入端,只要输入信号发生改变,输出状态就会改变。如果不能确切知道或控制输入信号的变化,就无法确切知道锁存器的状态什么时刻发生了变化。因此锁存器的一个问题就是输出状态对输入很敏感,另一个问

题是输入信号必须满足约束条件,否则可能引发不定状态。

在实际应用中往往不希望锁存器的状态随输入信号的变化立即发生变化,而是希望锁存器的状态在控制信号的控制下发生变化,由控制信号来控制状态发生变化的时刻。

图 5-5 所示是一个门控的与非门构成的 SR 锁存器,它由基本的与非门构成的 $\bar{S}\bar{R}$ 锁存器和两个额外的与非门构成,输入信号 C 作为控制使能连接到两个与非门的输入。

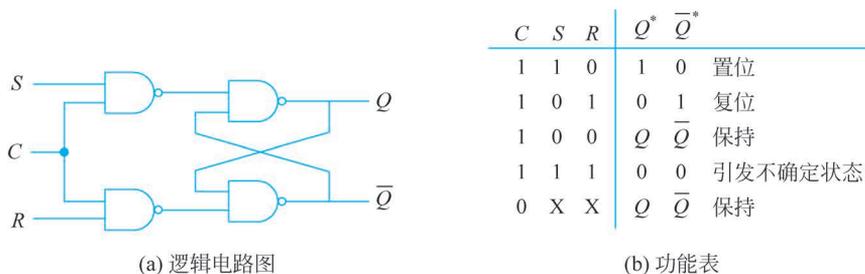


图 5-5 门控的 SR 锁存器

门控的 SR 锁存器工作原理如下：

(1) 当 C 为 0 时,两个与非门的输出被置为 1, $\bar{S}\bar{R}$ 锁存器的 \bar{S} 和 \bar{R} 都为 1,这时 $\bar{S}\bar{R}$ 锁存器的状态保持不变；

(2) 当 C 为 1 时,两个与非门打开, C 对输入信号 S 和 R 没有影响, S 和 R 才能影响到 $\bar{S}\bar{R}$ 锁存器的状态。

用控制信号 C 来控制锁存器时,控制信号有效时锁存器能够正常工作,对输入信号敏感;控制信号 C 无效时,即使输入信号变化,锁存器也不改变原来的状态。

门控 SR 锁存器解决了基本 $\bar{S}\bar{R}$ 锁存器对输入信号敏感的问题。但是当 C 为 1 时,如果输入 $S=1,R=1$,仍然可能会引发不确定状态。锁存器要正常工作,输入信号 S 和 R 必须要满足约束条件 $S \cdot R=0$ 。

5.3 D 锁存器

消除锁存器不定状态的一种方法就是确保置位信号和复位信号永远不会同时有效,D 锁存器就是按照这种方法构造的,D 锁存器的逻辑电路如图 5-6(a)所示,它的功能表和逻辑符号分别如图 5-6(b)和图 5-6(c)所示。D 锁存器只有两个输入信号,数据输入信号 D 和控制信号 C 。和图 5-5 所示的门控 SR 锁存器相比,D 锁存器的 D 信号直接加在了门控 SR 锁存器的 S 端, D' 加在了 R 端,这样门控 SR 锁存器的 S 端和 R 端的信号总是 10 或 01,不会出现 S 和 R 同时为 1 的情况,因此不会引发不确定状态。

当 $C=1$ 时,如果 $D=1$,就相当于门控 SR 锁存器的 S 端和 R 端的输入为 10,输出 $Q=1$,锁存器处于置位状态;如果 $D=0$,就相当于门控 SR 锁存器的 S 端和 R 端的输入为 01,输出 $Q=0$,锁存器处于复位状态。当 $C=0$ 时,锁存器保持原来的状态不变。

D 锁存器可以把数据输入信号 D 保存起来。当控制信号 C 有效(为 1)时,数据输入信号 D 被传送到输出端 Q , Q 值随输入信号 D 的变化而变化。当控制信号 C 无效(为 0)时, Q 保持原来的状态不变,即数据输入在 C 发生变化时(前一时刻)的信息会一直保持在输出端 Q 不变。

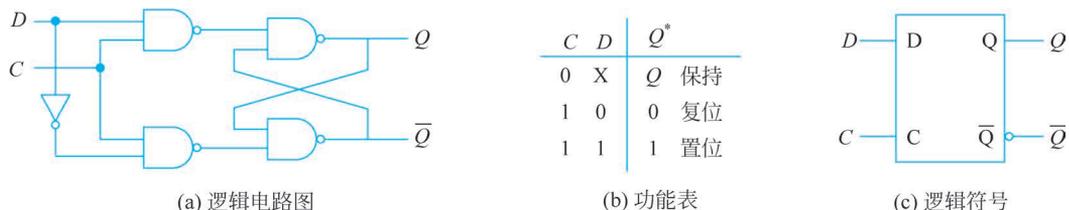


图 5-6 D 锁存器

图 5-7 所示是 D 锁存器的时序图。在 t_1 时刻之前, $C=0$, Q 的初始值为 0, 虽然这一时间段内输入数据 D 发生变化, 但输出 Q 不随 D 发生变化, 保持为 0。在 t_1 和 t_2 之间, $C=1$, $D=1$, 输出 Q 从 0 变为 1。在 t_2 和 t_3 之间, $C=0$, 虽然 D 发生变化, 从 1 变为 0, 但输出 Q 一直保持 C 变为 0 之前那一刻的值 1, 直到 t_3 时刻。在 t_3 和 t_4 之间, $C=1$, $D=0$, 输出 Q 从 1 变为 0。在 t_4 和 t_5 之间, $C=0$, 在这段时间内虽然 D 发生变化, 从 0 变为 1, 但输出 Q 一直保持 C 变为 0 之前一刻的值 0, 直到 t_5 时刻。在 t_5 和 t_6 之间, $C=1$, D 开始一段时间为 1, 然后变为 0, 输出 Q 随着 D 的变化而变化, 也是先变为 1, 然后变为 0。在 t_6 和 t_7 之间, $C=0$, 输入先是 0, 然后从 0 变为 1, 再从 1 变为 0, 但 Q 一直保持 C 变为 0 之前一刻的值 0。在 t_7 和 t_8 之间, 输入 D 从 0 变为 1, 输出 Q 随着 D 的变化而变化, 也是先为 0, 然后变为 1。在 t_8 时刻之后, C 变为 0, 输入 D 先是 1, 然后变为 0, 输出 Q 保持 C 变为 0 前一刻的值 1。

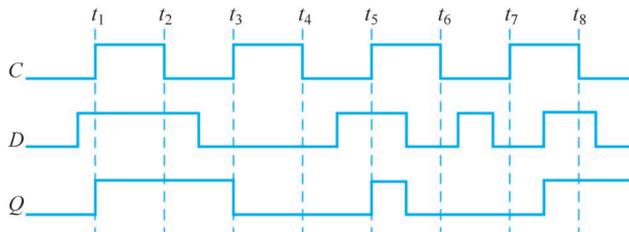


图 5-7 D 锁存器时序图

由图 5-7 可知, D 锁存器的输出 Q 由控制信号 C 的电平控制, C 为高电平时, 输出 Q 随输入 D 的变化而变化; C 为低电平时, 输出 Q 保持 C 从高变为低时的数据输入 D 的值。因此 D 锁存器被称为是电平敏感的或电平触发的。

D 锁存器的一个问题是它的透明性。从图 5-7 所示的时序图可以看出, 当控制信号为高电平时, 如果数据输入 D 发生变化, 输出就会立即做出响应, 随之改变, 进入新的状态。使用这样的锁存器作为存储元件, 当锁存器的输入受其他锁存器的输出或自身输出的控制时, 将会使得锁存器的状态不可预测。



视频讲解

5.4 主从边沿触发器

5.4.1 主从边沿 D 触发器

要消除 D 锁存器的透明性, 一种方法是在输出信号改变之前, 把输入信号和输出信号之间的通路断开, 使得新状态只取决于前面某个瞬间的状态, 从而不会发生状态多次改变的

情况。

一种常用的构造方法是把两个锁存器连接在一起,形成主从式边沿 D 触发器。主从式边沿 D 触发器的电路结构和时序图如图 5-8 所示。

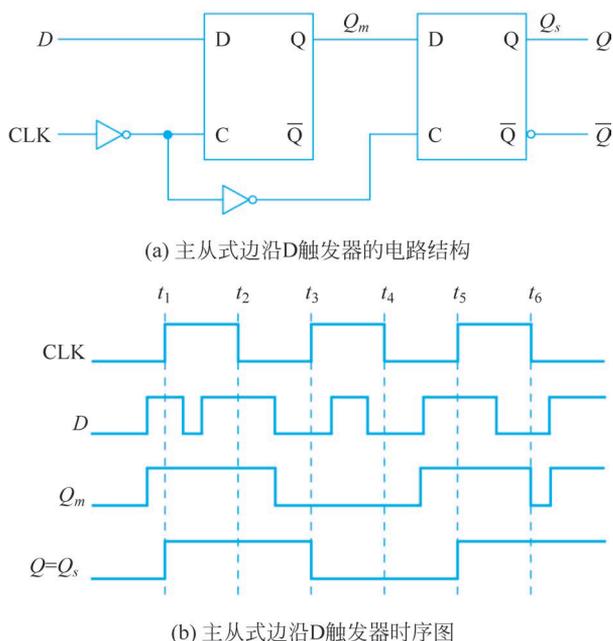


图 5-8 主从式边沿 D 触发器的电路结构和时序图

图 5-8(a)中左边的 D 锁存器称为主锁存器,右边的称为从锁存器,主从锁存器的控制输入前都加了反相器。当时钟信号 $CLK=0$ 时,主锁存器 $C=1$,主锁存器透明, Q_m 跟随输入 D 的变化而变化;从锁存器 $C=0$,锁存器关闭,状态 Q_s 不变。当时钟信号 CLK 从 0 变为 1 时,主锁存器 $C=0$,主锁存器关闭,状态 Q_m 被锁定,不再跟随输入 D 的变化而变化;从锁存器 $C=1$,锁存器打开,复制主锁存器的状态,把 Q_m 传送到 Q_s 。所复制的主锁存器的状态是在时钟脉冲从 0 到 1 这一瞬间(前一时刻)主锁存器的状态,所以看起来是一种边沿触发行为。当时钟信号 $CLK=1$ 时,主锁存器关闭不再变化,这时主锁存器和从锁存器的状态都不发生变化。当时钟信号 CLK 从 1 变为 0 时,主锁存器打开, Q_m 随输入 D 的变化而变化,但这时从锁存器关闭,因此从锁存器的状态 Q_s 保持不变。

时钟信号从 0 变到 1 的瞬间称为时钟的上升沿,从 1 变为 0 的瞬间称为时钟的下降沿。从电路的输入和输出端来看,在一个时钟周期内不管输入信号 D 发生了多少次变化,输出 Q 只会保存时钟上升沿到来时的输入信号 D ,即触发器只在时钟沿到来时改变状态,因此这个电路被称为边沿触发的 D 触发器,边沿触发的 D 触发器是目前使用最广泛的触发器。图 5-8 所示的主从式边沿 D 触发器在上升沿触发,触发器也可以在下降沿触发,即输出 Q 只保存下降沿到来时的输入信号 D ,在下降沿到来时改变状态。

图 5-9 所示是两种边沿触发的 D 触发器符号,符号中时钟信号输入端的“>”标识表示是边沿触发的,有一个小圆圈表示是下降沿,没有小圆圈则表示是上升沿。

通常一个电路中使用的所有触发器都是同一类型的,如都是上升沿触发或都是下降沿触发,这样在时钟沿到来时所有触发器的状态在同一时刻改变,使得电路的各部分同步

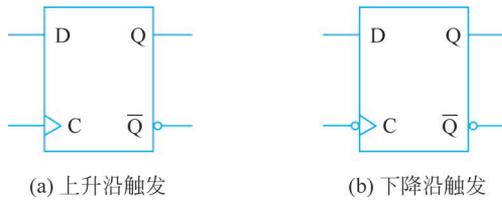


图 5-9 边沿 D 触发器符号

工作。

在同样时钟和数据驱动下,电平触发的 D 锁存器和边沿触发的 D 触发器的电路和时序如图 5-10 所示。

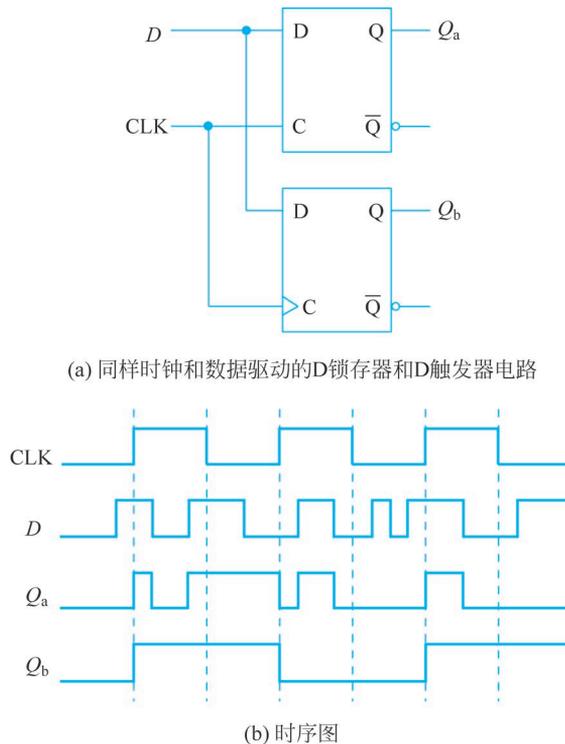


图 5-10 D 锁存器和 D 触发器时序比较

可以看出,只要时钟信号 CLK 为高电平,D 锁存器的输出 Q_a 就跟随输入 D 的变化而变化;而 D 触发器的输出 Q_b 只在时钟上升沿到来时保存输入 D 的值,直到下一个时钟上升沿才会改变状态。即 D 触发器能够保存时钟上升沿时刻的数据输入 D 的值,且能够保存一个时钟周期。

5.4.2 带异步复位和置位的 D 触发器

D 触发器通常用来保存电路的状态和数据,在很多情况下需要能够强制触发器的输出为 0(清零)或为 1(置位)。要给 D 触发器增加清零和置位功能,一个简单方法是在构成触发器的锁存器交叉耦合的两个与非门上分别加一个输入 \overline{RST} (复位)和 \overline{SET} (置位),如图 5-11 所示。 \overline{RST} 为 1 时,对与非门的输出没有影响; \overline{RST} 为 0 时,就会强制 D 触发器的输出 Q 为

0。SET 为 1 时,对与非门的输出没有影响; SET 为 0 时,则会强制 D 触发器的输出 Q 为 1。需要注意的是, \overline{RST} 和 \overline{SET} 不能同时有效。

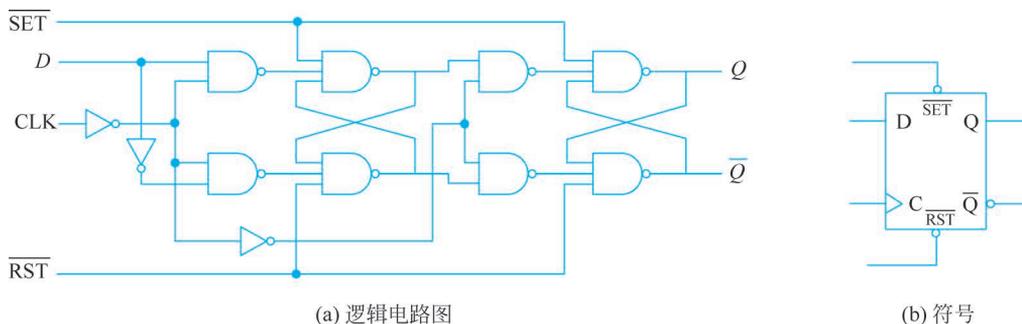


图 5-11 带异步复位和置位的 D 触发器

在这种电路中,只要 \overline{RST} 或 \overline{SET} 有效,不管时钟信号是怎样的,输出 Q 立即被复位为 0 或被置位为 1,这种复位和置位信号被称为异步复位和异步置位信号。

另一种情况是当时钟沿到来时,复位或置位信号有效才能使输出 Q 复位或置位,这种复位和置位信号被称为同步复位和同步置位信号。

5.5 寄存器

从上文对触发器的分析可以知道,一个触发器可以存储 1 位信息。如果用一组 n 个触发器就可以保存 n 位数据,这就是最基本的寄存器。

图 5-12(a)所示是一个由 4 个 D 触发器组成的 4 位寄存器。4 个触发器共用一个时钟信号,所有的触发器在时钟上升沿到来时保存各自输入端 D 的数据到触发器的 Q 端。4 个触发器的复位端也共用一个清零 \overline{CLR} 信号,当 \overline{CLR} 信号有效时,寄存器清零。在实际电路中,是否提供清零功能由系统需求决定。寄存器的符号如图 5-12(b)所示。

同步电路由一个时钟来驱动,这个时钟连接到所有的寄存器和触发器,像心脏跳动一样为所有的电路提供稳定的时钟脉冲,使得电路各个部分以时钟脉冲为基准来实现同步。

数据存入寄存器称为寄存器的加载 (loading) 操作,当时钟沿到来时把数据加载进寄存器。在数字系统中,很多时候希望能够控制寄存器数据的加载,在控制信号有效时数据能够加载入寄存器,控制信号无效时保持寄存器保存的内容不变。实现寄存器加载控制的一种方法是屏蔽时钟信号,只需要把加载控制信号 load 和时钟信号 Clock 做一个逻辑运算就可以。例如使寄存器时钟输入 $C = \text{Clock} \cdot \text{load}$,当 load 为 1 时,寄存器的时钟输入 C 就是 Clock; 当 load 为 0 时,C 就为 0,即寄存器的时钟输入被屏蔽,不会有时钟沿,因此寄存器的状态(保存的内容)不会发生变化。

这种方法在时钟路径上插入了额外的逻辑门,会使有门控的时钟信号和没有门控的时钟信号的延时不同,使得时钟信号到达不同触发器的时间不同,产生时钟扭曲 (clock skew)。真正的同步系统必须保证时钟信号能够同时到达所有的触发器,时钟沿到来时所有的触发器同时改变状态。因此通常不使用这种门控时钟的方法来控制寄存器的数据加载。



视频讲解

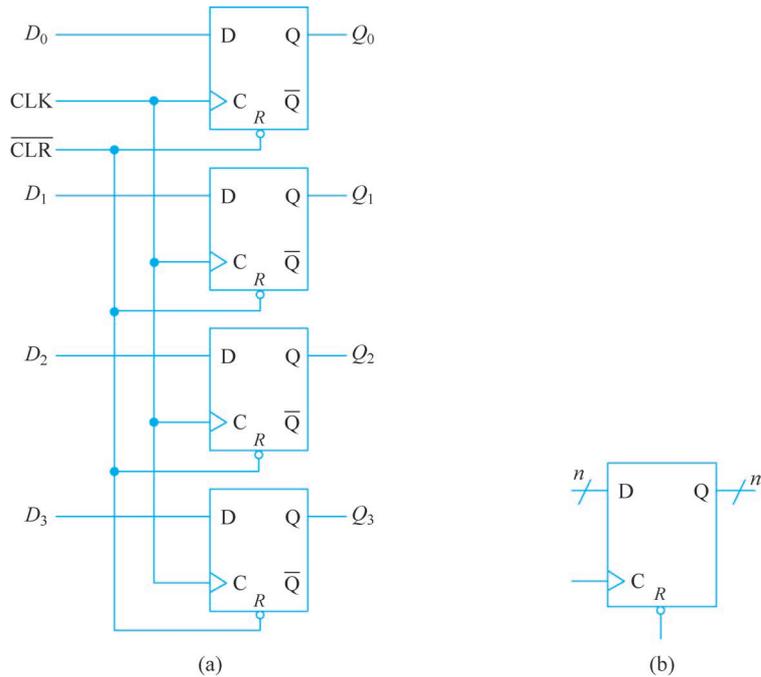


图 5-12 4 位寄存器

控制寄存器数据加载的另一种方法是采用同步使能的方式。图 5-13(a)所示是带使能 EN 的 D 触发器逻辑电路图,由基本 D 触发器和一个 MUX2-1 选择器组成,当 EN=1 时,在时钟沿到来时选择数据输入 D 加载到触发器;当 EN=0 时,在时钟沿到来时选择输出信号 Q 反馈加载到触发器,就可以使输出保持不变。带使能端 EN 的 D 触发器符号如图 5-13(b)所示。

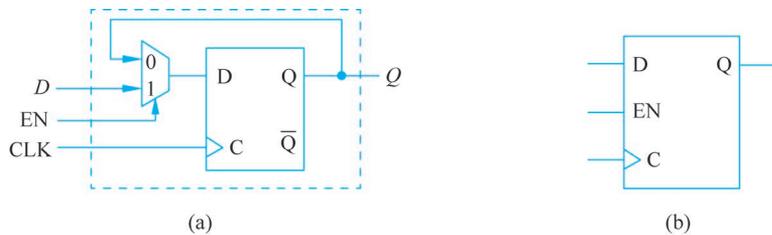


图 5-13 带使能的 D 触发器

图 5-14(a)所示是一个由 4 个带使能的 D 触发器构成的带加载控制的 4 位寄存器逻辑电路图。所有的触发器共用一个时钟,所有触发器的 EN 端和 load 相连接,带使能的寄存器符号如图 5-14(b)所示。

当 load=1 时,4 位输入数据在时钟沿到来时加载到寄存器中;当 load=0 时,寄存器中的数据在时钟沿到来时保持不变。load 信号决定了在时钟沿到来时是接收外部输入数据还是触发器的输出反馈来的数据,所有的触发器都在同一时钟沿到来时实现数据从输入到寄存器输出的传输。这种方法避免了时钟扭曲和电路中的潜在错误,优于门控时钟的方法,因此在实际中得到了广泛的应用。

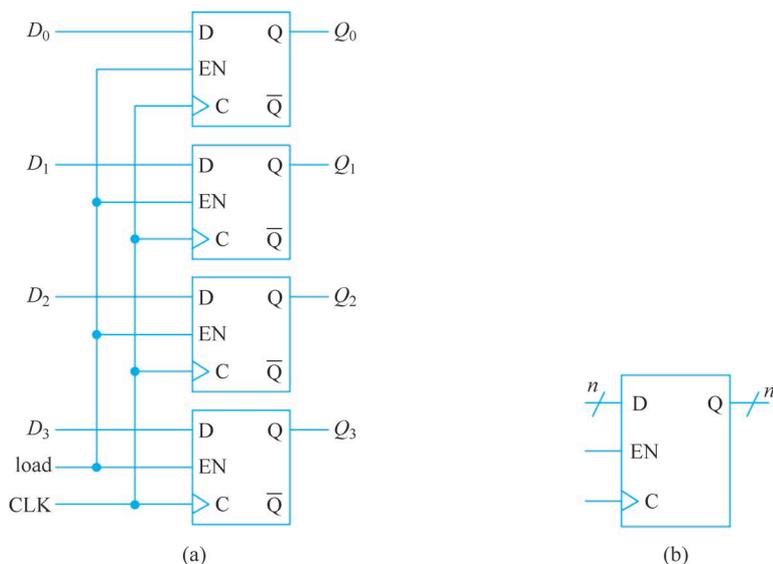


图 5-14 带加载控制的 4 位寄存器

5.6 移位寄存器

5.6.1 基本移位寄存器

具有单向或双向移位存储数据功能的寄存器称为移位寄存器。移位寄存器由多个 D 触发器构成,每个 D 触发器的输出连接下一个 D 触发器的输入,所有的 D 触发器使用同一个时钟来触发移位操作。

图 5-15 所示是由 D 触发器构成的基本的 4 位移位寄存器,每个触发器的输出 Q 都直接连接到下一个触发器的输入 D,串行输入 SI 连接到最左端触发器的输入 D 上,串行输出 SO 从最右端触发器的输出端 Q 引出。

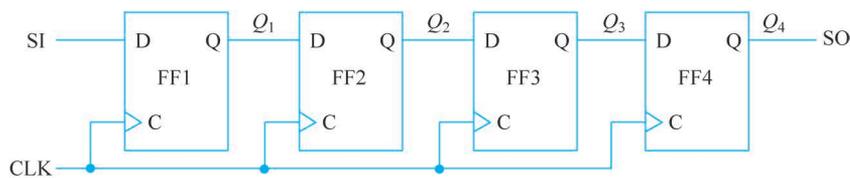


图 5-15 4 位移位寄存器

4 位移位寄存器的时序图如图 5-16 所示。

假设触发器的初始状态均为 0,数据以串行的方式输入到移位寄存器的输入 SI,前一个触发器中保存的数据是下一个触发器的输入。当时钟沿到来时,前一个触发器保存的数据就传送到下一个触发器。可以看出,数据每经过一个触发器向后延时一个时钟周期,串行输入数据 SI 经过 4 个时钟周期传送到输出 SO。

5.6.2 具有并行访问功能的移位寄存器

在数字系统中传送 n 位数据可以用 n 条线一次传送过去,这种方式称为并行传送。



视频讲解



视频讲解

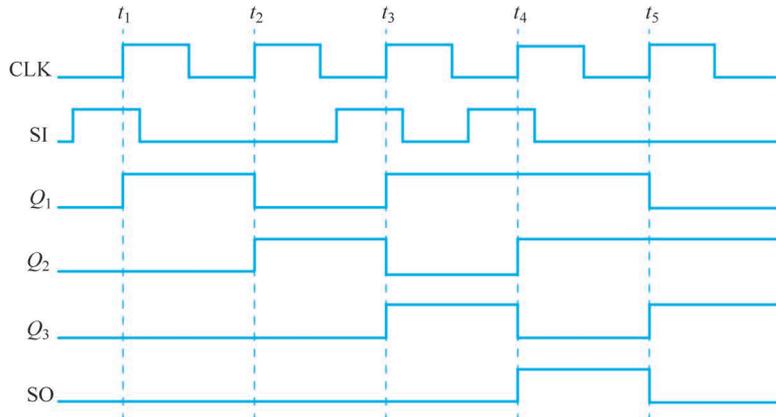


图 5-16 4 位移位寄存器的时序图

n 位数据也可以用一条线传送,一次传送 1 位,这种方式称为串行传送。串行传送时,可以把 n 位数据并行加载到移位寄存器中,然后在 n 个时钟周期逐位移出,从而实现串行传送,这个过程称为并一串转换。同样,在数字系统中也需要把串行数据转换为并行数据,这也可以用移位寄存器实现。用 n 个时钟周期把 n 位数据移入移位寄存器中,然后把 n 个寄存器中的数据并行输出,这个过程称为串一并转换。

例如设计一个具有并行访问功能的 4 位移位寄存器,输入为时钟信号 CLK、模式控制信号 $\overline{\text{shift/load}}$ 、串行输入数据 SI、并行输入数据 $D_4D_3D_2D_1$,输出为串行输出 SO、并行触发器输出 $Q_4Q_3Q_2Q_1$,它的功能表如表 5-1 所示。

表 5-1 具有并行访问功能的 4 位移位寄存器功能表

控制信号 $\overline{\text{shift/load}}$	工作模式	触发器输出			
		Q_1^*	Q_2^*	Q_3^*	Q_4^*
0	向右移位	SI	Q_1	Q_2	Q_3
1	并行加载	D_1	D_2	D_3	D_4

图 5-17 所示是具有并行访问功能的 4 位移位寄存器的逻辑电路图。和基本移位寄存器不同,移位寄存器每个触发器的输入都有两个不同的数据源,一个是前一个触发器的输出,另一个是并行加载的外部输入。控制信号 $\overline{\text{shift/load}}$ 控制工作模式,控制二选一选择器选择送给触发器的输入信号,当 $\overline{\text{shift/load}}=0$ 时,各触发器的输入选择前一个触发器的输出和外部串行输入,当时钟沿到来时,进行移位操作;当 $\overline{\text{shift/load}}=1$ 时,各触发器的输入选择并行的输入数据,时钟沿到来时,并行输入的数据加载入各触发器。各触发器保存的数据 $Q_4Q_3Q_2Q_1$ 也可以并行输出。

5.6.3 双向移位寄存器

移位寄存器也可以双向移位。例如设计一个 4 位双向移位寄存器,用模式控制信号 S_1S_0 控制移位寄存器的工作模式,向右的串行输入为 SR,向左的串行输入为 SL,并行输入数据为 $D_4D_3D_2D_1$ 。表 5-2 所示是 4 位双向移位寄存器的功能表。

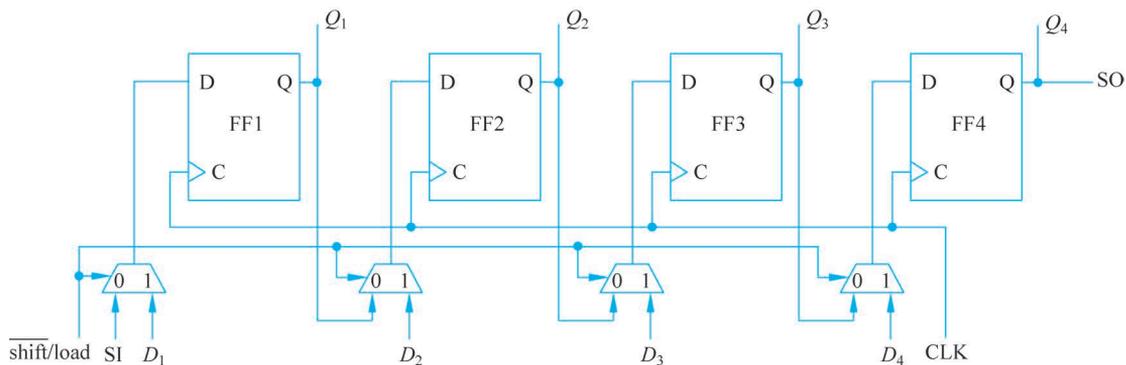


图 5-17 具有并行访问功能的 4 位移位寄存器逻辑电路图

表 5-2 4 位双向移位寄存器功能表

控制信号		工作模式	触发器输出			
S_1	S_0		Q_1^*	Q_2^*	Q_3^*	Q_4^*
0	0	保持不变	Q_1	Q_2	Q_3	Q_4
0	1	向右移动	SR	Q_1	Q_2	Q_3
1	0	向左移动	Q_2	Q_3	Q_4	SL
1	1	并行加载	D_1	D_2	D_3	D_4

在基本 4 位移位寄存器每个触发器的输入端前加入多路选择器,用模式控制信号 S_1S_0 控制触发器输入的信号,就可以控制移位寄存器的工作模式,4 位双向移位寄存器的逻辑电路图如图 5-18 所示。对于每个 D 触发器,模式控制信号 S_1S_0 控制从多路选择器的输入中选择一个作为 D 触发器的输入。当 $S_1S_0=00$ 时,多路选择器选择加在 00 端的输入,把 D 触发器的输出反馈回来作为 D 触发器的输入,当时钟沿到来时,触发器加载当前保存的值,寄存器的状态保持不变;当 $S_1S_0=01$ 时,多路选择器选择加在 01 端的输入,其中触发器 FF1 把向右串行输入 SR 作为输入,触发器 FF2 把触发器 FF1 的输出 Q_1 作为输入,触发器 FF3 把触发器 FF2 的输出 Q_2 作为输入,触发器 FF4 把触发器 FF3 的输出 Q_3 作为输入,在

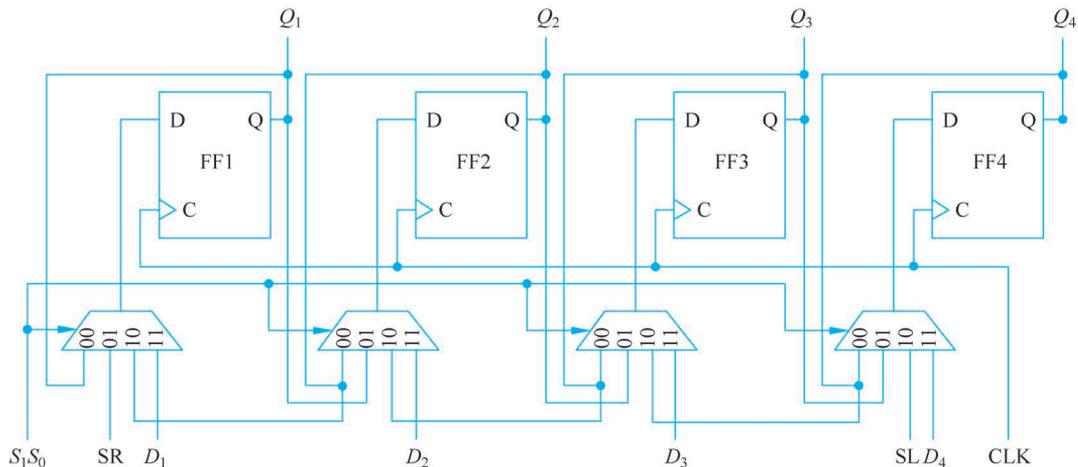


图 5-18 4 位双向移位寄存器逻辑电路图

时钟沿到来时,形成从 Q_1 到 Q_4 的向右移位;类似地,当 $S_1S_0=10$ 时,多路选择器选择在 10 端的输入,触发器 FF4 把向左串行输入 SL 作为输入,形成从 Q_4 到 Q_1 的向左移位;当 $S_1S_0=11$ 时,多路选择器选择 11 端的输入,把并行输入的数据 $D_4D_3D_2D_1$ 作为各触发器的输入,当时钟沿到来时,数据并行加载到各触发器。

习题

5-1 $\bar{S}\bar{R}$ 锁存器如图 5-19(a)所示,输入信号 \bar{S} 和 \bar{R} 的波形如图题 5-19(b)所示,试画出输出 Q 的波形(Q 的初始状态为 1)。

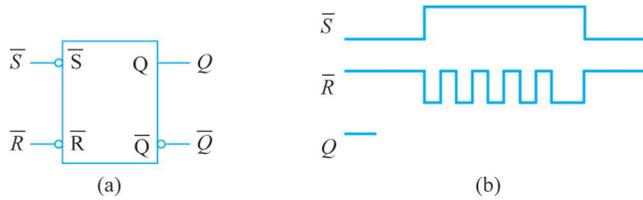


图 5-19 题 5-1 图

5-2 D 锁存器(D-LATCH)和 D 触发器(DFF)电路如图 5-20(a)所示,时钟信号 CLK 和数据输入信号 D 的波形如图 5-20(b)所示,假设 D 锁存器和 D 触发器的初始状态都为 0,试画出 D 锁存器的输出 Q_1 和 D 触发器的输出 Q_2 的波形。

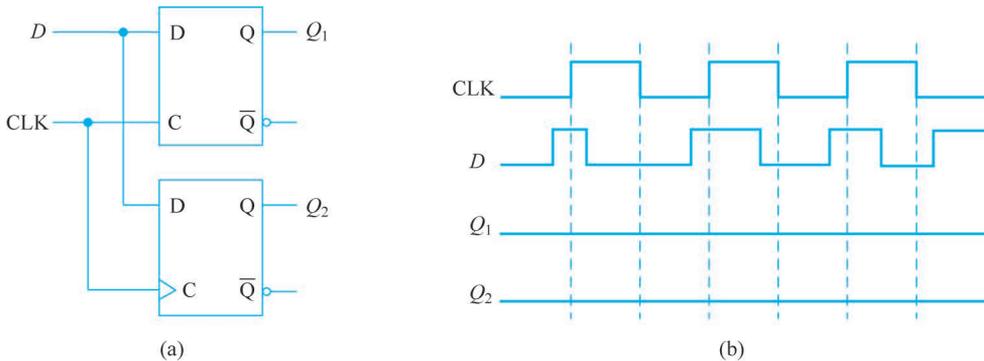


图 5-20 题 5-2 图

5-3 DFF 构成的移位寄存器如图 5-21(a)所示,时钟 CLK 和输入信号 D 的波形如图 5-21(b)所示,试画出 Q_0 、 Q_1 、 Q_2 、 Q_3 的波形。

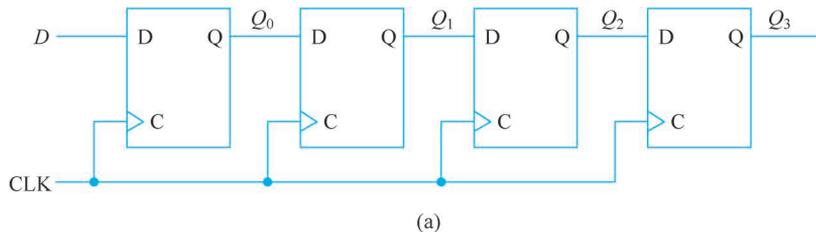


图 5-21 题 5-3 图

