

第1章

数字电子学导论



1.1 预览

在一个数字系统中,信息只用离散或量化的形式表示。通常,只使用两种离散状态,分别记为逻辑 0 和逻辑 1。适用于二进制系统的代数由乔治·布尔(George Boole, 1815—1864)发明,称为布尔代数。本教材不直接使用布尔代数,然而对布尔代数有所了解将有助于数字集成电路的分析和设计。本章将直接讲述基本的布尔运算和与之相关的逻辑门。

1.2 逻辑函数和逻辑门

三种基本的逻辑或布尔运算为“非”“与”“或”。这些运算可以用真值表描述。

“非”函数的真值表和逻辑门符号如图 1.1(a)所示。输出变量上方的横线表示“非”函数,或者反函数。由于一个变量只允许有两种状态,如果 $A=0$,则 $\bar{A}=1$ 。逻辑门输出端的小圆圈表示逻辑反。如图所示,这个逻辑门也称为反相器。

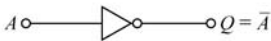
图 1.1(b)给出“与”函数的真值表、逻辑门符号及逻辑式。只有当两个输入都为逻辑 1 时,才产生逻辑 1 输出;否则,输出为逻辑 0。

“或”运算的真值表、逻辑门符号和逻辑式如图 1.1(c)所示。此时,如果 $A=1$ 或者 $B=1$,或者两个输入都为逻辑 1,就产生逻辑 1 输出。

另外两种经常使用的逻辑函数为“与非”和“或非”。“与非”是“与”运算的反,“或非”是“或”运算的反。这些函数的真值表和逻辑门符号如图 1.2 所示。同样,每个逻辑门输出端的小圆圈表示逻辑反。

最后,还有两种在数字设计中很有用的逻辑函数,分别是“异或”和“同或”。虽然这些逻辑函数可以由基本函数组合得到,但它们也有自己的逻辑门符号。这些运算的真值表、逻辑门符号和逻辑式如图 1.3 所示。在“异或”运算中,当 $A=1$ 或者 $B=1$,但并非两者都为逻辑 1 时,输出为逻辑 1。“同或”是“异或”函数的反。

A	Q
0	1
1	0



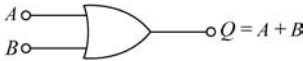
(a) “非” 函数

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1



(b) “与” 函数

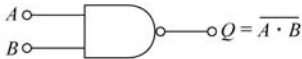
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1



(c) “或” 函数

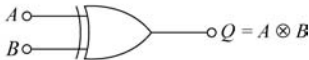
图 1.1 真值表、逻辑门符号和逻辑式

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0



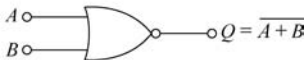
(a) “与非” 函数

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0



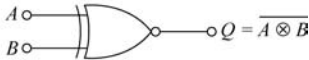
(a) “异或” 函数

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0



(b) “或非” 函数

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1



(b) “同或” 函数

图 1.2 真值表、逻辑门符号和逻辑式

图 1.3 真值表、逻辑门符号和逻辑式

接下来,介绍具有两个输入变量的基本逻辑函数和逻辑门,虽然多于两个变量也是可能的。实际上由于晶体管尺寸和输入电容效应,输入变量的个数一般限制为最多 4 个。

1.3 逻辑电平

数字电路中的逻辑 0 和逻辑 1 状态用两个不同的电压值表示。本教材使用正逻辑,也即用更正的电压表示逻辑 1 状态,用更负的电压表示逻辑 0 状态。实际的电压可正可负,图 1.4 给出表示正逻辑的 3 种可能的输出电压组合。虽然也存在如图 1.4(c)所示的例子,图 1.4(a)所示的情况最为常见。在某些情况下,图 1.4(a)所示的逻辑 0 电平可能实际上为 0V。

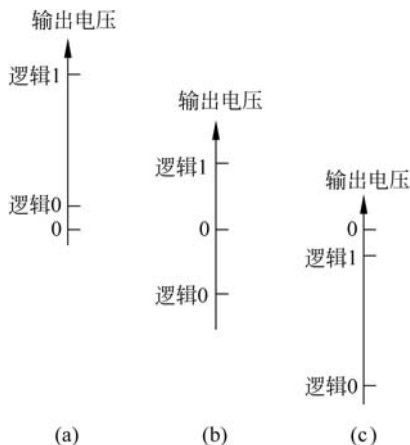


图 1.4 表示正逻辑的三种可能的输出电压组合

1.4 噪声容限

在一个理想的数字系统中,逻辑 1 用明确定义的电压 V_{OH} 表示,逻辑 0 用明确定义的电压 V_{OL} 表示。而在实际数字系统中,由于各种各样的因素,包括温度变化、电路制作误差、负载效应和噪声等,表示这两种逻辑状态的电压值可能会变化。

在数字电路输入端,用一个电压范围表示两个二值状态中的每一个,如图 1.5 所示。为了不产生逻辑误差,必须对数字系统中传输的电平值进行重建。电压 V_{IH} 是可以被识别为逻辑 1 的最低输入电压,而 V_{IL} 是可以被识别为逻辑 0 的最高输入电压。这些输入电压产生的输出电压范围如图 1.5 所示。在一个反相器电路中,输入 V_{IL} 产生输出 V_{OHU} ,输入 V_{IH} 产生输出 V_{OLU} 。于是,噪声容限的定义如图 1.5 所示。接下来,将在具体电路的分析中更详细地讨论噪声容限。

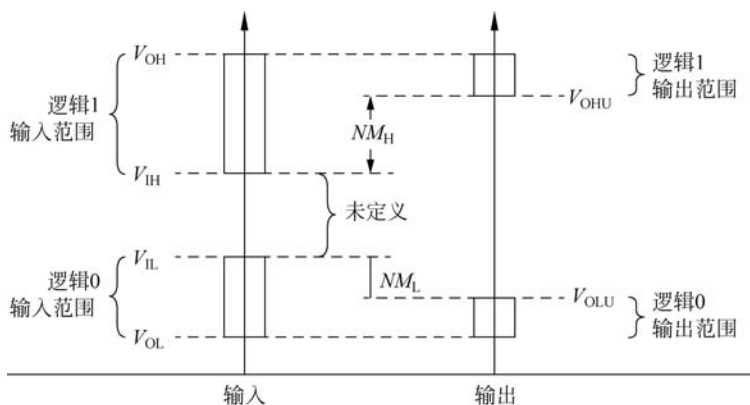


图 1.5 表示逻辑 1 和逻辑 0 的电压范围以及噪声容限的定义

1.5 传输延迟时间和开关时间

逻辑门的开关特性一般用其传输延迟时间描述。数字电路延迟时间的标准定义如图 1.6 所示。从输入到输出的传输延迟时间定义为输入和输出脉冲波形 50% 的点之间的时间差,记为 τ_{PHL} 和 τ_{PLH} 。

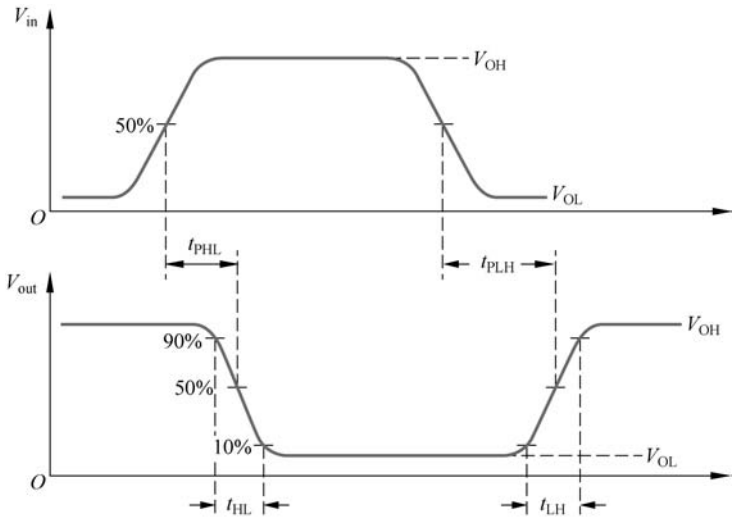


图 1.6 数字延迟时间和传输延迟时间的标准定义

此外,逻辑门输出由“高”到“低”和由“低”到“高”的转换时间,定义为输出波形 10% 和 90% 的点之间的时间差,记为 τ_{HL} 和 τ_{LH} 。

1.6 小结

本书的具体数字逻辑电路将使用这些概念,计算机逻辑设计课程的读者应该已经熟悉所有这些概念。

第2章

MOSFET数字电路



本章介绍数字系统设计中常用的 MOSFET 数字集成电路的基本概念。由于 CMOS 电路体积小、功耗低,使得逻辑和存储电路的集成度可以更高。JEFT 逻辑电路是非常专用的电路,在此不作介绍。

NMOS 逻辑电路的讨论将作为数字系统分析和设计的导论。尽管这项技术年代久远,由于只涉及晶体管的一种类型(N 沟道),与同一电路中设计两种类型的晶体管相比,它的分析更为直截了当。这部分讨论也将作为 CMOS 技术优越性的基础。

本章首先分析基本的数字逻辑电路,例如或非门和与非门;其次讨论其他逻辑电路,例如触发器、移位寄存器和加法器;最后讨论存储器、A/D 和 D/A 转换器。

预览

在本章,将:

- 分析和设计 NMOS 反相器。
- 分析和设计 NMOS 逻辑门电路。
- 分析和设计 CMOS 反相器。
- 分析和设计静态 CMOS 逻辑门电路。
- 分析和设计时钟控制的 CMOS 逻辑门电路。
- 分析并理解 NMOS 和 CMOS 门电路的传输特性。
- 分析并理解移位寄存器的特性和各种触发器的设计。
- 讨论半导体存储器。
- 分析和设计随机存储器(RAM)单元。
- 分析只读寄存器(ROM)。
- 讨论 A/D 和 D/A 转换器的基本概念。
- 作为一个应用,设计一个静态 CMOS 逻辑门电路,实现指定的逻辑函数。

图 2.1

在一个集成电路中,所有 N 沟道晶体管都在同一个 P 型衬底材料上制作。衬底连接到电路的最低电位,在数字电路中通常为地,即 0V。然而,很多 MOS 晶体管的源极电位并不为 0V,这意味着源极和衬底之间存在一个反向偏置 PN 结。当源极和衬底电位不相等时,晶体管的开启电压就为源极-衬底间电压的函数。在确定数字电路的逻辑电平时,必须考虑这个基体效应。

1. 伏安特性

N 沟道 MOSFET 的伏安特性是其电气和几何特性的函数。若晶体管偏置在非饱和区,当 $v_{GS} > V_{TN}$ 且 $v_{DS} \leq (v_{GS} - V_{TN})$ 时,可以写出

$$i_D = K_n [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2] \quad (2.1a)$$

在饱和区,当 $v_{GS} \geq V_{TN}$ 且 $v_{DS} \geq (v_{GS} - V_{TN})$ 时,有

$$i_D = K_n (v_{GS} - V_{TN})^2 \quad (2.1b)$$

转移点分割非饱和区和饱和区,它是漏-源间饱和电压,表示为

$$v_{DS} = v_{DS}(\text{sat}) = v_{GS} - V_{TN} \quad (2.2)$$

式(2.1b)中有时包含 $(1 + \lambda v_{DS})$ 项,它考虑沟道长度调制和有限输出电阻。通常情况下,它对 MOS 数字电路的工作特性影响不大。除非特别声明,在分析中一般都假设 λ 为零。

参数 K_n 为 NMOS 晶体管的传导参数,由下式给出

$$K_n = \left(\frac{1}{2} \mu_n C_{ox} \right) \left(\frac{W}{L} \right) = \frac{k'_n W}{2 L} \quad (2.3)$$

在特定集成电路中,一般假设所有器件的电子迁移率 μ_n 和氧化层电容 C_{ox} 为常数。

伏安特性与沟道的宽长比即管子的几何尺寸直接相关。一般来说,在给定的 IC 中,沟道长度 L 固定,设计者可以控制沟道的宽度 W 。

由于 MOS 晶体管是多子器件,MOS 数字电路的开关速度受极间电容和对地引线之间电容充放电时间的限制。图 2.2 给出 MOSFET 中的主要电容。电容 C_{sb} 和 C_{db} 分别为源极-衬底和漏极-衬底间的结电容。总栅极输入电容的一阶近似为常数

$$C_g = WLC_{ox} = WL \left(\frac{\epsilon_{ox}}{t_{ox}} \right) \quad (2.4)$$

其中 C_{ox} 是单位面积的氧化物电容,它是氧化物厚度的函数。 C_{ox} 也出现在传导参数的表达式中。

2. 小尺寸效应

式(2.1a)、(2.1b)和式(2.2)给出的伏安特性是适用于“长”沟道器件的一阶近似等式。器件设计的趋势是使其尽可能的小,也就是说沟道长度会比 $1\mu\text{m}$ 更短,沟道宽度也会相应地减小。随着沟道长度的减小,会从几个方面改变 MOS 晶体管的伏安特性。首先,开启电压成为器件几何尺寸的函数,与沟道长度相关,设计器件时必须考虑这一影响因素。第二,载流子速度饱和使得饱和模式的电流比式(2.1b)中所给出的要小,这个电流不再是栅-源间电压的二次函数,而是电压的线性关

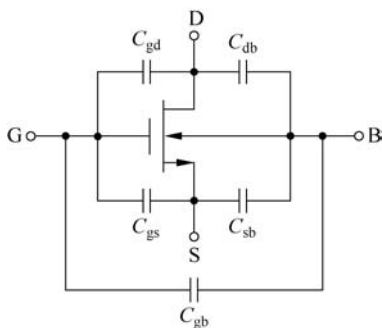


图 2.2 N 沟道 MOSFET 和器件的电容

系。沟道长度调制意味着电流比理想方程所给出的要大。第三,由于电子迁移率是栅极电压的函数,当栅-源间电压增加时,电流将比预计值小。所有这些效应都将使分析变得复杂。

不过,仍然可以用一次方程求解 MOSFET 逻辑电路的基本特性。将在逻辑电路的设计中使用这些一次方程。通过引入合适的器件模型,还可以借助计算机仿真确定小器件尺寸的影响。

2.1.2 NMOS 反相器的传输特性

由于反相器是大多数逻辑电路的基础,本节将介绍 NMOS 反相器,并建立三种带不同负载的反相器的直流传输特性。这些讨论将涉及电压传输函数,并定义逻辑电平的最大值和最小值。

1. 带电阻负载的 NMOS 反相器

图 2.3(a)所示为由单个 NMOS 晶体管和一个电阻组成的反相器。晶体管的特性和负载线如图 2.3(b)所示,同时给出分割饱和区和非饱和区的曲线。下面通过研究晶体管偏置在哪个区域,确定反相器的电压传输特性。

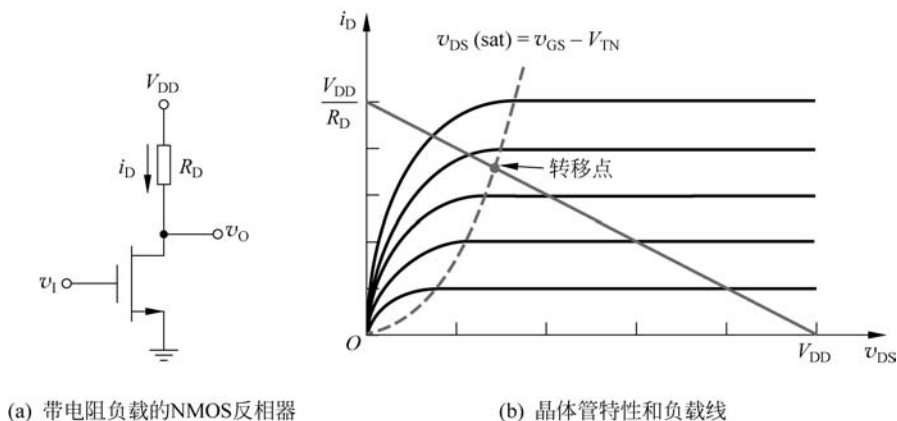


图 2.3

当输入电压小于或等于开启电压,即 $v_I \leq V_{TN}$ 时,晶体管截止, $i_D = 0$, 输出电压 $v_O = V_{DD}$ 。这个最大输出电压定义为逻辑 1。当输入电压刚好大于 v_{TN} 时,晶体管导通,偏置在饱和区,输出电压为

$$v_O = V_{DD} - i_D R_D \quad (2.5)$$

其中漏极电流为

$$i_D = K_n (v_{GS} - V_{TN})^2 = K_n (v_I - V_{TN})^2 \quad (2.6)$$

联合求解式(2.5)和式(2.6)可得

$$v_O = V_{DD} - K_n R_D (v_I - V_{TN})^2 \quad (2.7)$$

当晶体管偏置在饱和区时,该式给出输入和输出的关系。

当输入电压增大时, Q 点将沿负载线上升。在转移点处

$$V_{Ot} = V_{It} - V_{TN} \quad (2.8)$$

其中 V_{Ot} 和 V_{It} 分别为转移点的漏-源和栅-源间电压。将式(2.8)代入式(2.7),可以求得转

移点输入电压为

$$K_n R_D (V_{It} - V_{TN})^2 + (V_{It} - V_{TN}) - V_{DD} = 0 \quad (2.9)$$

当输入电压大于 V_{It} 时, Q 点继续沿负载线上升, 晶体管将偏置在非饱和区, 此时漏极电流为

$$i_D = K_n [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2] = K_n [2(v_I - v_{TN})v_O - v_O^2] \quad (2.10)$$

联合求解式(2.5)和式(2.10), 可得

$$v_O = V_{DD} - K_n R_D [2(v_I - V_{TN})v_O - v_O^2] \quad (2.11)$$

当晶体管偏置在非饱和区时, 该式给出输入和输出的关系。

图 2.4 给出这个反相器在三个不同阻值下的电压传输特性。图中同时给出与式(2.8)相对应的曲线, 它对晶体管的饱和和非饱和偏置区进行分割。由图可见, 当负载电阻增加时, 与输入高电平对应的输出电压的最小值(即逻辑 0)减小, 而高输入和低输入之间的转折区的陡峭程度变大。

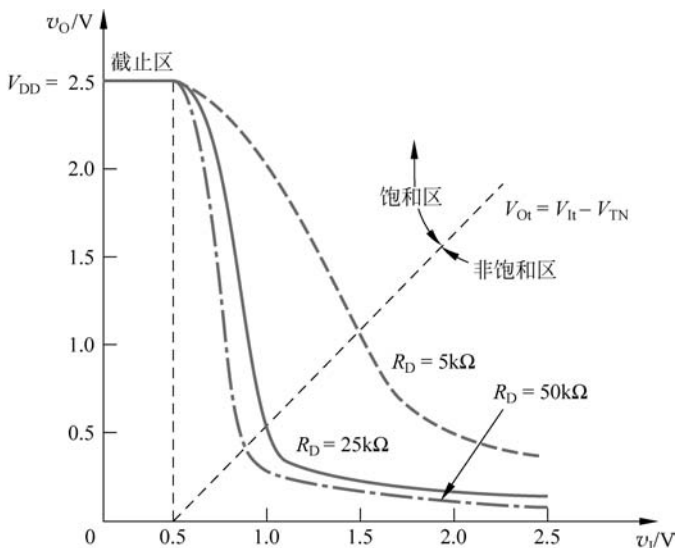


图 2.4 电阻负载 NMOS 反相器的电压传输特性, 使用例题 2.1 中的参数和三个不同阻值

需要注意, 在集成电路中很难制作大电阻。反相器中使用大阻值的电阻, 不仅可以限制输出电流和功耗, 还可使输出低电平的电压值 V_{OL} 变得更小。然而, 在标准 MOS 制作工艺中, 它也需要更大的芯片面积。为了避免这个问题, 可以使用 MOS 晶体管代替电阻作为负载器件, 后续章节将进行讨论。

例题 2.1 求解电阻负载 NMOS 反相器的转移点、最小输出电压、最大漏极电流和最大功耗。图 2.3(a) 所示电路的参数为 $V_{DD} = 2.5\text{V}$, $R_D = 20\text{k}\Omega$ 。晶体管参数为 $V_{TN} = 0.5\text{V}$, $K_n = 0.3\text{mA/V}^2$ 。

解: 由式(2.9)可以求得转移点的输入电压

$$(0.3)(25)(V_{It} - 0.5)^2 + (V_{It} - 0.5) - 2.5 = 0$$

求得

$$V_{It} - 0.5 = 0.515\text{V} \quad \text{即} \quad V_{It} = 1.015\text{V}$$

转移点的输出电压为

$$V_{Ot} = V_{It} - V_{TN} = 1.015 - 0.5 = 0.515V$$

当输入为高电平, $v_1 = 2.5V$ 时, 由式(2.11)可以求得输出电压

$$v_O = 2.5 - (0.3(25)[2(2.5 - 0.5)v_O - v_O^2]$$

求得输出低电平为

$$v_O = v_{OL} = 82.3mV$$

反相器的最大漏极电流出现在 $v_O = V_{OL}$ 处, 其值为

$$i_{D,max} = \frac{2.5 - 0.0823}{25} = 96.7\mu A$$

反相器的最大功耗为

$$P_{D,max} = i_{D,max} \cdot V_{DD} = 0.0967 \times 2.5 = 0.242mW$$

点评: 输出低电平 V_{OL} 的值小于开启电压 V_{TN} , 因此, 当反相器的输出用于驱动另一个类似的反相器时, 负载反相器的驱动晶体管将截止, 输出为高电平, 这正是所期望的状态。将对三种基本 NMOS 反相器的最大漏极电流和最大功耗进行比较。

练习题 2.1 图 2.3(a) 所示电路中, 偏置电压 $V_{DD} = 3V$, 假设晶体管参数为 $k'_n = 100\mu A/V^2$, $W/L = 4$, $V_{TN} = 0.5V$ 。①当 $v_1 = 3V$ 时, 求解使 $v_O = 0.1V$ 时的 R_D 值。②利用①中结果, 求解反相器的最大漏极电流和最大功耗。③利用①中结果, 求解驱动晶体管的转移点。

答案: ① $R_D = 29.6k\Omega$; ② $i_{D,max} = 0.098mA$, $P_{D,max} = 0.294mW$; ③ $V_{It} = 1.132V$, $V_{Ot} = 0.632V$ 。

将 N 沟道增强型 MOSFET 的栅极连接到漏极, 可以用作 NMOS 反相器的负载器件。可以发现, 当 $v_{GS} = v_{DS} \geq V_{TN}$ 时, 晶体管始终工作在饱和区, 漏极电流为

$$i_D = K_n (v_{GS} - V_{TN})^2 = K_n (v_{DS} - V_{TN})^2 \quad (2.12)$$

继续忽略输出电阻和 λ 参数的影响。

图 2.5(a) 所示为带增强型负载器件的 NMOS 反相器。驱动晶体管的参数表示为 V_{TND} 和 K_D , 负载晶体管参数表示为 V_{TNL} 和 K_L 。衬底的连接未在图中给出。后面分析中将忽略衬底的基体效应, 并假设所有开启电压均为常数。这些假设对基本分析和反相器的特性均无太大影响。

图 2.5(b) 给出驱动晶体管的特性和负载曲线。当反相器的输入电压低于驱动晶体管的开启电压时, 驱动晶体管截止, 漏极电流为零。由式(2.12)可得

$$i_{DL} = 0 = K_L (v_{DSL} - V_{TNL})^2 \quad (2.13)$$

由图 2.5(a) 可见 $v_{DSL} = V_{DD} - v_O$, 即

$$v_{DSL} - V_{TNL} = V_{DD} - v_O - V_{TNL} = 0 \quad (2.14a)$$

于是, 最大输出电压为

$$v_{O,max} \equiv V_{OH} = V_{DD} - V_{TNL} \quad (2.14b)$$

对于带增强型负载的 NMOS 反相器, 最大输出电压, 即逻辑 1 电平, 并不能达到 V_{DD} 的大小。图 2.5(b) 中的负载线给出截止点。

当输入电压刚好大于开启电压 V_{TND} 时, 驱动晶体管导通, 偏置在饱和区。稳态时, 由于输出端连到其他 MOS 晶体管的栅极, 两个漏极电流相等, 即 $i_{DD} = i_{DL}$, 也可以表示为

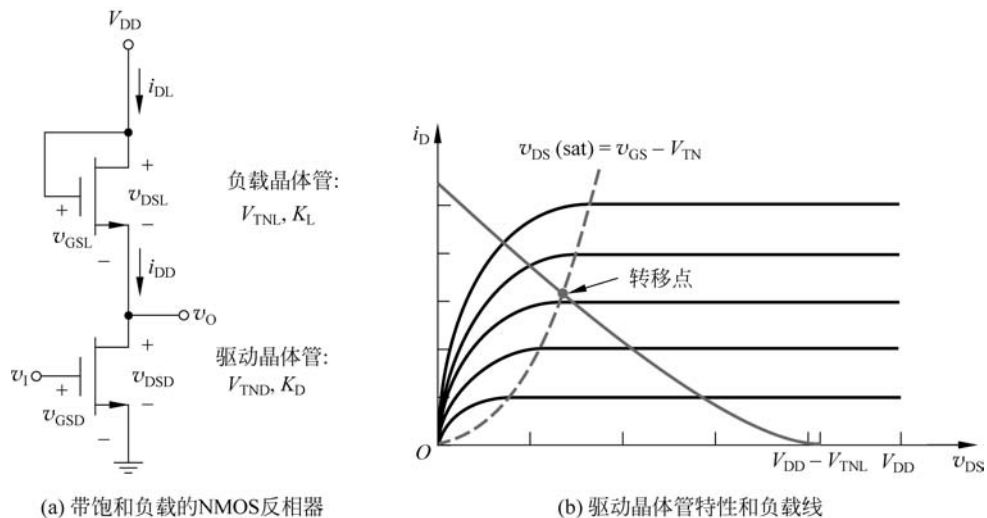


图 2.5

$$K_D(v_{GSD} - V_{TND})^2 = K_L(v_{GSL} - V_{TNL})^2 \quad (2.15)$$

式(2.15)以单个晶体管参数表示。若用输入电压和输出电压表示,上式可以变为

$$K_D(v_I - V_{TND})^2 = K_L(V_{DD} - v_O - V_{TNL})^2 \quad (2.16)$$

求得输出电压为

$$v_O = V_{DD} - V_{TNL} - \sqrt{\frac{K_D}{K_L}}(v_I - V_{TND}) \quad (2.17)$$

随着输入电压的增加,驱动晶体管的Q点将沿负载线上移,输出电压随 v_I 线性减小。

在驱动晶体管的转换点,有

$$v_{DSD}(\text{sat}) = v_{GSD} - V_{TND}$$

即

$$V_{Ot} = V_{It} - V_{TND} \quad (2.18)$$

将式(2.18)代入式(2.17),可得转移点的输入电压为

$$V_{It} = \frac{V_{DD} - V_{TNL} + V_{TND} \left(1 + \sqrt{\frac{K_D}{K_L}}\right)}{1 + \sqrt{\frac{K_D}{K_L}}} \quad (2.19)$$

当输入电压变得比 V_{It} 大时,驱动晶体管的Q点将沿着负载线继续上升,驱动晶体管进入非饱和区。由于驱动和负载晶体管的漏极电流依然相等,即 $i_{DD} = i_{DL}$,于是有

$$K_D[2(v_{GSD} - V_{TND})v_{DSD} - v_{DSD}^2] = K_L(v_{DNL} - V_{TNL})^2 \quad (2.20)$$

将式(2.20)写成输入电压和输出电压形式,可得

$$K_D[2(v_I - V_{TND})v_O - v_O^2] = K_L(V_{DD} - v_O - V_{TNL})^2 \quad (2.21)$$

显然,在此区域内 v_I 和 v_O 不再是线性关系。

图2.6给出3种 K_D/K_L 比值下反相器的电压传输特性。 K_D/K_L 比值为几何尺寸比,它与驱动和负载晶体管的宽长比参数有关。

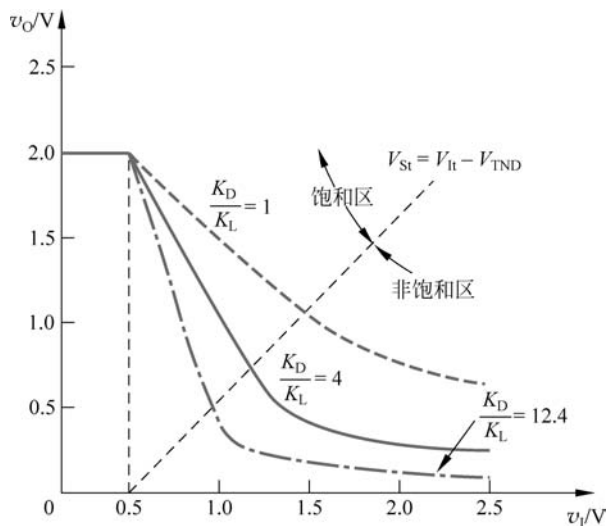


图 2.6 饱和负载 NMOS 反相器的电压传输特性,使用例题 2.2 的参数和 3 种尺寸比

图中也给出与式(2.18)对应的划分驱动晶体管饱和区和非饱和区的分界线。不难发现,与输入高电平对应的输出电压的最小值,即逻辑 0 的电平值,随着 K_D/K_L 比值的增大而减小。随着负载晶体管宽长比的减小,等效电阻将增大,也就是说传输特性的一般性质与电阻负载一样。然而,此时的输出高电平为

$$V_{OH} = V_{DD} - V_{TNL}$$

当驱动晶体管偏置在饱和区时,通过将式(2.17)对 v_I 求导,可以得到传输特性曲线的斜率,即反相器的增益。可以看到

$$dv_O/dv_I = -\sqrt{K_D/K_L}$$

当宽长比大于 1 时,反相器增益的幅值也大于 1。在某些区域,反相器的传输特性呈现出增益大于 1 特性的逻辑电路,在一些应用场合也被称为恢复逻辑系列。因为某种原因一个电路的逻辑信号变差,但能够被下一个逻辑电路的增益所恢复,恢复逻辑电路因此而得名。

例题 2.2

(1) **目标:** 设计一个 NMOS 反相器,满足一组指标要求,并求解反相器的功耗。

(2) **设计指标:** 设计如图 2.5(a)所示的饱和负载 NMOS 反相器,使得 $v_I = 2.0\text{V}$ 时, $v_O = 0.1\text{V}$ 。电路的偏置电压 $V_{DD} = 2.5\text{V}$ (忽略衬底的基体效应)。

(3) **器件选择:** 可提供参数为 $V_{TN} = 0.5\text{V}$ 、 $k'_n = 100\mu\text{A}/\text{V}^2$ 的晶体管。

解: 忽略基体效应时,最大输出电压(定义为逻辑 1)为

$$V_{OH} = V_{DD} - V_{TNL} = 2.5 - 0.5 = 2.0\text{V}$$

当 $v_I = 2.0\text{V}$ 时,驱动晶体管偏置在非饱和区,而负载晶体管始终偏置在饱和区。令两个晶体管的漏极电流相等,利用式(2.21)可得

$$K_D[2(2.0 - 0.5) \times 0.1 - (0.1)^2] = K_L(2.5 - 0.1 - 0.5)^2$$

即

$$\frac{K_D}{K_L} = 12.4$$

若选择 $(W/L)_L = 1$, 则由于

$$\frac{K_D}{K_L} = \frac{(W/L)_D}{(W/L)_L}$$

可得 $\left(\frac{W}{L}\right)_D = 12.4$ 。

反相器的最大电流出现在 $v_O = V_{OL} = 0.1\text{V}$ 处, 可由下式计算

$$\begin{aligned} i_{D,\max} &= \frac{k'_n}{2} \cdot \left(\frac{W}{L}\right)_D [2(v_I - V_{TND})v_O - v_O^2] \\ &= \frac{0.1}{2} \times 12.4 \times [2(2.0 - 0.5) \times 0.1 - (0.1)^2] = 0.180\text{mA} \end{aligned}$$

反相器的最大功耗为

$$P_{D,\max} = i_{D,\max} \cdot V_{DD} = 0.18 \times 2.5 = 0.45\text{mW}$$

点评: 在增强型负载 NMOS 反相器中, 为了获得相对较低的输出电压 V_{OL} , 驱动晶体管和负载晶体管的尺寸需要有较大的差别。由于负载晶体管的宽长比不能显著减小, 最大功耗也不能显著低于 0.45mW 。

练习题 2.2 图 2.5(a) 所示的增强型负载 NMOS 反相器偏置在 $V_{DD} = 3\text{V}$ 。晶体管参数为 $k'_n = 100\mu\text{A}/\text{V}^2$, $V_{TND} = V_{TNL} = 0.4\text{V}$, $(W/L)_D = 16$, $(W/L)_L = 2$ 。①求解 V_I 分别为 0.1V 和 2.6V 时的 v_O 。②求解反相器的最大电流和最大功耗。③求解驱动晶体管的转移点。

答案: ① $v_O = 2.6\text{V}$, $v_O = 0.174\text{V}$; ② $i_{D,\max} = 0.589\text{mA}$, $P_{D,\max} = 1.766\text{mW}$; ③ $V_{It} = 1.08\text{V}$, $V_{Ot} = 0.68\text{V}$ 。

2. 带耗尽型负载的 NMOS 反相器

耗尽型 MOSFET 也可以用作 NOMS 反相器的负载器件。图 2.7(a) 所示即为带耗尽型负载的 NMOS 反相器电路。耗尽型晶体管的栅极和源极连接在一起。驱动晶体管仍为增强型器件。和前面一样, 驱动晶体管参数为 V_{TND} ($V_{TND} > 0$) 和 K_D , 负载晶体管参数为 V_{TNL} ($V_{TNL} < 0$) 和 K_L 。同样, 未给出衬底的连接。由于两个器件的开启电压不相等, 这个反相器的制作工艺比增强型负载反相器要复杂。然而, 将会看到的是, 由于这种反相器拥有诸多优点, 增加制作工艺步骤还是值得的。该反相器是很多微处理器和静态存储器的设计基础。

忽略衬底的基体效应, 耗尽型负载的电流-电压特性如图 2.7(b) 所示。由于栅极和源极相连, $v_{GSL} = 0$, 负载的 Q 点位于这条曲线上。

图 2.7(c) 所示为驱动晶体管的特性和理想的负载线。当反相器的输入低于驱动晶体管的开启电压时, 驱动晶体管截止, 漏极电流为零。由图 2.7(b) 可见, 当 $i_D = 0$ 时, 负载晶体管的漏-源间电压必定为零; 因此, 当 $v_I \leq V_{TND}$ 时, $v_O = V_{DD}$ 。耗尽型负载反相器优于增强型负载反相器的地方是它的高输出电压, 即逻辑 1 电平为 V_{DD} 。

当输入电压刚好高于驱动晶体管的开启电压 V_{TND} 时, 驱动晶体管导通, 偏置在饱和区, 而负载晶体管工作在非饱和区。 Q 点位于图 2.7(c) 所示负载线上的 A 、 B 两点之间。仍然

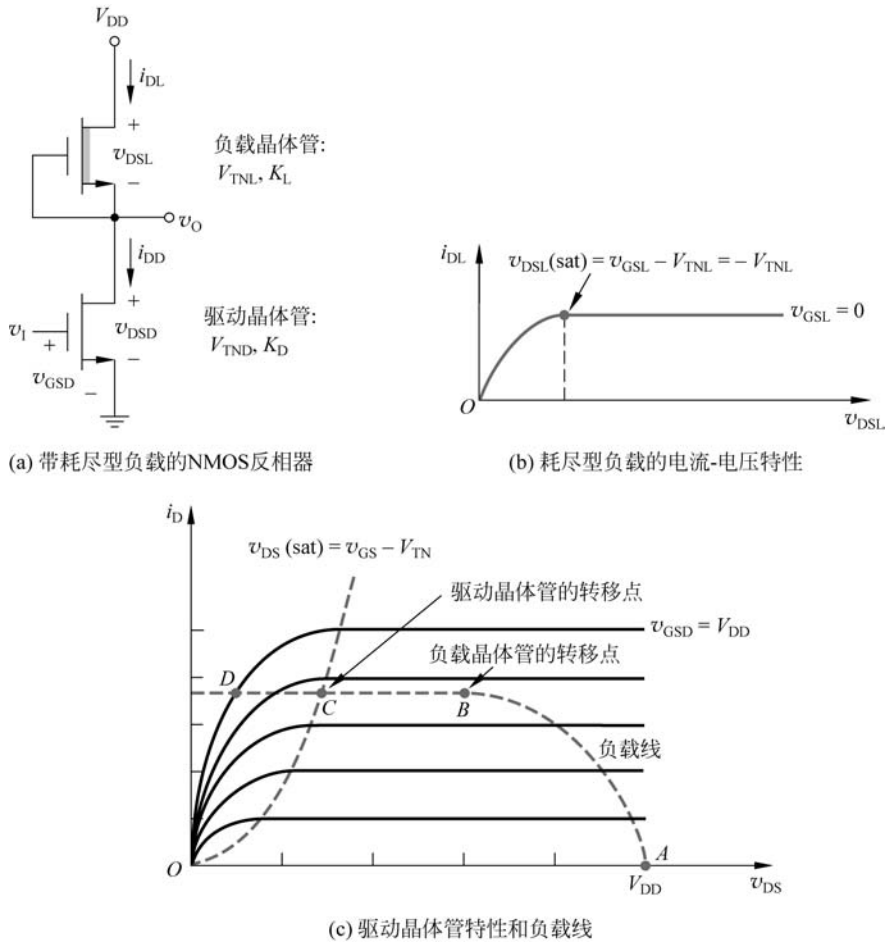


图 2.7

假设驱动晶体管和负载晶体管的漏极电流相等,即 $i_{DD} = i_{DL}$,这意味着

$$K_D [v_{GSD} - V_{TND}]^2 = K_L [2(v_{GSL} - V_{TNL})v_{DSL} - v_{DSL}^2] \quad (2.22)$$

将式(2.22)用输入电压、输出电压表示,有

$$K_D [v_I - V_{TND}]^2 = K_L [2(-V_{TNL})(V_{DD} - v_O) - (V_{DD} - v_O)^2] \quad (2.23)$$

当驱动晶体管工作在饱和区且负载晶体管工作在非饱和区时,该式给出 NMOS 反相器的输入电压和输出电压的关系。

耗尽型负载 NMOS 反相器具有两个转移点:一个是负载晶体管的,另一个是驱动晶体管的,分别对应于图 2.7(c)中的 B、C 两点。负载晶体管的转移点由下式给出

$$v_{DSL} = V_{DD} - V_{O1} = v_{GSL} - V_{TNL} = -V_{TNL} \quad (2.24a)$$

即

$$V_{O1} = V_{DD} + V_{TNL} \quad (2.24b)$$

由于 V_{TNL} 为负值,转移点的输出电压低于 V_{DD} 。驱动晶体管的转移点由下式给出

$$v_{DSD} = v_{GSD} - V_{TND}$$

即

$$V_{O1} = V_{It} - V_{TND} \quad (2.25)$$

当 Q 点落于负载线的 B 、 C 两点之间时,驱动晶体管和负载晶体管都偏置在饱和区,并有

$$K_D(v_{GSD} - V_{TND})^2 = K_L(v_{GSL} - V_{TNL})^2 \quad (2.26a)$$

即

$$\sqrt{\frac{K_D}{K_L}}(v_1 - V_{TND}) = -V_{TNL} \quad (2.26b)$$

式(2.26b)表明,当 Q 点经过该区域时,输入电压为常数。图 2.7(c)中也给出了这个效果, B 和 C 之间的负载线为 v_{GSD} 常数。(如果考虑衬底的基体效应,这一特性会有所改变。)

当输入电压大于式(2.26b)所给出的电压时,驱动晶体管工作在非饱和区,负载晶体管工作在饱和区, Q 点落在图 2.7(c)所示负载线的 C 、 D 点之间。令两个晶体管的漏极电流相等,可得

$$K_D[2(v_{GSD} - V_{TND})v_{DSD} - v_{DSD}^2] = K_L(v_{GSL} - V_{TNL})^2 \quad (2.27a)$$

整理可得

$$\frac{K_D}{K_L}[2(v_1 - V_{TND})v_O - v_O^2] = (-V_{TNL})^2 \quad (2.27b)$$

该式表明,在这个区域,输入和输出电压不再是线性关系。

图 2.8 给出这个反相器在 3 种不同 K_D/K_L 比值下的电压传输特性,同时也分别画出了驱动晶体管和负载晶体管的转移点轨迹。

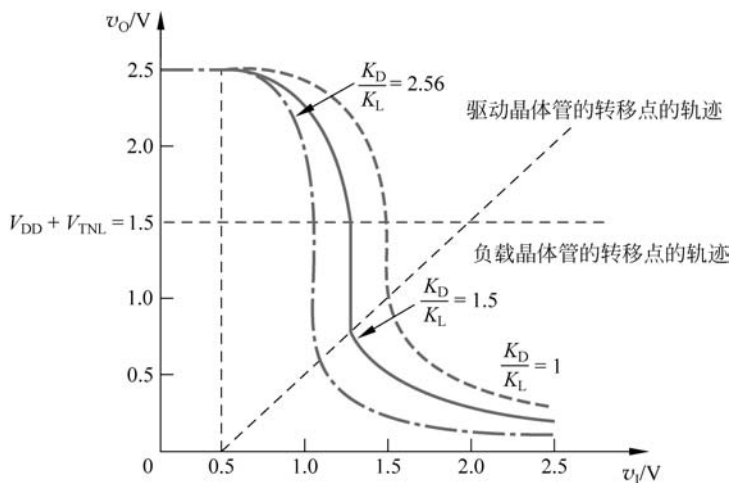


图 2.8 耗尽型负载 NMOS 反相器在 3 种 K_D/K_L 比值下的电压传输特性

例题 2.3

(1) **目标:** 设计一个 NMOS 反相器,满足一组指标要求,并求解反相器的功耗。

(2) **设计指标:** 待设计的耗尽型负载 NOMS 反相器如图 2.7(a)所示,要求当 $v_1 = 2.5\text{V}$ 时, $v_O = V_{OL} = 0.10\text{V}$ 。电路偏置在 $V_{DD} = 2.5\text{V}$ 。(忽略衬底的基体效应。)

(3) **器件选择:** 可提供工艺传导参数 $k'_n = 100\mu\text{A}/\text{V}^2$ 的晶体管。驱动晶体管的开启电压 $V_{TND} = 0.5\text{V}$,负载晶体管的开启电压 $V_{TNL} = -1\text{V}$ 。

解: 当 $v_i = 2.5\text{V}$ 时, 驱动晶体管偏置在非饱和区, 而负载晶体管偏置在饱和区。由式(2.27(b))可得

$$K_D[2 \times (2.5 - 0.5) \times 0.1 - (0.1)^2] = K_L[0 - (-1)]^2$$

求得 $\frac{K_D}{K_L} = 2.56$ 。

若选择 $(W/L)_L = 1$, 则有

$$\frac{K_D}{K_L} = \frac{(W/L)_D}{(W/L)_L} \Rightarrow 2.56 = \frac{(W/L)_D}{1} \Rightarrow \left(\frac{W}{L}\right)_D = 2.56$$

最大电流出现在输出为低电平时, 因此, 由负载晶体管可得

$$i_{D,\max} = \frac{k'_n}{2} \cdot \left(\frac{W}{L}\right)_L (0 - V_{TNL})^2 = \frac{100}{2} \times 1 \times [0 - (-1)]^2 = 50\mu\text{A}$$

最大功耗为

$$P_{D,\max} = i_{D,\max} \cdot V_{DD} = 50 \times 2.5 = 125\mu\text{W}$$

点评: 对于耗尽型负载 NMOS 反相器, 即使驱动晶体管和负载晶体管的尺寸差异不大, 也可以得到相对较低的输出电压 V_{OL} 。由于其几何尺寸比更小, 该反相器的功耗显著低于增强型负载反相器。

折中考虑: 以上三种 NMOS 反相器的静态分析清晰地表明了耗尽型负载反相器的优势。在给定的负载器件尺寸下, 为产生给定的低输出电压, 驱动晶体管的尺寸更小, 于是就可以在给定的芯片面积上制作出数量更多的反相器。此外, 由于功耗更低, 在给定的电路总功耗下, 一个芯片上可以集成更多的反相器。

练习题 2.3 图 2.7(a) 所示的耗尽型负载 NMOS 反相器偏置在 $V_{DD} = 3\text{V}$ 。晶体管参数为 $k'_n = 100\mu\text{A}/\text{V}^2$, $V_{TND} = 0.4\text{V}$, $V_{TNL} = -0.8\text{V}$, $(W/L)_D = 6$, $(W/L)_L = 2$ 。①求解当 $v_i = 3\text{V}$ 时的 v_o , 忽略基体效应。②求解反相器的最大电流和最大功耗。③求解驱动晶体管和负载晶体管的转移点。

答案: ① $v_o = 0.0414\text{V}$; ② $i_{D,\max} = 0.064\text{mA}$, $P_{D,\max} = 0.192\text{mW}$; ③ 驱动晶体管: $V_{It} = 0.862\text{V}$, $V_{Ot} = 0.462\text{V}$; 负载晶体管 $V_{It} = 0.862\text{V}$, $V_{Ot} = 2.2\text{V}$ 。

2.1.3 衬底的基体效应

到目前为止, 都忽略衬底的基体效应, 并假设开启电压为常数。图 2.9 给出增强型负载和耗尽型负载反相器, 所有晶体管的衬底均接地, 于是负载晶体管的源极与衬底间的电压不为零。实际上, 耗尽型负载的源极电压可以增加到 V_{DD} 。此时, 负载晶体管必须使用考虑基体效应的开启电压计算公式, 这将使电压传输特性的计算方程明显变得复杂, 使人工分析变得十分麻烦。

例题 2.4 考虑衬底的基体效应, 求解增强型负载 NMOS 反相器的高输出电压的变化。图 2.9(a) 所示的增强型负载 NMOS 反相器电路中, 晶体管参数为 $V_{TND0} = V_{TNL0} = 0.5\text{V}$, $K_D/K_L = 16$ 。假设反相器偏置在 $V_{DD} = 2.5\text{V}$, 衬底的基体效应系数 $\gamma = 0.5\text{V}^{1/2}$, $\phi_{fp} = 0.365\text{V}$ 。

解: 当 $v_i < V_{TND0}$ 时, 驱动晶体管截止, 输出高电平。由式(2.14(b))可得, 最大输出电压为

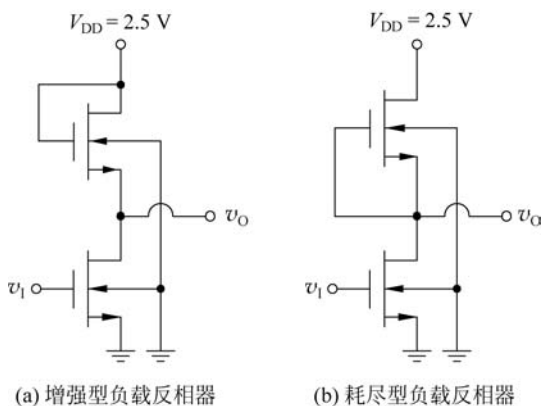


图 2.9 衬底接地的 NMOS 反相器

$$v_{O,\max} = V_{OH} = V_{DD} - V_{TNL}$$

其中 V_{TNL} 为

$$V_{TNL} = V_{TNLO} + \gamma [\sqrt{2\phi_{fp} + V_{SB}} - \sqrt{2\phi_{fp}}]$$

从图 2.9(a)可以看出, $V_{SB} = v_O$, 因此, 式(2.14(b))可以写为

$$v_{O,\max} = V_{DD} - \{v_{TNLO} + \gamma [\sqrt{2\phi_{fp} + v_{O,\max}} - \sqrt{2\phi_{fp}}]\}$$

定义 $v_{O,\max} = V_{OH}$, 可得

$$V_{OH} - 2.427 = -0.5 \sqrt{0.73 + V_{OH}}$$

将等式两边取平方, 整理可得

$$V_{OH}^2 - 5.1044V_{OH} + 5.7088 = 0$$

求得最大输出电压, 即逻辑 1 的电平值为 $V_{OH} = 1.655V$ 。

点评: 忽略衬底的基体效应, 逻辑 1 的输出电压为

$$V_{OH} = V_{DD} - V_{TNLO} = 2.5 - 0.5 = 2.0V$$

由此, 衬底的基体效应对增强型负载反相器的高电平输出影响很大, 这些结果也会影响反相器的噪声容限。

当输出为高电平时, 图 2.9(b)所示 NMOS 反相器的耗尽型负载晶体管的源极和衬底电压不相等。而为了使 $v_{O,\max} = V_{OH} = V_{DD}$, 当驱动晶体管截止时, 负载晶体管的漏-源间电压必须为零。

计算机仿真: 对图 2.9 所示的 NMOS 反相器进行计算机分析, 分别忽略或考虑衬底的基体效应。参数为 $V_{DD} = 5V$, 驱动晶体管的 $V_{TNDO} = 0.8V$, 饱和型负载晶体管的 $V_{TNLO} = 0.8V$, 耗尽型负载晶体管 $V_{TNLO} = -2V$ 。假设基体效应系数为 $\gamma = 0.9V^{1/2}$ 。

衬底的基体效应对增强型和耗尽型负载反相器的电压传输特性都有影响。图 2.10(a)给出增强型负载反相器的电压传输特性。当 $v_i = 0$ 时, 考虑衬底的基体效应时, 输出电压为 $3.15V$, 而忽略衬底的基体效应时, 该值为 $4.2V$ 。

图 2.10(b)所示为耗尽型负载反相器的电压传输特性。当输出高电平为 $5V$ 时, 不受衬底基体效应的影响, 但是转移区域的特性是衬底基体效应的函数。

练习题 2.4 如果衬底的基体效应系数为 $\gamma = 0.3V^{1/2}$, 重复例题 2.4。

答案: $V_{OH} = 1.781V$ 。

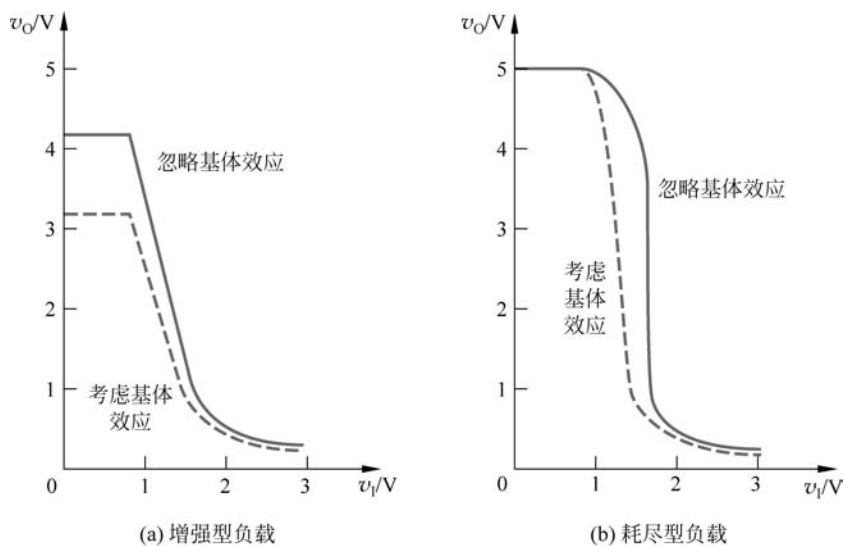


图 2.10 忽略和考虑衬底的基体效应时 NMOS 反相器的电压传输特性

理解测试题 2.1 图 2.5(a)所示的增强型负载 NMOS 反相器中,偏置电压为 $V_{DD} = 1.8\text{V}$,开启电压为 $V_{TND} = V_{TNL} = 0.4\text{V}$ 。假设 $k'_n = 100\mu\text{A}/\text{V}^2$ 。设计晶体管的宽长比,使得 $v_i = 1.4\text{V}$ 时,输出电压为 0.12V ,且反相器的最大功耗为 0.50mW 。忽略基体效应。

答案: $(W/L)_L = 3.39$, $(W/L)_D = 24.6$ 。

理解测试题 2.2 图 2.7(a)所示的耗尽型负载 NMOS 反相器偏置在 $V_{DD} = 1.8\text{V}$ 。开启电压为 $V_{TND} = 0.4\text{V}$, $V_{TNL} = -0.6\text{V}$ 。假设 $k'_n = 100\mu\text{A}/\text{V}^2$ 。设计晶体管,使得 $v_i = 1.8\text{V}$ 时,最大功耗为 0.2mW ,输出电压为 0.08V 。忽略基体效应。

答案: $(W/L)_L = 6.17$, $(W/L)_D = 10.2$ 。

理解测试题 2.3 ①利用练习题 2.1 的结果。假设在一块芯片上制作 100,000 个电阻负载反相器,每个反相器的输入电压为高电平。求解需要给每个芯片提供的电流值以及最大功耗。②对于增强型负载反相器,重复练习题 2.2 的①。③对于耗尽型负载反相器,重复练习题 2.3 的①。

答案: ① $I = 9.8\text{A}$, $P = 29.4\text{W}$; ② $I = 58.9\text{A}$, $P = 176.6\text{W}$; ③ $I = 6.4\text{A}$, $P = 19.2\text{W}$ 。

2.2 NMOS 逻辑电路

目标: 分析和设计 NMOS 逻辑门。

通过将并联、串联以及串并联的驱动晶体管进行组合,可以构成 NMOS 逻辑电路,产生所需要的输出逻辑函数。

2.2.1 NMOS 或非门和与非门

NMOS 或非逻辑门包含附加的并联驱动晶体管。图 2.11 所示为带耗尽型负载的 2 输入 NMOS 或非逻辑门。如果 $A = B = \text{逻辑 } 0$,则晶体管 M_{DA} 和 M_{DB} 都截止, $v_O = V_{DD}$ 。如

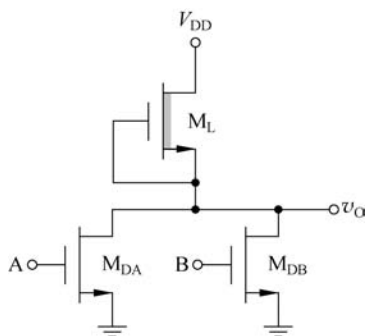


图 2.11 带耗尽型负载的 2 输入 NMOS 或非逻辑门

果 $A = \text{逻辑 } 1$ 且 $B = \text{逻辑 } 0$, 则 M_{DB} 截止, M_L 和 M_{DA} 构成与前所述相同的反相器, 输出电压为低电平。同理, 如果 $A = \text{逻辑 } 0$ 且 $B = \text{逻辑 } 1$, 也构成相同的反相器电路。

如果 $A = B = \text{逻辑 } 1$, 则 M_{DA} 和 M_{DB} 都导通, 两个驱动晶体管并联, 输出电压的值略有变化。图 2.12 给出两个输入电平均为逻辑 1 时的或非门。根据之前的分析, 可以假设两个驱动晶体管都偏置在非饱和区, 而负载晶体管偏置在饱和区, 于是有

$$i_{DL} = i_{DA} + i_{DB}$$

也可以写成一般形式

$$K_L(v_{GSL} - V_{TNL})^2 = K_{DA}[2(v_{GSA} - V_{TNA})v_{DSA} - v_{DSA}^2] + K_{DB}[2(v_{GSB} - V_{TNB})v_{DSB} - v_{DSB}^2] \quad (2.28)$$

如果假设两个驱动晶体管相同, 则它们的传导参数和开启电压均相同, 即 $K_{DA} = K_{DB} = K_D$, $V_{TNA} = V_{TNB} = V_{TND}$ 。注意到 $v_{GSL} = 0$, $v_{GSA} = v_{GSB} = V_{DD}$, $v_{DSA} = v_{DSB} = v_O$, 式(2.28)可以写为

$$(-V_{TNL})^2 = 2\left(\frac{K_D}{K_L}\right)[2(V_{DD} - V_{TND})v_O - v_O^2] \quad (2.29)$$

式(2.29)表明如果两个驱动晶体管都导通, 组合驱动晶体管的等效宽长比加倍。也就是说, 当两个输入均为高电平时, 输出电压稍稍变低。

例题 2.5 求解 NMOS 或非门的低输出电压。图 2.12 所示的或非逻辑门偏置在 $V_{DD} = 2.5\text{V}$ 。假设晶体管参数为 $k'_n = 100\mu\text{A}/\text{V}^2$, $V_{TND} = 0.4\text{V}$, $V_{TNL} = -0.6\text{V}$, $(W/L)_D = 4$, $(W/L)_L = 1$ 。忽略衬底的基体效应。

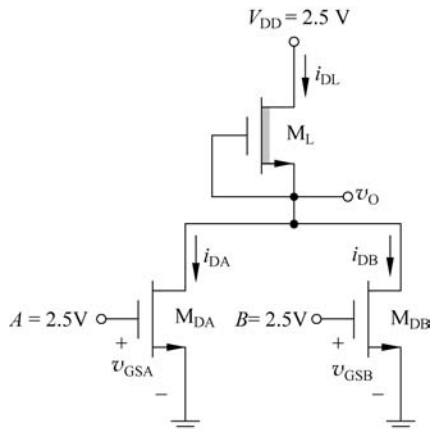


图 2.12 例题 2.5 的 2 输入 NMOS 或非逻辑门

解: 例如,如果 $A = \text{逻辑 } 1 = 2.5\text{V}$ 且 $B = \text{逻辑 } 0$, 则 M_{DA} 偏置在非饱和区, M_{DB} 截止。由式(2.27(b))可得输出电压为

$$\frac{K_{\text{D}}}{K_{\text{L}}} [2(v_{\text{I}} - V_{\text{TND}})v_{\text{O}} - v_{\text{O}}^2] = (-V_{\text{TNL}})^2$$

即

$$\frac{4}{1} [2(2.5 - 0.4)v_{\text{O}} - v_{\text{O}}^2] = [-(-0.6)]^2$$

求得输出电压为 $v_{\text{O}} = 21.5\text{mV}$ 。

如果两个输入均为高电平, 则 $A = B = \text{逻辑 } 1 = V_{\text{DD}} = 2.5\text{V}$, 由式(2.29)可求得输出电压

$$(-V_{\text{TNL}})^2 = 2\left(\frac{K_{\text{D}}}{K_{\text{L}}}\right) [2(V_{\text{DD}} - V_{\text{TND}})v_{\text{O}} - v_{\text{O}}^2]$$

即

$$[-(-0.6)]^2 = 2\left(\frac{4}{1}\right) [2(2.5 - 0.4)v_{\text{O}} - v_{\text{O}}^2]$$

求得输出电压为 $v_{\text{O}} = 10.7\text{mV}$ 。

点评: 当只有一个输入为高电平时, NMOS 或非门应能获得一个特定的 V_{OL} 输出电压, 这给出逻辑 0 的最大电压值。当一个以上的输入为高电平时, 由于组合驱动晶体管的等效宽长比增大, 或非门的输出电压比特定的 V_{OL} 电压值要小。

练习题 2.5 输入 NMOS 或非逻辑门如图 2.11 所示, 令 $V_{\text{DD}} = 1.8\text{V}$ 。假设晶体管参数为 $k'_{\text{n}} = 35\mu\text{A}/\text{V}^2$, $V_{\text{TND}} = 0.4\text{V}$, $V_{\text{TNL}} = -0.6\text{V}$, $(W/L)_{\text{D}} = 5$, $(W/L)_{\text{L}} = 1$ 。忽略衬底的基体效应。①求解当 $A = \text{逻辑 } 1$, $B = \text{逻辑 } 0$, 以及 $A = B = \text{逻辑 } 1$ 时的 V_{OL} 。②计算①中所给出的输入条件下电路的功耗。

答案: ① $v_{\text{O}} = 26\text{mV}$, $v_{\text{O}} = 12.9\text{mV}$; ② $P = 32.4\mu\text{W}$ 。

NMOS 与非逻辑门包含附加的串联驱动晶体管。图 2.13 所示为带耗尽型负载的 2 输入 NMOS 与非逻辑门。如果 $A = B = \text{逻辑 } 0$, 或 A 、 B 之一为逻辑 0, 则至少有一个驱动晶体管截止, 输出为高电平。如果 $A = B = \text{逻辑 } 1$, 则 NMOS 反相器的复合驱动晶体管导通, 输出为低电平。

由于 M_{DA} 和 M_{DB} 的栅-源间电压不相等, 与非门实际电压 V_{OL} 的求解比较困难。 M_{DA} 和 M_{DB} 必定会调整它们的漏-源间电压, 使得电流相等。另外, 如果考虑衬底的基体效应, 则分析将变得更为复杂。由于两个驱动晶体管串联, 为了获得给定的 V_{OL} , 常常假设驱动晶体管的宽长比为 NMOS 反相器中单个晶体管宽长比的两倍。

图 2.14 给出 2 输入或非门和与非门中驱动晶体管的组合宽长比。对于或非门, 等效宽度加倍; 对于与非门, 等效长度加倍。

例题 2.6 求解 NMOS 与非门的低输出电压。图 2.13 所示的 NMOS 与非逻辑门偏置在 $V_{\text{DD}} = 2.5\text{V}$ 。假设晶体管参数为 $k'_{\text{n}} = 100\mu\text{A}/\text{V}^2$, $V_{\text{TND}} = 0.4\text{V}$, $V_{\text{TNL}} = -0.6\text{V}$, $(W/L)_{\text{D}} = 8$,

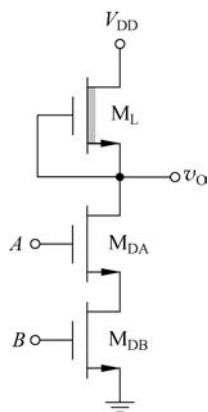


图 2.13 带耗尽型负载的 2 输入 NMOS 与非逻辑门