



集成电路设计完毕后,则开始设计集成电路的版图(Layout),以便进行制版,完成工艺流片。本章讨论集成电路的版图设计以及版图 EDA 工具的使用。

## 5.1 版图概述

集成电路的版图是指集成电路工艺制造厂家(Foundry)所定义的工艺层次几何图形。这些版图几何图层包括 N 阱、有源区、多晶硅、N 注入、P 注入、接触孔、金属层、通孔、焊盘开窗区等。表 5-1 所示为某工艺的版图层次示例。GDSII(GDS2 或 GDS)是通用的版图数据格式文件。版图 GDS 数据交给工艺厂家后,根据版图 GDS 数据制造掩膜版(Mask,也称为“光罩”)。值得注意的是,在版图设计阶段绘制的各个版图层次并不是最终进行工艺流片时采用的掩膜版的层次,流片时采用的掩膜版是根据版图层次进行运算形成的集成电路工艺掩膜版需要的图形。

表 5-1 某工艺的版图层次示例

版图绘制图层名称	GDS 层号	描 述
NW	1	N 阱(NWELL)
ACT	2	有源区(Active)
GATE	12	多晶硅栅(Poly Gate)
NPLUS	13	N+S/D 注入
PPLUS	14	P+S/D 注入
ESD	15	ESD 注入
SAB	16	非硅化区定义
CT	17	接触层(Contact)
PA	18	PAD 开窗区
M1	21	金属层 1(Metal1)
M2	22	金属层 2(Metal2)
M3	23	金属层 3(Metal3)
M4	24	金属层 4(Metal4)
M5	25	金属层 5(Metal5)
M6	26	金属层 6(Metal6)
M7	27	金属层 7(Metal7)
MV1	31	通孔 1(Vial)

续表

版图绘制图层名称	GDS 层号	描 述
MV2	32	通孔 2(Via2)
MV3	33	通孔 3(Via3)
MV4	34	通孔 4(Via4)
MV5	35	通孔 5(Via5)
MV6	36	通孔 6(Via6)
PSUB2	50	多电源隔离衬底区域定义
prBoundary	60	单元布局边界标识层
M1_TEXT	131	Metal1 文本标识层
M2_TEXT	132	Metal2 文本标识层
M3_TEXT	133	Metal3 文本标识层
M4_TEXT	134	Metal4 文本标识层
M5_TEXT	135	Metal5 文本标识层
M6_TEXT	136	Metal6 文本标识层
M7_TEXT	137	Metal7 文本标识层
SRING	143	封装隔离环区域定义(Seal Ring)

版图设计要遵循特定工艺厂家的版图设计规则。版图设计规则是一套图形设计规则的组合,如图 5-1 所示。版图设计规则是连接集成电路工艺制造厂家和集成电路设计者的桥梁。在图 5-1 所示的范例中,A 与 B 表示不同的图形,图形之间的关系包括宽度(或长度)、间距、包围、延伸等图形尺寸规则,相关描述如表 5-2 所示。

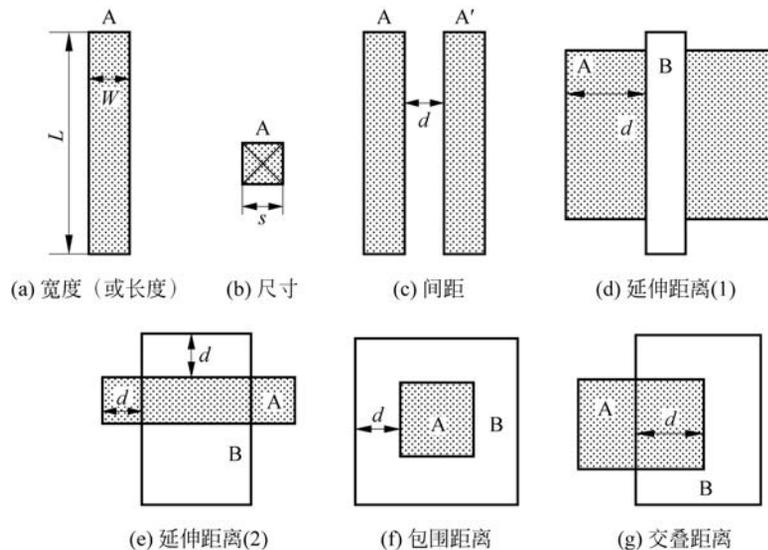


图 5-1 基本版图规则关系图示

表 5-2 基本版规则关系说明

定 义	符 号	规 则 示 例	说 明
宽度(或长度)	$W$ (或 $L$ )	最小宽度	图形的宽度 $W$ 和长度 $L$ ,版图上的几何图形的宽度或长度必须大于一个最小值

续表

定 义	符 号	规 则 示 例	说 明
尺寸	$s$	最小或固定尺寸	版图中的方形图形的尺寸。一般规定接触孔(Contact)或通孔(Via)具有固定尺寸
间距	$d$	A 与 A'图形之间的最小间距	同一层中两个排他对象之间的距离
延伸距离	$d$	A 与 B 外延长边沿最小距离	两个交叠图形之间的外边沿之间的距离
包围距离	$d$	B 包围 A 的最小距离	包围图形内边沿之间的距离
交叠距离	$d$	A 与 B 交叠部分的最小距离	交叠图形内边沿之间的距离

## 5.2 版图设计技术

随着 CMOS 工艺的发展,集成电路经历了从低速、低复杂性、高电压向高速、高复杂性、低电压的发展,同时在一块芯片上集成了越来越多的功能模块,混合信号集成电路已经变得很常见。在数字电路版图设计中,主要需要考虑在保证逻辑门性能的情况下占用尽量小的芯片面积。而在模拟或混合信号集成电路设计中,相对于数字信号,较弱的模拟信号更容易受到干扰,因此模拟集成电路的版图布局显得尤为重要,其核心问题是匹配和抗噪声干扰。

### 5.2.1 MOS 晶体管

在数字集成电路中,逻辑电路通常尽量采用最小尺寸,但在需要大驱动以及提高速度的电路部分,也会需要大尺寸的 MOS 晶体管,如 I/O 驱动电路中的 MOS 晶体管则需要更大的尺寸。而在 MOS 模拟集成电路中,则更要经常实现大尺寸的晶体管。为了减小漏源结面积及栅电阻,这种大尺寸的晶体管常常采用叉指型结构,如图 5-2 所示。

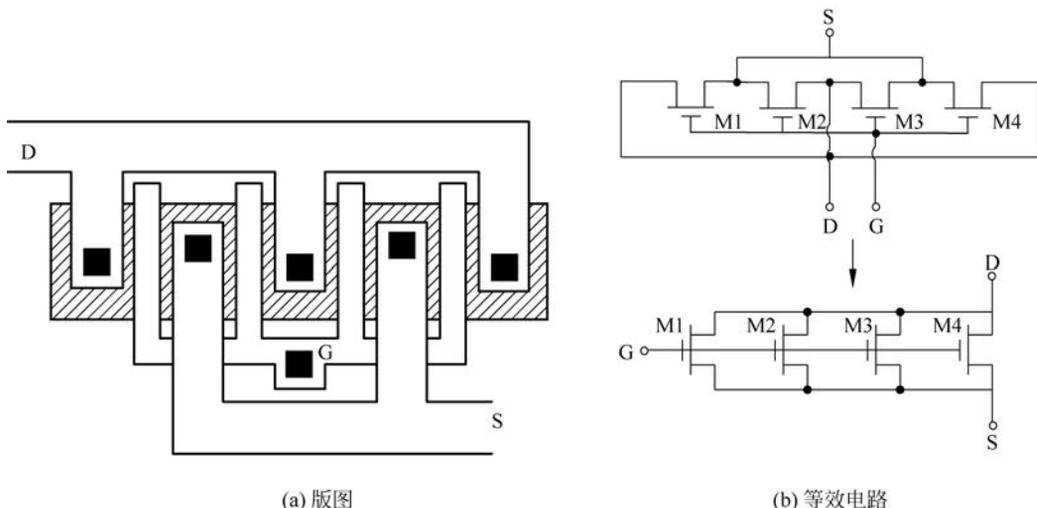


图 5-2 叉指型 MOS 晶体管

对于级联的晶体管,若两个晶体管具有相同的栅宽,则版图可以简化。如图 5-3(a)所示, M1 的漏和 M2 的源共用一个区域,如果不必提供接触孔,则可以简化成如图 5-3(b)所示的版图形式。若需要大尺寸的元器件,可以采用并联的形式,图 5-3(c)给出了等效电路图,其版图减少了连线及

接触孔(或通孔)的数量,因此可以降低芯片面积占用,在数字电路逻辑门设计中经常会被采用。

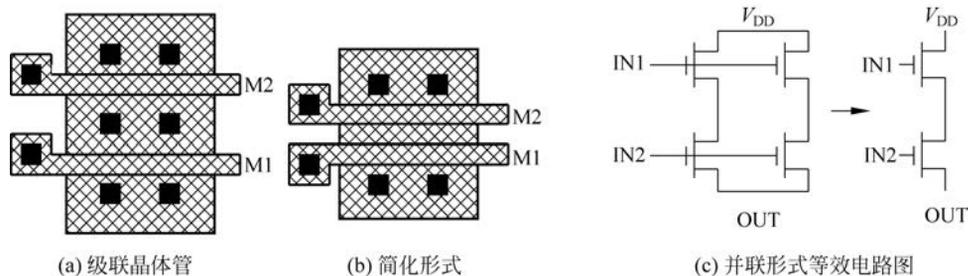


图 5-3 栅宽相同的共源共栅电路及版图

## 5.2.2 对称性

对称性对于集成电路版图设计很重要,尤其是模拟集成电路设计。对称性对于诸如存储器这样的数字电路也同样重要。在模拟电路中,元器件的不对称性会引入放大器的失调,降低电路的共模抑制比,产生偶次非线性失真等。对于如图 5-4(a)所示的差动对的版图设计,应考虑将差动对的两个晶体管放置在同一方向上,并且周围的环境要一致。图 5-4(b)的两个晶体管没有放置在同一朝向上,会产生较大失配。图 5-4(c)和图 5-4(d)都是较好的选择,由于图 5-4(c)的两个晶体管所处的环境大致相同,因此这个方案更好一些。当在两个晶体管附近有金属走线时,也应使两个晶体管的情况一致,如当其中一个晶体管边有走线时,另一个晶体管边也应放置一条相同的走线,如图 5-4(e)所示。由于工艺总会存在偏差,会造成沿硅片不同方向的杂质浓度不同,对匹配要求高的尺寸较大的器件,可以采用“共中心”的版图布局,以减小器件的失配,如图 5-4(f)所示。

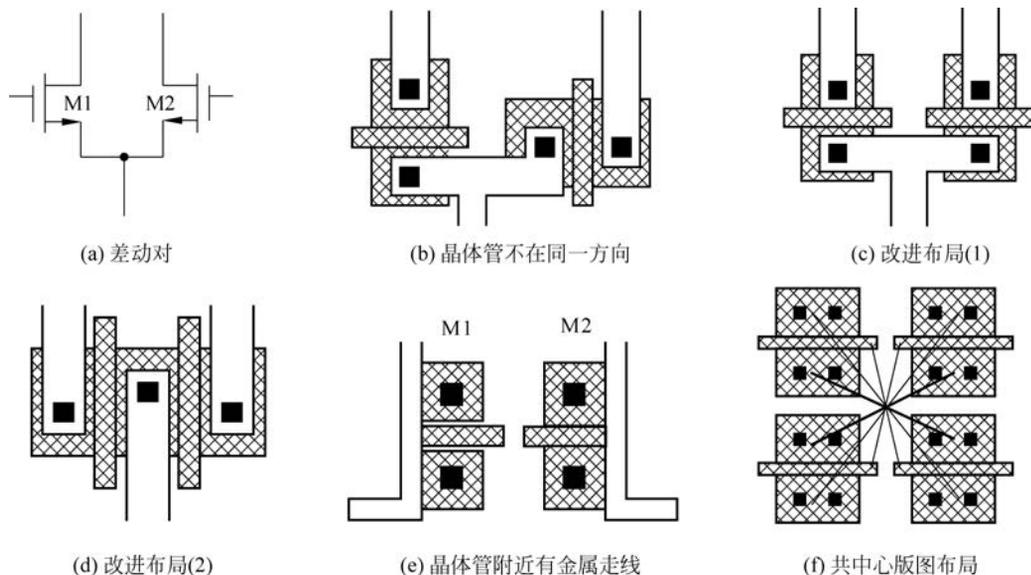


图 5-4 版图的对称性

对称性原则不仅适用于 MOS 晶体管等有源器件,也适用于电阻、电容等无源器件,在连线版图以及整体布局时也同样需要考虑对称性。

### 5.2.3 无源器件

在集成电路中,比较难实现的元器件就是无源器件,因其制造精度较有源器件更难控制,造成模拟工艺相较于数字工艺通常要落后约两年。因此,在无源器件的版图设计中更需要特殊考虑。通常,匹配问题仍是主要考虑的因素。

#### 1. 电阻

在 CMOS 工艺中,可以利用 N 阱、 $N^+$ / $P^+$  或多晶硅等区域形成电阻。电阻的版图设计通常有两种形式:蛇形电阻和单位电阻。如图 5-5 所示,蛇形电阻比较节省芯片面积,但精度较差。如果需要精确匹配,可以设计成单位电阻形式,采用一致电阻值的电阻阵列,端头采用金属连接, $R_1$  和  $R_2$  交错分布,并且在电阻阵列的边缘作虚拟电阻,以保证电阻的匹配,如图 5-5(b)所示。在电路设计时,电路的特性尽量采用电阻比的形式呈现,因为在实现时电阻比值可以达到较高精度。类似于 MOS 晶体管,为了进一步提高电阻的匹配性,也可以采用共中心方案,如图 5-5(c)所示。

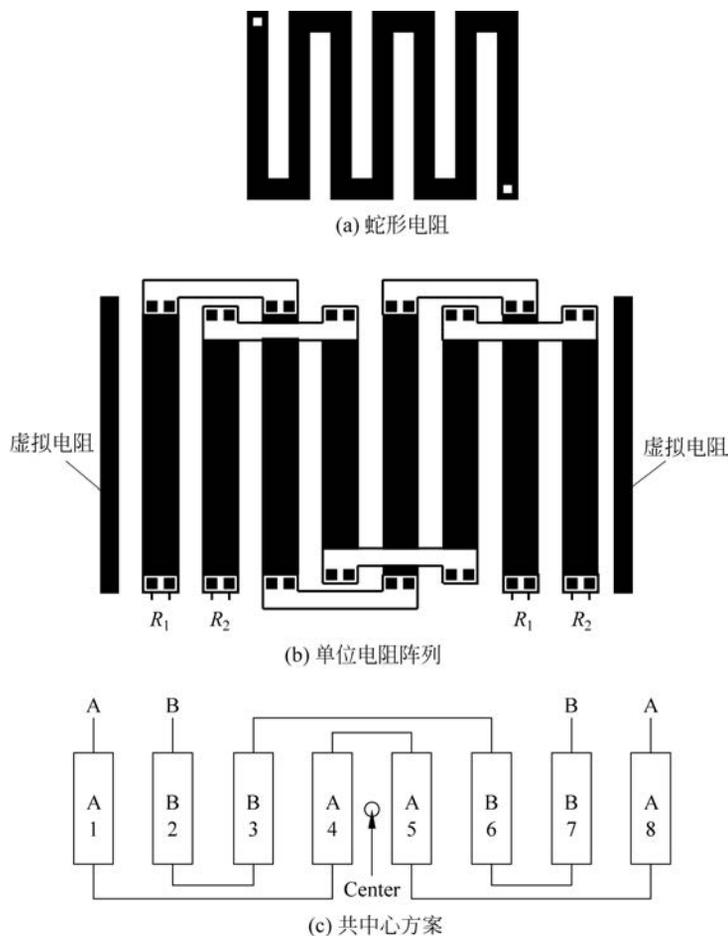


图 5-5 电阻的版图设计

#### 2. 电容

在 CMOS 工艺中,可以采用各种导电层与介质层形成电容,如多晶硅与扩散区之间、多晶硅与多晶硅之间、金属层与多晶硅之间、金属层与金属层之间等。另外,在一些混合信号工艺中,为了

提高单位面积电容值,在金属层之间的介质层中插入一层特殊的金属层作为电容的上极板,形成了具有更大单位电容值、更加贴近平板电容的 MIM 电容,其具有更高的精度。由于利用 CMOS 平面工艺中的平板结构,因此电容的工艺实现精度要比电阻高,其绝对精度一般在 5%~20% 量级,而其相对精度则更高,取决于其尺寸和制造工艺,相对精度可以达到 0.1%~1% 量级甚至更高。

同样,电容的版图设计也需要考虑匹配问题,尽量采用单位电容阵列的方式。图 5-6 所示为一种匹配较好的电容版图设计,外围采用虚拟电容,以保证匹配性,同时有 N 阱进行隔离,防止噪声干扰。电容上方尽量不走信号线,减小寄生电容的影响。由于电容的极板连线也会产生寄生电容,因此也考虑了电容极板连线的匹配,做出了极板连线端头,这样可以达到比较好的匹配效果。

### 3. 电感

在 CMOS 工艺中,片上电感一般采用如图 5-7 所示的螺旋结构。片上螺旋电感的结构参数包括直径  $D$ 、线宽  $W$ 、间距  $S$  以及圈数  $N$ 。由于 CMOS 工艺是平面工艺,因此,其电感值一般都不大,而且由于存在寄生电阻和电容,因而其品质因数  $Q$  也不高。

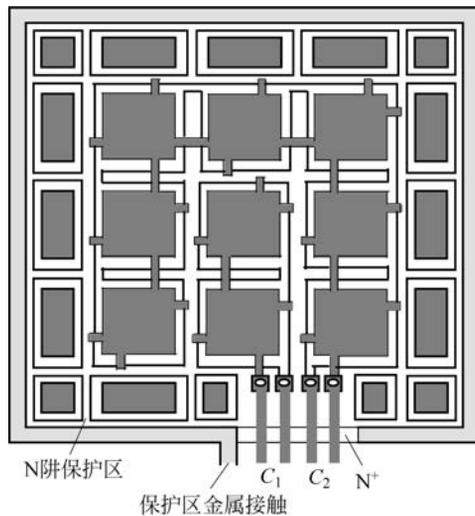


图 5-6 电容版图设计

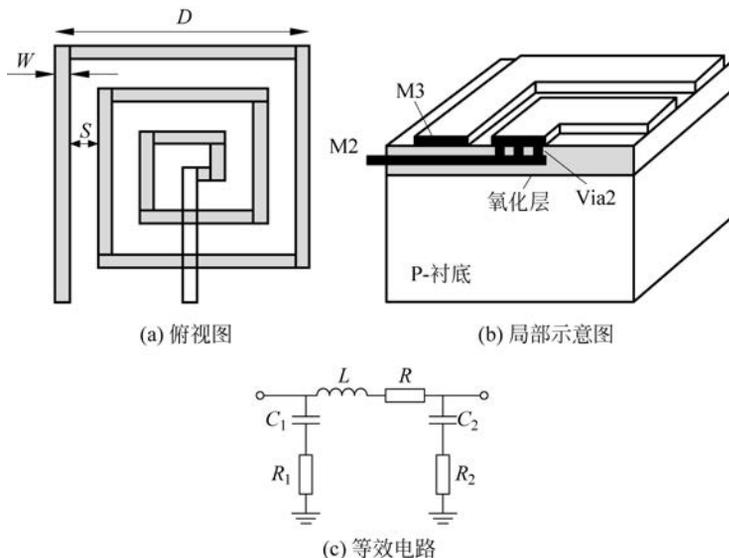


图 5-7 CMOS 工艺中的片上螺旋电感

在设计平面电感时基于以下考虑:直径  $D$  受限于芯片面积的约束,线宽  $W$ 、间距  $S$  和圈数  $N$  根据希望得到的电感值  $L$ 、品质因数  $Q$  和谐振频率  $f_{SR}$  进行优化。提高直径  $D$  有利于提高平面电感的品质因数  $Q$ ,然而由于螺旋结构与衬底之间的寄生电容增大了,因而降低了谐振频率  $f_{SR}$ 。一般选择直径小于  $200\mu\text{m}$ 。在线宽的设计方面,应选择尽量宽的线宽,这样可以降低寄生电阻  $R$ ,从而提高品质因数  $Q$ ,然而由于趋肤效应又会增加寄生电阻值,因而存在一个优化的宽度值,一般

$10\mu\text{m} < W < 20\mu\text{m}$ 。间距  $S$  应尽量小,这是由于增加间距会降低电感值  $L$ ,一般采用工艺允许的最小间距。增加圈数  $N$  会增大电感值,然而又会受到直径  $D$  和线宽  $W$  的限制,一般根据其他参数的设计而定。

### 5.2.4 连线

目前集成电路的特征尺寸越来越小,规模却越来越大,对于高速或高精度电路,连线上的寄生效应必须加以考虑。对于数字电路,连线上的分布电阻和分布电容会增大路径延迟,影响数字电路工作速度。对于小尺寸工艺,路径上的连线延迟已经成为数字集成电路中的主要延迟。除此之外,路径延迟的歪斜会影响集成电路的时序。在数字集成电路的布局布线 EDA 工具中,对这些延迟都要进行精确控制和处理。关于布局布线工具的内容将在后续章节进行讨论。

对于模拟集成电路,需要特别考虑信号线之间的互扰。特别是存在数字信号的混合信号集成电路,当数字信号线与模拟信号线距离较近时,大摆幅的数字信号线对微弱的模拟信号线会产生严重的干扰,如图 5-8(a)所示,时钟信号  $\phi$  以及数字信号  $A$  和  $Y$  会通过线间耦合电容对敏感的模拟放大器的输入输出进行干扰。

从版图布局上,可以让模拟信号线远离数字电路及数字信号线。然而,在混合信号集成电路中,在模拟电路以及模拟信号线周围不可避免地存在数字信号线。可以采用两种技术消除数字信号线对模拟信号线的干扰。第 1 种方法是采用差分电路,这样数字信号线对模拟信号线的干扰对于差分信号就成为共模干扰。如图 5-8(b)所示,时钟线  $\phi$  对  $v_{\text{IN}1}$  和  $v_{\text{IN}2}$  的干扰就变成了共模信号干扰,对于高共模抑制比的放大器,则可以消除或降低这种干扰。值得注意的是,时钟线  $\phi$  对  $v_{\text{IN}1}$  和  $v_{\text{IN}2}$  的耦合路径长度应该保持一致,因此,在版图上加入了虚拟(Dummy)匹配线。

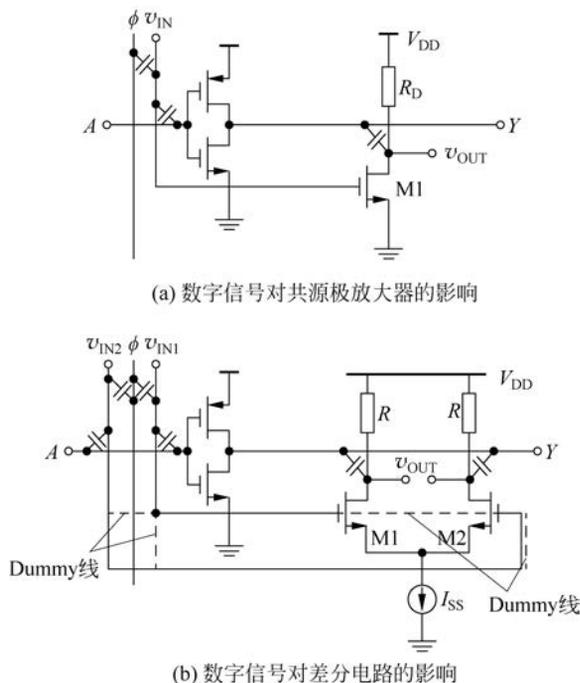


图 5-8 数字信号线对模拟电路的影响

第2种方法是对敏感的信号进行屏蔽,如图5-9(a)所示,大摆幅信号线直接对敏感的信号线造成了侵害。而在如图5-9(b)所示的布线方案中,将地线插入敏感的信号线与大摆幅的数字信号线之间,这样对敏感的信号线产生了屏蔽效果。对于屏蔽干扰要求更高的地方,可以采用图5-9(c)的方案,这样敏感的信号线就被地线(Ground)所包围,与外界的信号线进行隔离。

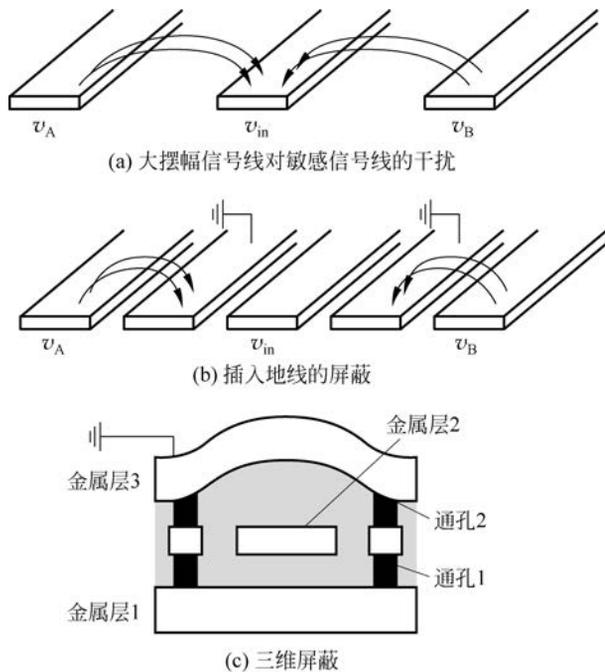


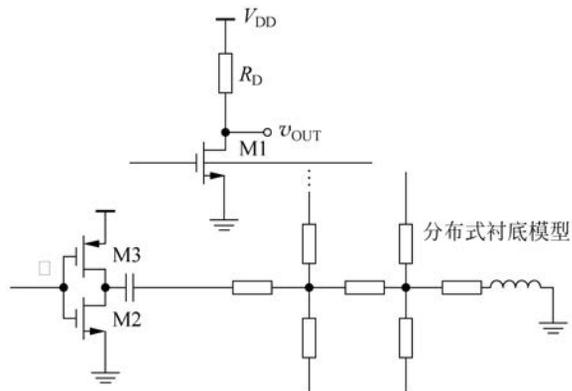
图 5-9 屏蔽线

### 5.2.5 噪声及干扰

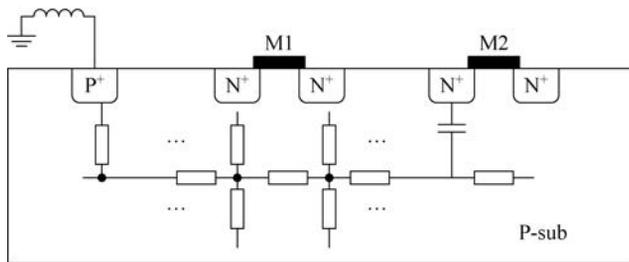
目前越来越多的芯片上同时集成了数字电路和模拟电路,也可称之为混合信号电路。在设计混合信号电路时将面临的衬底噪声耦合问题。这个问题在数模混合信号电路中尤为显著,数字信号的翻转会通过衬底耦合到模拟电路部分,如图5-10所示。

为了减小衬底噪声耦合对敏感的模拟电路的影响,在电路设计时,模拟电路采用差分工作的方式,以提高对共模噪声的抑制。数字信号以互补的形式分布,从而减小净耦合噪声。另一种比较有效的方法是采用隔离环将敏感的模拟电路与其他产生噪声的电路进行隔离,利用注入比较深的阱阻止噪声电流在芯片表面流动,如图5-11所示。在数字电路和模拟电路的整体版图布局安排方面,数字电源和地(VDD和GND)与模拟电源和地(VDDA和GNDA)采用不同电源网络,在芯片上以及封装管脚上增加去耦合电容,以避免数字电路产生的信号干扰模拟电路的工作,如图5-12所示。模拟电源如果和数字电源的电压相等,也可以在PCB上连接在一起,但在每个模拟电源和数字电源的引脚处都要增加片外的去耦电容。

在整体布局中,除了采用隔离环等措施外,尽量使敏感的模拟电路远离数字信号区域。图5-13所示为一种可能的版图布局。另外,还有一种有效的措施,是在布局完成后,剩余的空间尽量地采用衬底接触或阱接触连接到地和电源上,一方面防止闩锁发生,另一方面也可减小衬底耦合噪声。

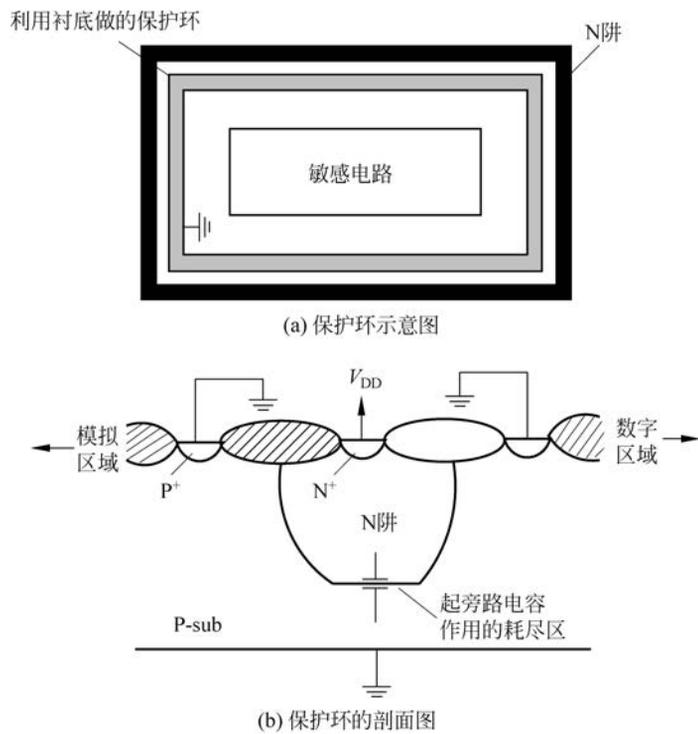


(a) 衬底耦合噪声的等效电路



(b) 衬底耦合噪声的剖面图

图 5-10 混合信号电路面临的衬底噪声耦合问题



(a) 保护环示意图

(b) 保护环的剖面图

图 5-11 采用隔离环保护敏感电路的方案

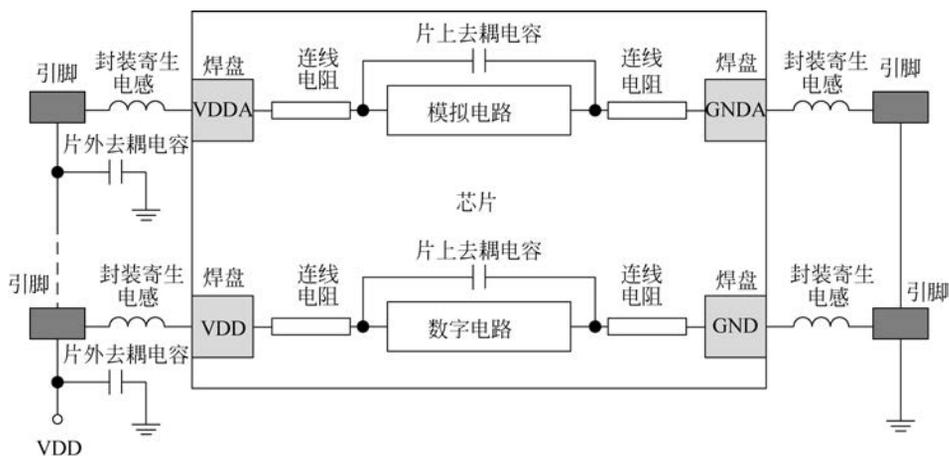


图 5-12 数模混合芯片的模拟数字电源布线布局

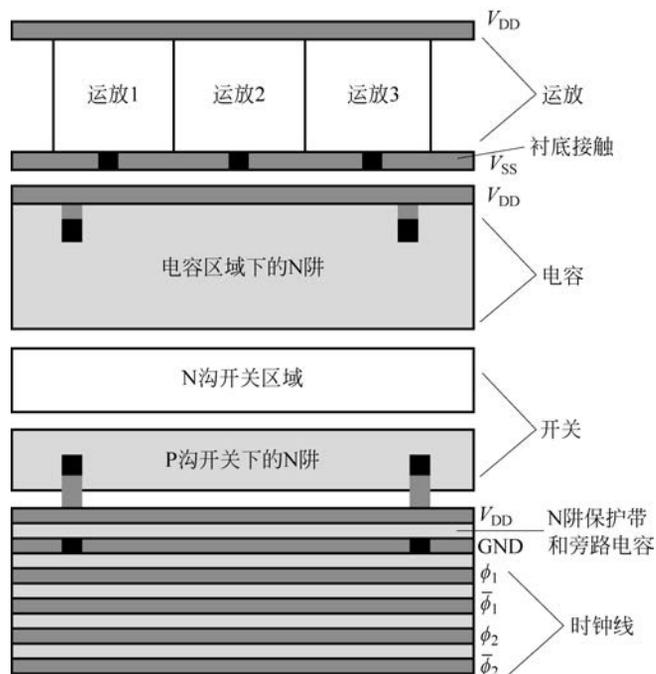


图 5-13 一个混合信号芯片内的版图布局示例

### 5.3 版图设计工具的使用

目前主流的版图设计工具主要有 Cadence 公司的 Virtuoso、Synopsys 公司的 Laker 以及华大九天等,版图设计的流程方法基本都是一致的,这里以 Cadence 的版图设计工具为例说明版图设计工具的使用。

首先确保执行目录下有 display.drf 文件。与电路设计一样,启动 Cadence 的设计环境平台,在命令提示符(\$)下执行

```
$ virtuoso &
```

与电路设计与仿真一样,首先需要建立一个设计库,同样可以在 CIW 或 Library Manager 中进行新设计库的建立。这里在 Virtuoso 的主界面 CIW 中执行 Tools→Library Manager 菜单命令,然后在打开的库管理器中执行 File→New→Library 菜单命令,如图 5-14 所示。设置库名为 lab2,单击 OK 按钮。这里的建库步骤和电路仿真时建立设计库是一样的。但要注意的是,由于开展版图设计,因此建立的设计库中要包含进行集成电路版图设计的工艺信息。

如图 5-15(a)所示,在 Technology File for New Library 对话框中选择 Compile an ASCII technology file 选项,单击 OK 按钮,弹出 Load Technology File 对话框,为新建立的库加载工艺厂家提供的 ASCII 工艺文件。或者依附(Attach)一个已有的工艺厂家提供的 PDK 库,如图 5-15(b)所示,选择依附一个已经具有工艺属性的设计库,这样新建的设计库就会包含工艺厂家规定版图的图层等工艺信息。

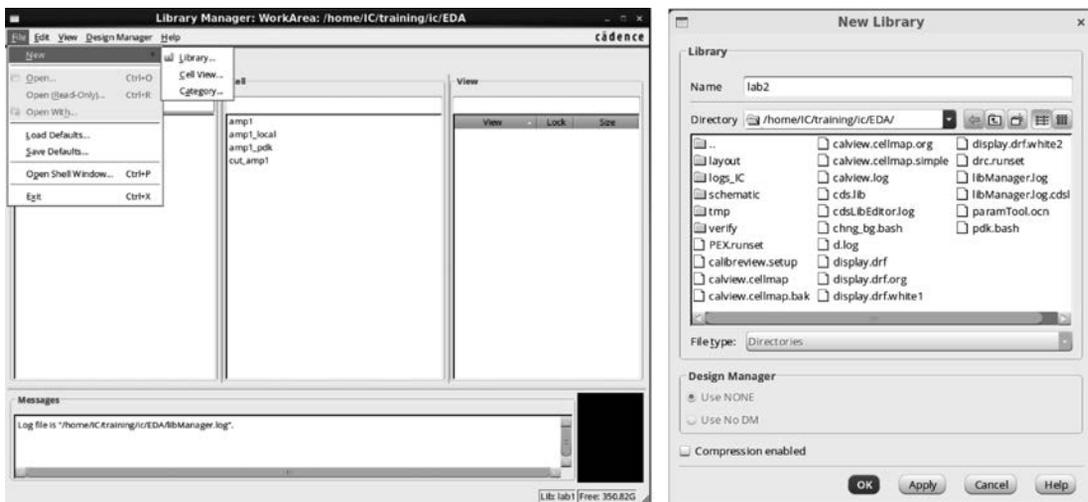


图 5-14 在库管理器中建立设计库



(a) 编译ASCII工艺文件



(b) 依附已存在的工艺库

图 5-15 建立新库的工艺文件

然后,在 lab2 设计库中建立一个版图视图(Layout View),在库管理器中执行 New→Cell View 菜单命令,弹出 New File 对话框。如图 5-16 所示,以一个反相器为例,在 Cell 文本框中输入需要创建的单元名称,View 选择为 layout,Type 选择为 layout,则工具会自动选择 Layout 工具,单击 OK 按钮,弹出版图编辑界面,如图 5-17 所示。这里同时为 inv1 单元建立电路图,即在 New File 对话框中 View 选择为 schematic,Type 选择为 schematic,然后在电路图编辑界面中编辑 inv1 的电路图,过程与方式已介绍过,这里不再赘述。



图 5-16 建立新单元的版图及电路图

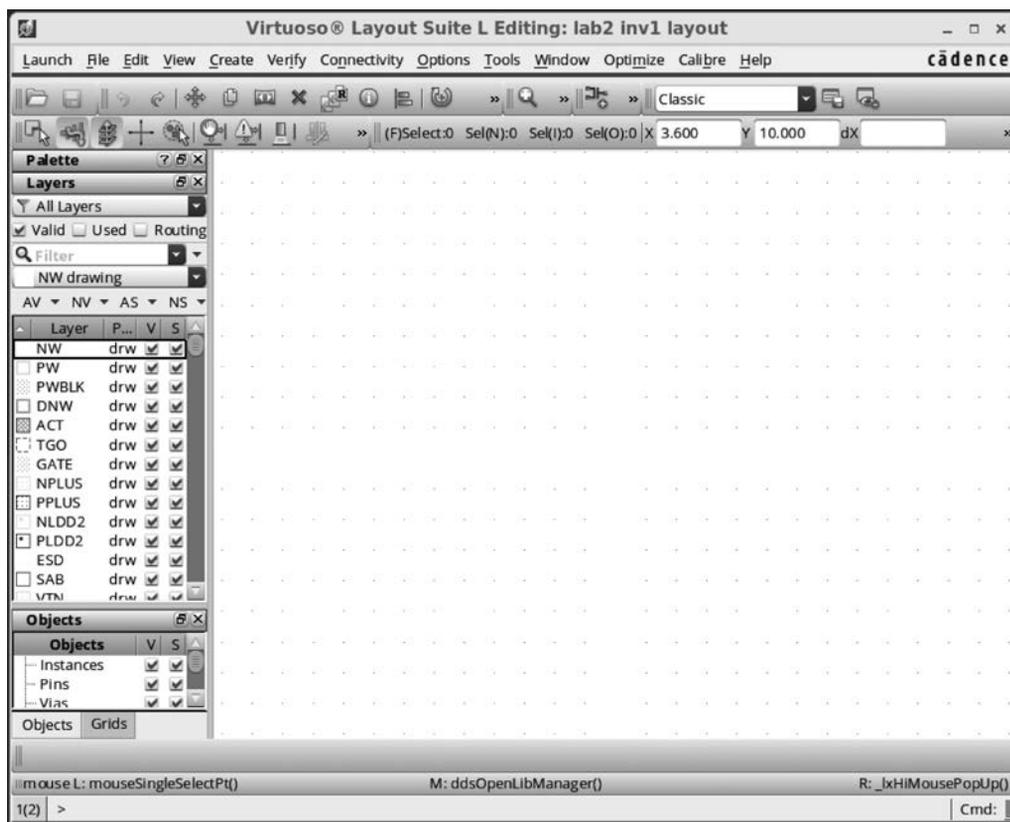


图 5-17 新单元的版图编辑界面

在版图编辑界面中,左侧是图层选择窗口(Layer Select Window,LSW),对应工艺厂家工艺文件中规定的图形信息。在其中选择图层,然后绘制各种图形。在版图编辑界面的底栏中有当前命令的提示以及鼠标键功能提示(鼠标左、中、右键)。版图编辑界面的菜单栏中有包含文件操作、编辑、查看、创建等版图相关的命令,如图 5-18 所示。而常用的版图编辑命令也以按钮的形式出现在版图编辑界面顶部的工具栏中。

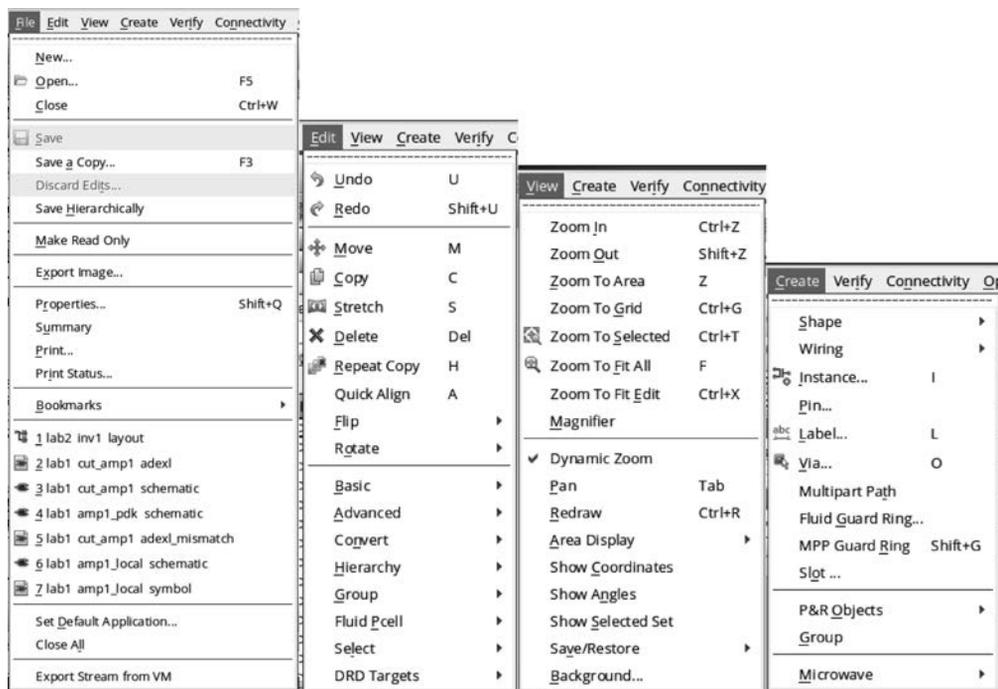


图 5-18 版图编辑常用的菜单命令

这里不对菜单命令一一介绍,而是伴随命令或菜单在后续使用过程中进行描述及说明。

至此,已经简单介绍了版图设计工具的初步使用,下面结合具体的基本电路进行版图设计方法的介绍。

## 5.4 基本版图设计

前面已经介绍过 PDK 的概念。在 PDK 中,常用元器件的版图已经创建为单元,并且是参数化的。电路及版图设计者在使用时,只需要进行单元例化,并输入需要的参数,即可生成需要的元器件版图,这些版图的图层之间均符合相应工艺厂家的设计规则。下面以一个反相器的设计为例说明基本版图设计方法。首先采用 PDK 的元器件完成反相器电路的设计,如图 5-19 所示。电路图的编辑采用第 4 章的流程和方法,这里不一一赘述。为了能够使用工艺厂家提供的 PDK,注意需要将 PDK 加入库中。在库管理器中执行 Edit→Library Path 菜单命令,弹出 Library Path Editor 对话框,在其中输入 PDK 库名称以及相应的路径,或者在 cds.lib 文件中指明 PDK 库的路径。

按照设计的电路图开展版图的设计。在版图设计前,要注意设置版图的格点,执行 Options→Display 菜单命令,弹出 Display Options 对话框。如图 5-20 所示,在 Grid Controls 区域设置格点。

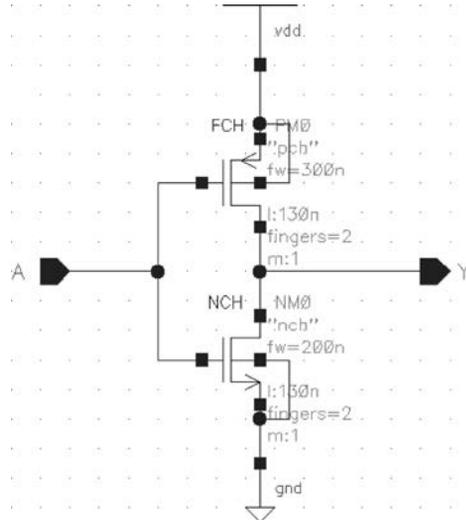


图 5-19 inv1 单元的电路图



图 5-20 Display Options 对话框

格点的大小需要根据工艺手册选取,这里 X Snap Spacing 为 0.005, Y Snap Spacing 为 0.005,然后单击 Save To 按钮保存。

如图 5-21 所示,从 PDK 中选择 NMOS 晶体管 NCH 和 PMOS 晶体管 PCH,在 View 下拉列表中选择 Layout,按照电路的尺寸输入相应的参数。不同厂家提供的 PDK 中元器件的参数可能会不一样,但基本参数都会提供。例如,这里的 MOS 器件的参数都会提供栅长(Length)、栅宽(Width),总栅宽(Total Width)=晶体管叉指栅宽(Finger Width)×叉指数(Fingers)。本例中,PMOS 和 NMOS 晶体管的栅长都为 130nm。PMOS 单个叉指栅宽为 300nm,叉指数为 2,因此总栅宽为 600nm;NMOS 单个叉指栅宽为 200nm,叉指数为 2,因此总栅宽为 400nm。除此之外,一些工艺厂家为了方便设计,在 PDK 中还提供很多的功能,如可以选择栅的端头的连接方式、源漏区的连接方式、晶体管衬底或阱的连接(Tap)的方式等。本例采用 PDK 形成的 NMOS 和 PMOS 晶体管版图如图 5-22 所示,其中图 5-22(b)包含了晶体管的衬底或阱的连接(Tap)。

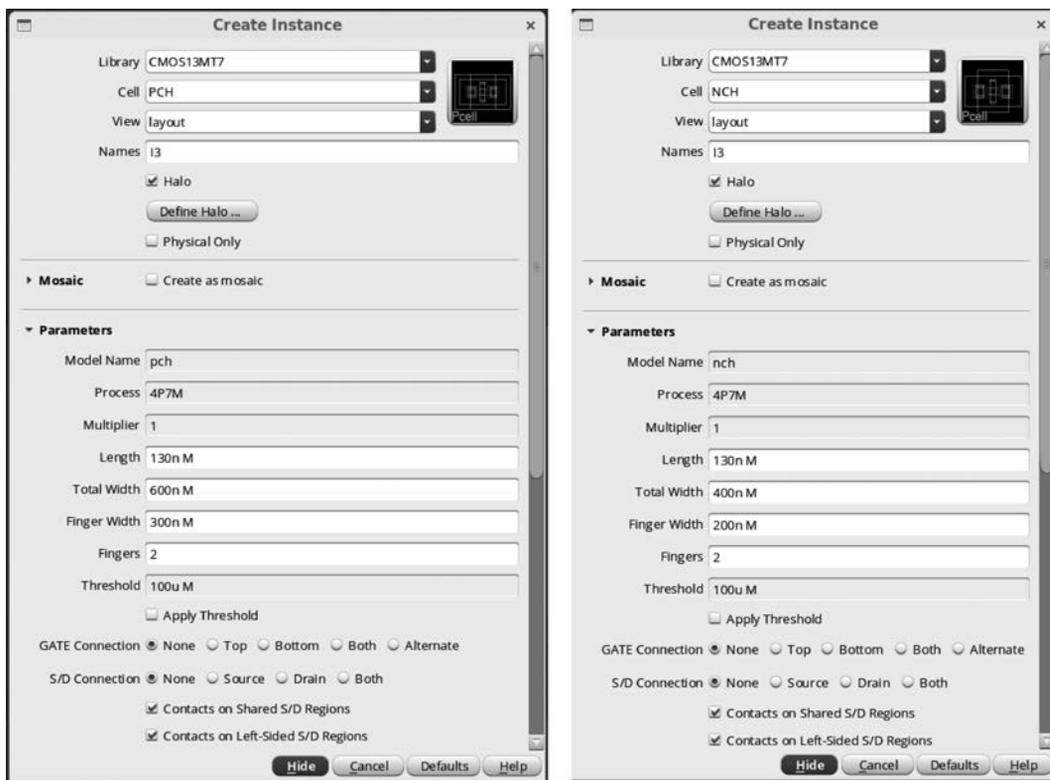


图 5-21 采用 PDK 中的 NMOS 和 PMOS 晶体管

如果插入的元器件版图的参数数据填写错误,可以选中元器件后使用属性(Properties)命令修改器件的参数,在弹出的 Edit Instance Properties 对话框中按照需要修改相关参数,单击 Apply 按钮后生效,如图 5-23 所示。

NMOS 晶体管的衬底端 B 需要连接在衬底上,PMOS 晶体管的衬底端 B 需要连接在 N 阱中。如果在插入 PDK 元器件时没有选择衬底或阱的连接(Tap),或者工艺厂家提供的 PDK 没有提供此功能选项,则可以手工插入相关有源区形成阱接触或衬底接触。例如,对于 NMOS 晶体管,执行 Create Via 命令(快捷键为 O),弹出 Create Via 对话框,如图 5-24 所示。Via 的类型选择

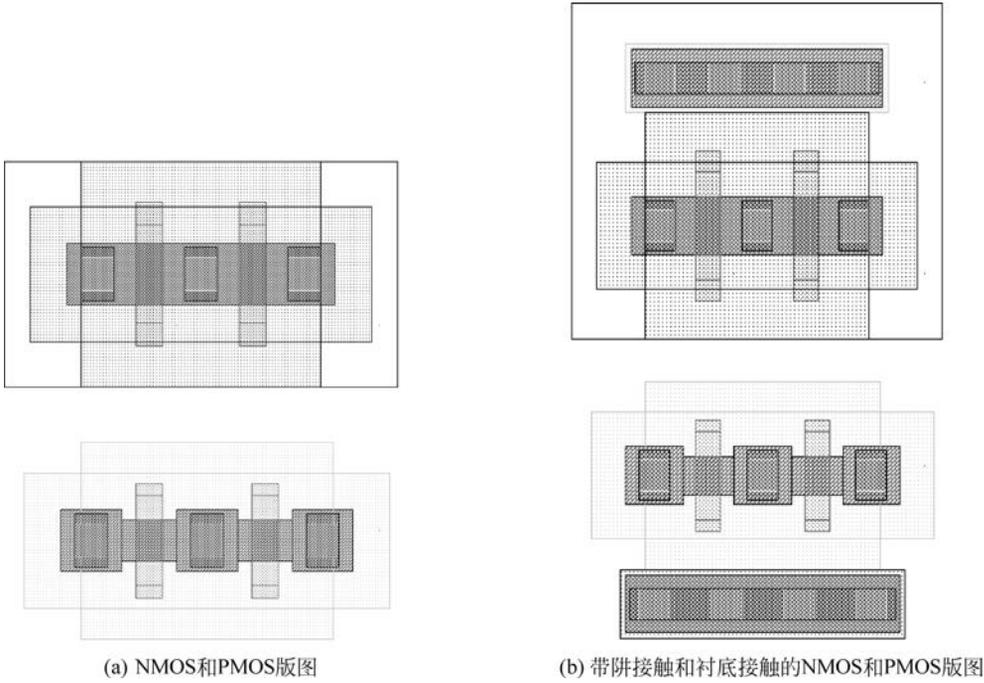


图 5-22 采用 PDK 形成的 NMOS 和 PMOS 晶体管版图

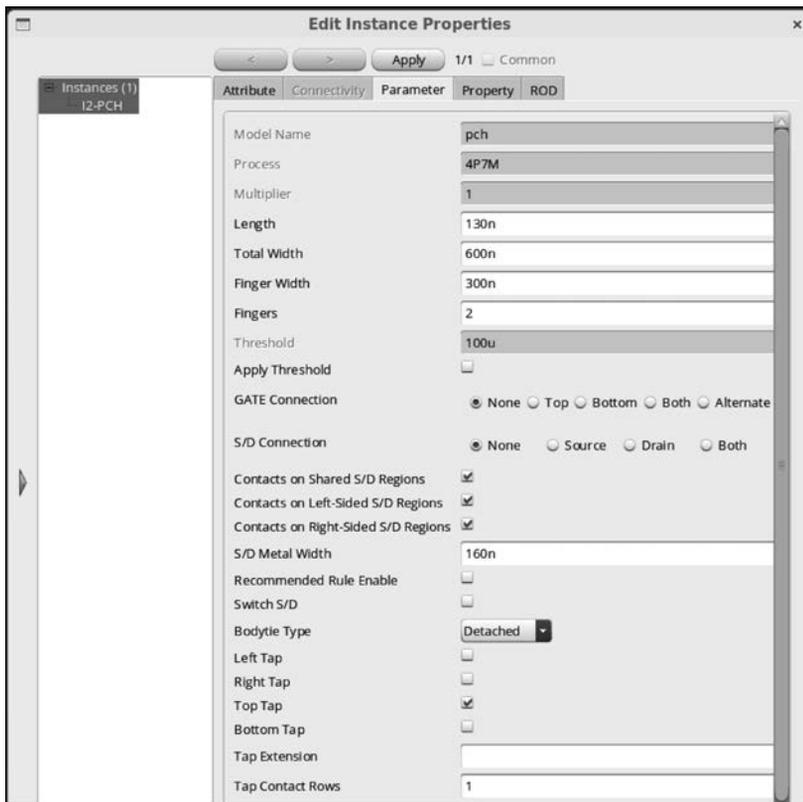


图 5-23 修改 PDK 中元件的例元属性

M1\_ACT, 即 M1 和有源区的 Via, 按照需要填入相应的行(Rows)数目和列(Columns)数目。对话框中的其他参数是工艺文件所规定的, 一般不需要改变, 当然也可按照需要并且遵循工艺设计规则填写。这里需要注意的是, 创建 Via 需要工艺厂家提供的工艺文件中有相应的 Via 图形与其他图层之间关系的定义, 如果工艺文件中没有提供这部分定义, 则不能正确执行 Create Via 命令。

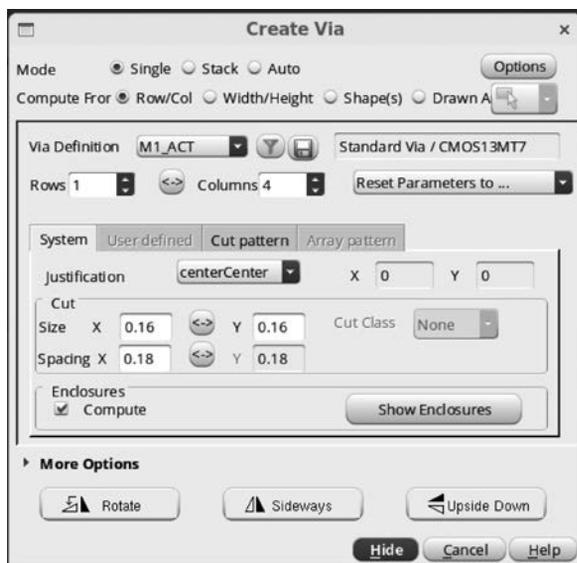


图 5-24 Create Via 对话框

这里通过 Create Via 命令创建了 Active + Contact + Metal1 的图形。由于希望创建的是 NMOS 晶体管在 P 型衬底上的衬底接触, 还需要规定有源区的类型, 因此这里首先选择 PPLUS 图层, 然后使用创建矩形的命令(快捷键为 R), 按照设计规则要求在有源区外形成 PPLUS 图层, 如图 5-25 所示。在执行创建矩形的命令过程中, 按照版图编辑界面的底栏中的当前命令提示使用鼠标键, 即在创建矩形的命令生效时先单击一次确定矩形的第 1 个坐标, 然后再单击确定矩形的第 2 个坐标并完成矩形的绘制。其他图层均可按照该方法进行创建。

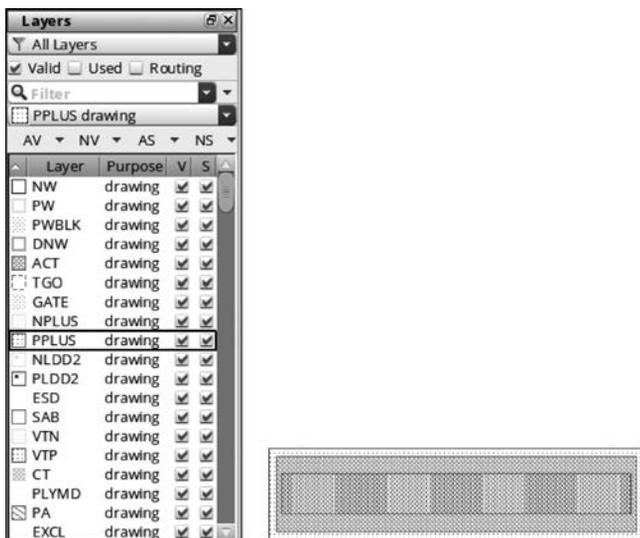


图 5-25 在 M1\_ACT 基础上添加 PPLUS 图层

值得一提的是,是否需要在 Create Via 命令创建的 Active+Contact+Metal1 图形的基础上再增加 PPLUS 实现衬底接触,要看工艺厂家提供的工艺文件的定义,有些工艺厂家直接就规定了 Active+PPLUS+Contact+Metal1 的关系,直接通过 Create Via 命令创建这个衬底接触就可以了。阱接触也是如此。

如图 5-26(a)所示,选择 GATE 图层,采用 PATH(连线,快捷键为 P)命令连接两个晶体管的栅,弹出 Create Wire 对话框。如图 5-26(b)所示,在 Width 文本框中输入连线的宽度,还可以在 Snap Mode 下拉列表中选择对齐方式,可以按需要选择任意角度、正交、X 方向、Y 方向等,推荐选择 orthogonal(正交)方式。图 5-26(c)所示为创建连线的局部效果。图 5-26(d)所示为连接 MOS 晶体管的 GATE 图层的整体效果。

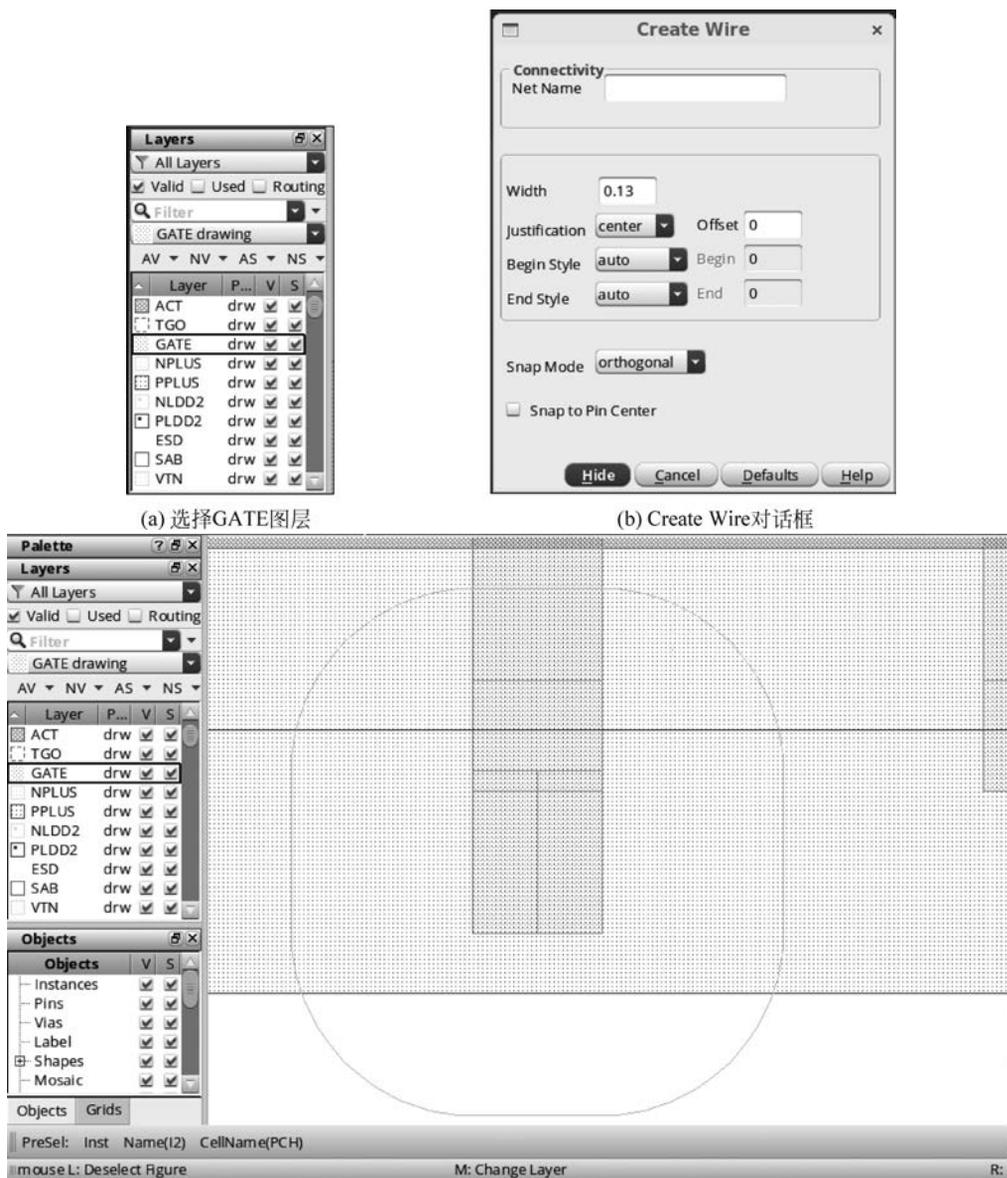
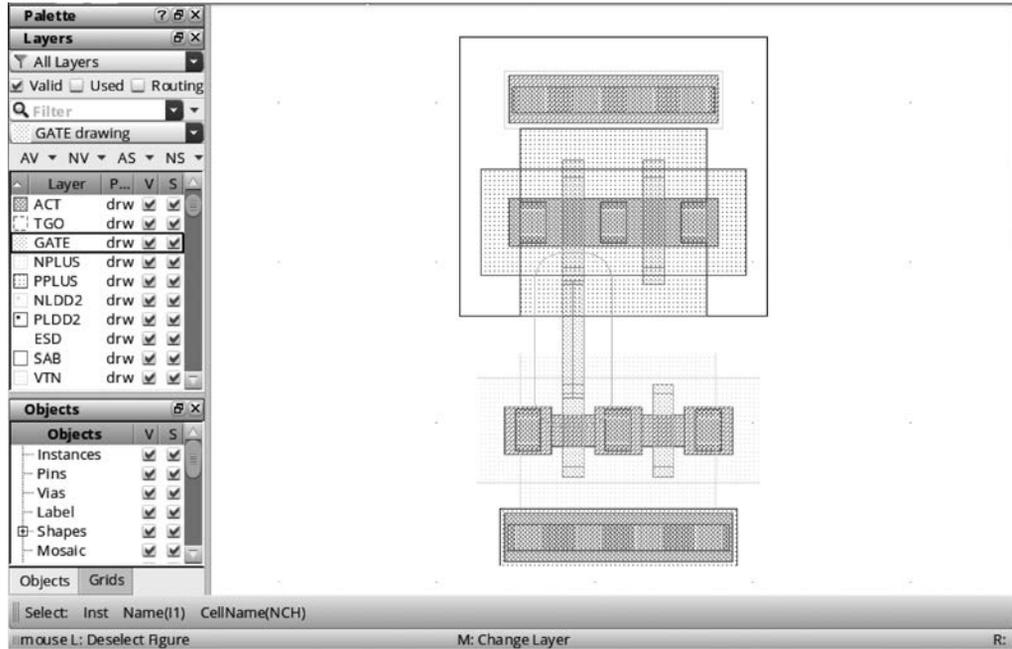


图 5-26 选择 GATE 图层并连线



(d) 连接MOS晶体管的GATE图层的整体效果

图 5-26 (续)

然后采用 Create Via 命令创建 GATE 和 M1 的 Contact 组合图形 M1\_GATE, 如图 5-27 所示。使用 Create Label 命令(快捷键为 L)在 M1\_TEXT 图层打上标签 A, 这样形成 inv1 单元的输入。

采用同样的方式依次选择 M1 图层, 采用 Path 或矩形命令连接 inv1 单元的输出、电源和地, 并分别在 M1\_TEXT 图层打上 Y、vdd!、gnd! 标签, 最终的 inv1 单元整体版图如图 5-28 所示。打标签时注意标注点(即十字叉点)要放在相应的连线层(多晶硅、金属层)图形内, 而不能放在图形的外部。

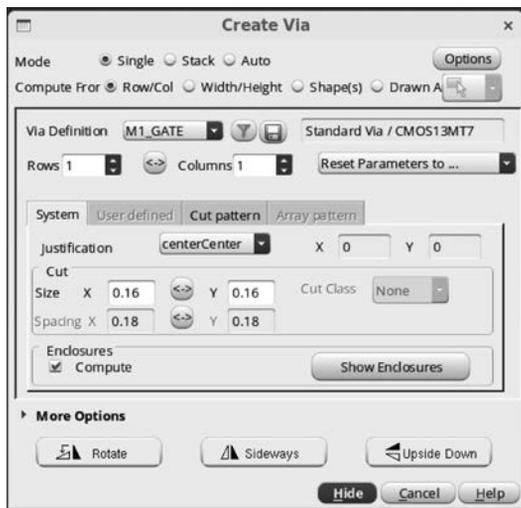


图 5-27 创建 GATE 和 M1 的 Contact 组合图形

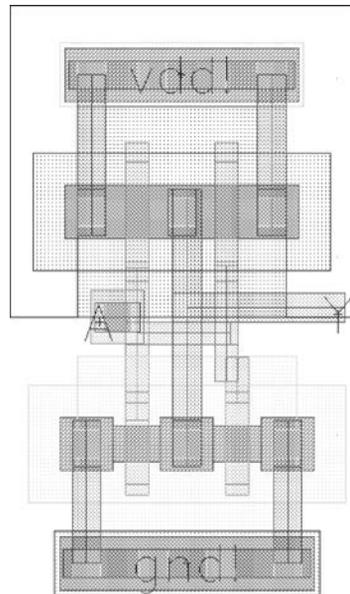


图 5-28 inv1 单元整体版图

需要注意的是,不同的工艺厂家提供的工艺图层的定义是不同的,因此读者在开展版图设计前要仔细阅读工艺文件。另外,有的工艺规定每个层次都有不同的目的,如有的工艺厂家定义 Metal1 有 Drawing 层 MET1(drw)和 Label 层 MET1(lbl),用 Drawing 层绘制图形,而用 Label 层标注名称。

## 5.5 版图设计文件导出

在完成版图设计后,可以将版图数据导出为 GDS 数据,交给其他工具进行版图验证,待整个芯片的版图设计完成后,同时也需要导出 GDS 数据交给工艺厂家,工艺厂家将根据版图数据形成掩膜版进行集成电路的生产与制造。

这里仍以 inv1 单元版图为例,介绍导出 GDS 数据的操作。在 CIW 中执行 File→Export→Stream 菜单命令,如图 5-29 所示,弹出 XStream Out 窗口。

如图 5-30 所示,单击 Library 文本框右侧的  按钮,弹出 Select lib, cells and views 对话框,选择准备导出的设计单元。如图 5-31 所示,选择 lab2 库中 inv1 单元的 layout 视图,单击 OK 按钮,导出的设计单元信息就自动填入了图 5-30 XStream Out 窗口中的相应文本框,导出文件名称为 inv1.gds。在 Log File 文本框中,工具自动填入 strmOut.log,用来记录数据导出的日志报表。当然,以上内容均可按需要手工填写。

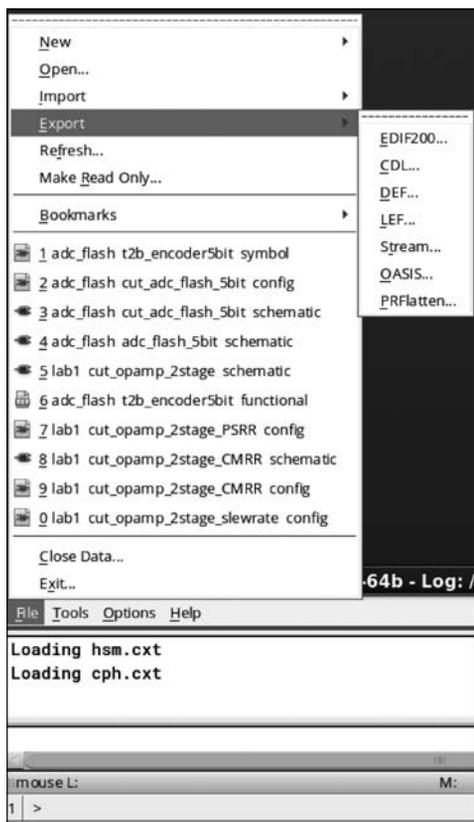


图 5-29 导出 GDS 数据文件菜单命令

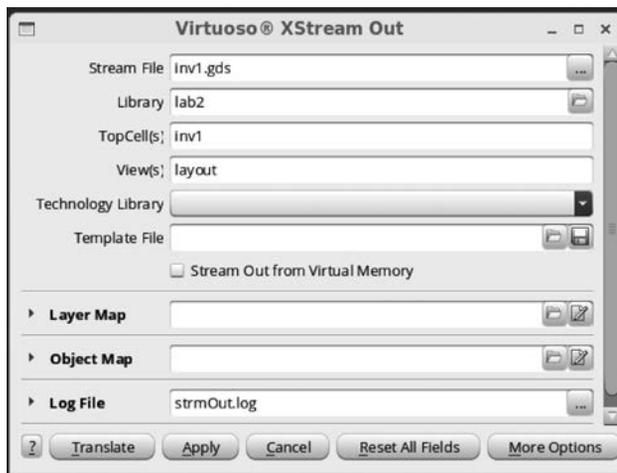


图 5-30 XStream Out 窗口

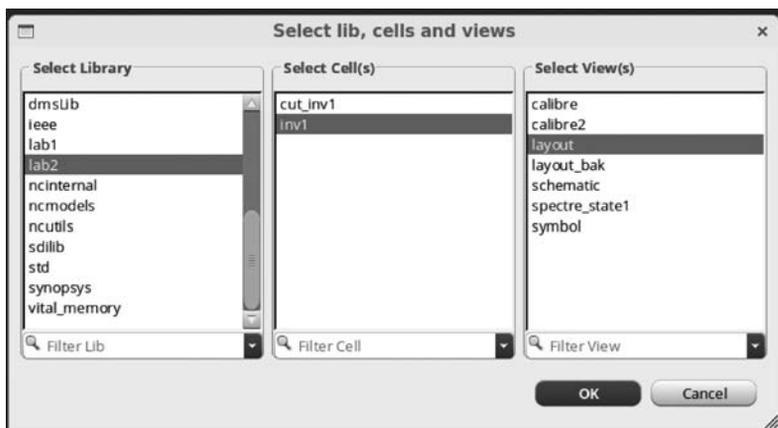


图 5-31 Select lib, cells and views 对话框

进一步地,如果还想了解导出数据的总结内容报表,可以在 XStream Out 窗口的 Log File 部分的 Summary File 文本框中输入报表名称,如 strmSum.log,如图 5-32 所示。Summary File 文本框中如果不填写任何文件名,则不会产生相应的总结内容报表。

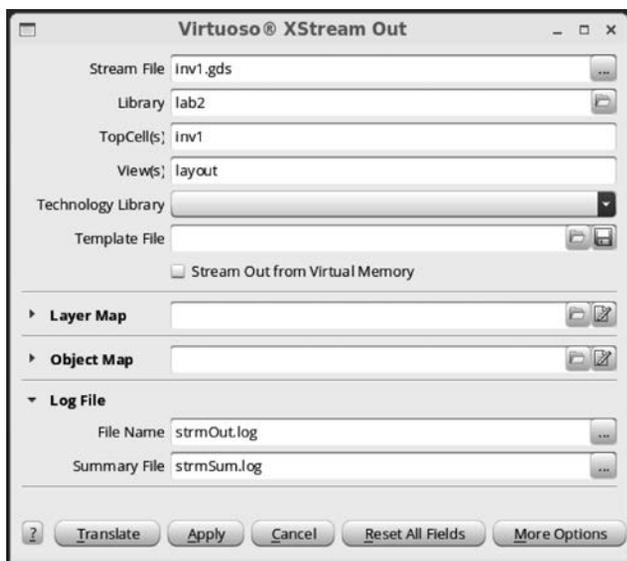


图 5-32 产生 GDS 总结内容报表

对于 Layer Map 文本框,需要输入版图设计与 GDS 层号的对应关系,即如表 5-1 所示的绘制图层与 GDS 层号的关系。如果在版图库建库时编译的工艺文件中包含 streamLayers 的定义,则 Layer Map 文本框可以空着,这样会按照当初版图设计库中工艺文件中的 streamLayers 定义导出 GDS 数据文件。如果版图库的工艺文件中没有包含 streamLayers 的定义,则需要 Layer Map 文本框中输入内容,如图 5-33 所示。示例文件 layer\_mapping.map 的部分内容如图 5-34 所示,其中第 1 列为绘制的版图图层名,第 2 列为版图图层的目的,一般是为了区分 drawing、label、pin 等不同目的的图层,第 3 列是导出 GDS 的图层号,第 4 列是 GDS 的图层的数据类型,与绘制版图的图层目的对应。

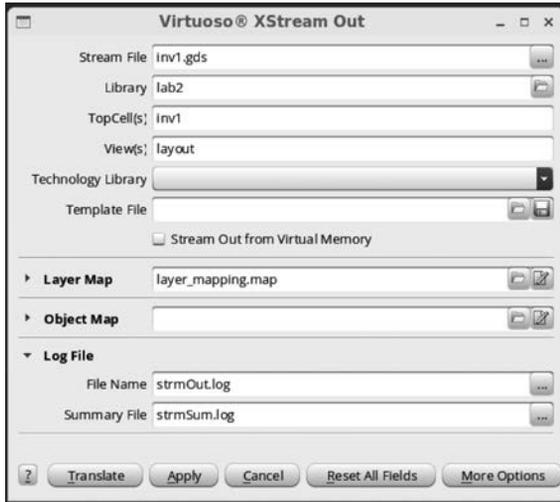


图 5-33 指定 Layer Map 文件

```

#Layer purpose streamNo. datatype #note
#####
NW drawing 1 0 #NMELL
ACT drawing 2 0 #Active area
GATE drawing 12 0 #Poly gate
NPLUS drawing 13 0 #Nimp
PPLUS drawing 14 0 #Pimp
ESD drawing 15 0 #ESD Implant
SAB drawing 16 0 #Non silicided area definition
CT drawing 17 0 #Contact
PA drawing 18 0 #Passivation
M1 drawing 21 0 #Metal1
M2 drawing 22 0 #Metal2
M3 drawing 23 0 #Metal3
M4 drawing 24 0 #Metal4
M5 drawing 25 0 #Metal5
M6 drawing 26 0 #Metal6
M7 drawing 27 0 #Metal7
MV1 drawing 31 0 #Via1
MV2 drawing 32 0 #Via2
MV3 drawing 33 0 #Via3
MV4 drawing 34 0 #Via4
MV5 drawing 35 0 #Via5
MV6 drawing 36 0 #Via6
M1 TEXT drawing 131 0 #Metal1 text layer
M2 TEXT drawing 132 0 #Metal2 text layer
M3 TEXT drawing 133 0 #Metal3 text layer
M4 TEXT drawing 134 0 #Metal4 text layer
M5 TEXT drawing 135 0 #Metal5 text layer
    
```

图 5-34 layer\_mapping.map 示例文件部分内容

设置完成后,单击 Translate 或 Apply 按钮,就会执行 GDS 数据文件的导出。待导出完成后,弹出如图 5-35 所示的对话框,说明正常导出 GDS 完毕。如果出现问题,如 Warning 或 Error 提示,可以通过查看 strmOut.log 日志文件查找问题的原因。如果没有问题日志文件 strmOut.log,则报告导出 GDS 的基本过程信息, strmOut.log 文件部分内容如图 5-36 所示。如果想要了解导出 GDS 的具体信息,如图层对应关系、单元信息等,则可以在生成的 strmSum.log 文件中查阅,如图 5-37 所示。



图 5-35 导出 GDS 结束

```

Summary of Options :
library lab2
strmFile inv1.gds
topCell inv1
view layout
logFile strmOut.log
summaryFile strmSum.log
layerMap layer_mapping.map
case Preserve
convertDot node
    
```

图 5-36 strmOut.log 文件部分内容

Individual Cell Statistics - Advanced Objects										
Library/Cell/View	PRBdy	OtherBdy	AreaBlkg	LayerBlkg	AreaHalo	Row	Marker	CustVia	StdVia	CdsGenVia
CMOS13M7/NCH/layout	0	0	0	0	0	0	0	0	0	0
lab2/inv1/Layout	0	0	0	0	0	0	0	0	1	0
CMOS13M7/PCH/Layout	0	0	0	0	0	0	0	0	0	0
CMOS13M7/M1_GATE/layout	0	0	0	0	0	0	0	0	0	0

Statistics of Layers														
Cadence Layer	Cadence Purpose	Stream Layer	Stream Datatype	Polygon	Rect	Path	Text	TextDisplay	Line	Dot	Arc	Donut	Ellipse	Pathseg
M1	drawing	21	0	0	9	0	0	0	0	0	0	0	0	7
PPLUS	drawing	14	0	0	3	0	0	0	0	0	0	0	0	0
ACT	drawing	2	0	0	16	0	0	0	0	0	0	0	0	0
CT	drawing	17	0	0	15	0	0	0	0	0	0	0	0	0
M1_TEXT	drawing	131	0	0	0	0	4	0	0	0	0	0	0	0
GATE	drawing	12	0	0	21	0	0	0	0	0	0	0	0	7
NPLUS	drawing	13	0	0	4	0	0	0	0	0	0	0	0	0
NW	drawing	1	0	0	1	0	0	0	0	0	0	0	0	0

```

Summary of Objects Translated:
Scalar Instances: 2
Array Instances: 0
Polygons: 0
Paths: 0
Rectangles: 69
Lines: 0
Arcs: 0
    
```

图 5-37 strmSum.log 文件部分内容

## 5.6 本章小结

本章介绍了版图设计的基本概念、技术以及工具的使用。版图设计的核心目标是在保证电路物理实现时功能和性能的前提下尽量减小芯片面积消耗。对于模拟集成电路,版图设计主要需要考虑的是对称性和匹配性。同时,如果还存在数字电路,还应考虑噪声干扰的抑制。本章介绍了版图设计工具的使用方法,以便读者可以快速上手掌握版图设计。每种版图设计工具都具有其各自强大的功能,这里就不一一介绍了,读者可以参考相关工具的用户手册以及参考手册。