

第5章

锁存器与触发器

第4章中所介绍的组合电路有一大特点,即:电路的输出只与当时的输入有关,而与电路的输入历史无关,也就是说,组合电路没有记忆功能。而在数字系统中,记忆功能是必不可少的。本章介绍数字系统中的基本记忆元件——锁存器和触发器。

5.1 基本 R-S 锁存器

5.1.1 电路结构

图 5.1(a)所示为由两个与非门组成的基本 R-S 锁存器(R-S latch)电路,图 5.1(b)是图 5.1(a)的逻辑符号。该电路有两个输入 \bar{S} ^① 和 \bar{R} , 两个输出 Q 和 \bar{Q} 。与组合电路不同的是两个门的输出交叉反馈到输入端。

由图 5.1(a)可见,门 1 的输出 Q 除与其输入 \bar{S} 有关外,还与门 2 的输出 \bar{Q} 有关;同理,门 2 的输出 \bar{Q} 除与其输入 \bar{R} 有关外,还与门 1 的输出 Q 有关。锁存器和后面要讲的触发器电路中规定 Q

与 \bar{Q} 必须互补,也就是说,二者既不能同时为 0,也不能同时为 1,以免引起逻辑混乱。 Q 端的逻辑值称为锁存器的状态:如果 $Q=1$,称锁存器的状态为 1;如果 $Q=0$,则称锁存器的状态为 0。

5.1.2 功能分析

图 5.1(a)所示电路的输入共有以下四种情况:

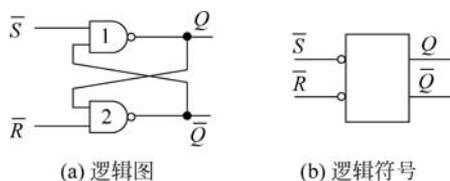


图 5.1 基本 R-S 锁存器

^① 此处 \bar{S} 为输入变量,不是 S 的反。后文中的 $\bar{\bar{S}}$ 是输入变量 \bar{S} 的反,不能写成 S 。使用变量名 \bar{S} 是为强调“低有效”,有的书上用 S_L ,也有的书上直接用 S 。本章和第 6 章中的低有效变量均使用 \bar{S} 的形式。

(1) $\bar{S}=\bar{R}=0, Q=\bar{Q}=1$ 。由于 Q 与 \bar{Q} 必须互补, 所以这种情况不允许出现。使用时应该保证满足 $\bar{S}+\bar{R}=1$ 这一约束条件。

(2) $\bar{S}=0, \bar{R}=1, Q=1$; 而由 $\bar{R}=1, Q=1$ 可得 $\bar{Q}=0$ 。此时锁存器的状态为 $Q=1$ 。

(3) $\bar{S}=1, \bar{R}=0, \bar{Q}=1$; 而 $\bar{S}=1, \bar{Q}=1$ 将导致 $Q=0$ 。此时锁存器的状态为 $Q=0$ 。

(4) $\bar{S}=1, \bar{R}=1$, 若此时 $Q=0$, 则 $\bar{Q}=\overline{RQ}=1$; 而 $Q=\overline{SQ}=0$, 锁存器状态保持为 0; 若此时 $Q=1$, 则 $\bar{Q}=\overline{RQ}=0$; 而 $Q=\overline{SQ}=1$, 锁存器状态保持为 1。可见当 $\bar{S}=1, \bar{R}=1$ 时, 锁存器状态保持不变。

结论:

当 $\bar{S}=\bar{R}=0$ 时, $Q=\bar{Q}=1$, 不允许这种情况出现;

当 $\bar{S}=0, \bar{R}=1$ 时, $Q=1$;

当 $\bar{S}=1, \bar{R}=0$ 时, $Q=0$;

当 $\bar{S}=1, \bar{R}=1$ 时, Q 保持不变。

5.1.3 功能描述

由于锁存器的输出除与输入有关外, 还与当前状态有关, 所以它的描述方法与组合电路不同, 下面介绍它的各种描述方法。

1. 状态转换表

根据 5.1.2 小节的分析, 可以得到表 5.1 所示的状态转换表, 该表表明输入值和现在的状态 Q^n (现态, present state) 共同确定下一时刻的状态 Q^{n+1} (次态, next state), 即次态是输入和现态的函数, 即 $Q^{n+1}=F(\bar{S}, \bar{R}, Q^n)$ 。

表 5.1 基本 R-S 锁存器的状态转换表

序号	\bar{S}	\bar{R}	Q^n	Q^{n+1}
0	0	0	0	不允许
1	0	0	1	不允许
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

与描述组合逻辑的真值表不同的是: 锁存器的现态 Q^n 出现在状态转换表的左侧, 而次态 Q^{n+1} 出现在表的右侧。

注意: Q^n, Q^{n+1} 是同一个 Q 在不同时刻的状态, 是同一个变量。

2. 状态转换方程

根据表 5.1, 可画出图 5.2 所示的 Q^{n+1} 的卡诺图, 状态表中不允许出现的项在卡诺图中作为无关项处理。由图 5.2 可得到基本 R-S 锁存器的状态转换方程(简称状态方程, 又称特征方程)

		$\bar{R}Q^n$			
	\bar{S}	00	01	11	10
0		x	x	1	1
1		0	0	1	0

图 5.2 Q^{n+1} 的卡诺图

如式(5.1)所示。该式表明：当 $\bar{S}=0$ ，或者当 $\bar{R} \cdot Q^n=1$ 时，有 $Q^{n+1}=1$ 。

$$\begin{cases} Q^{n+1} = \bar{S} + \bar{R} \cdot Q^n \\ \bar{S} + \bar{R} = 1 \quad (\text{约束条件}) \end{cases} \quad (5.1)$$

3. 时序图

图 5.3 所示为给定 \bar{S} 、 \bar{R} 时 Q 和 \bar{Q} 的波形，假定 Q 的初始状态为 0。以下分析锁存器的输出波形。

分析时将 \bar{S} 、 \bar{R} 的输入分为九段，每段的 \bar{S} 、 \bar{R} 都不变，如图 5.3 所示。参考表 5.1 或式(5.1)可得如图 5.3 所示的结果。第①段： $\bar{S}=1, \bar{R}=0$ ，参考表 5.1 可知，此时 $Q=0, \bar{Q}=1$ ；第②段： $\bar{S}=1, \bar{R}=1$ ，此时锁存器状态保持不变，输出仍为第①段时的 $Q=0$ ，

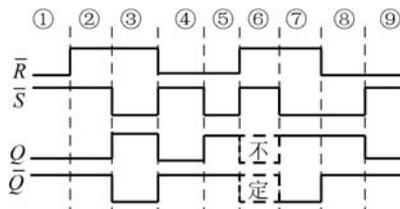


图 5.3 基本 R-S 锁存器的时序图

$\bar{Q}=1$ ，基本 R-S 锁存器的“记忆功能”只体现在这种情况时；第③段： $\bar{S}=0, \bar{R}=1$ ，由式(5.2)可知，此时锁存器的状态为 1；第④段： $\bar{S}=1, \bar{R}=0$ ，锁存器输出状态为 0；第⑤段：此时 $\bar{S}=0, \bar{R}=0$ ，不满足式(5.1)的约束条件。由图 5.1(a)可知，此时 $Q=\bar{Q}=1$ ，不符合 Q 与 \bar{Q} 必须互补的要求；第⑥段：此时 \bar{S} 与 \bar{R} 同时由第⑤段的 0 变为 1，我们知道此种组合为保持锁存器状态不变。但它究竟保持 $Q=1$ 还是保持 $\bar{Q}=1$ ？这取决于图 5.1(a)中门 1 和门 2 的延迟时间 t_{pd1} 和 t_{pd2} 。若 $t_{pd1} > t_{pd2}$ ，则门 2 的延时短， $\bar{Q}=Q \cdot \bar{R}$ ，先行由 1 变为 0，而 $\bar{Q}=0$ 则使 $Q=1$ ；同理，若 $t_{pd1} < t_{pd2}$ 则会使 $\bar{Q}=1, Q=0$ 。由于每个门的延迟时间都不一样，所以当 \bar{S} 与 \bar{R} 同时由 0 变为 1 时，锁存器的次态无法预测，可能是 0，也可能是 1。因此在图 5.3 中第⑥段的输出 \bar{Q} 和 Q 都标以“不定”。第⑦、⑧、⑨段读者可自行分析，结果如图 5.3 所示。

4. 状态转换驱动表和驱动方程

状态转换表是给定输入和现态，求次态；而状态转换驱动表则是已知由现态 Q^n 转换到次态 Q^{n+1} ，求驱动函数(输入函数、激励函数) \bar{S} 、 \bar{R} 。由表 5.1 可得基本 R-S 锁存器的状态转换驱动表，如表 5.2 所示。此表表明，若锁存器输出由 0 到 0 保持不变，则只要输入 $\bar{S}=1$ ，而 \bar{R} 任意即可；其他类似。

表 5.2 基本 R-S 锁存器的状态转换驱动表

序 号	Q^n	Q^{n+1}	\bar{S}	\bar{R}
0	0	0	1	×
1	0	1	0	1
2	1	0	1	0
3	1	1	×	1

由状态转换驱动表，利用卡诺图可得到驱动方程，结果为式(5.2)，读者可利用卡诺图自行推导。

$$\begin{cases} \bar{S} = \overline{Q^{n+1}} \\ \bar{R} = Q^{n+1} \end{cases} \quad (5.2)$$

5. 状态转换图

图 5.4 所示为基本 R-S 锁存器的状态转换图。图中用圆圈表示锁存器的状态,如图中的状态 0 和状态 1; 用箭头的起点表示现态,用箭头的终点表示次态,箭头上所标的输入为由现态转换到次态的条件,×表示任意输入值。由图 5.4 可见,它完整地描述了 R-S 锁存器的功能:由状态转换图可知由任一状态到任一状态的输入条件;或者给定初始状态和输入可由状态转换图决定次态。

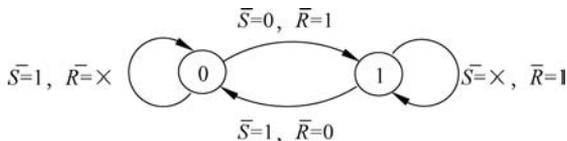


图 5.4 基本 R-S 锁存器的状态转换图

6. 逻辑符号

图 5.1(b)所示为基本 R-S 锁存器的逻辑符号,用它表示图 5.1(a)所示的电路可使电路的功能更加简单明了。该逻辑符号清楚地表明了锁存器的输入和输出。注意,图中输入端 \bar{S} 、 \bar{R} ^① 处有一个小圆圈,它表明 \bar{S} 为 0 时锁存器置 1, \bar{R} 为 0 时锁存器置 0,即所谓“低有效”,表明该信号为低电平时起作用。由于锁存器的两个输出肯定互补,所以习惯上逻辑符号中的 \bar{Q} 端不加圆圈,只标以 \bar{Q} 。也有的书上在 \bar{Q} 端加圆圈。

5.1.4 集成基本 R-S 锁存器

集成电路 74LS279 为集成基本 R-S 锁存器,它有 16 只引脚。手册中给出的功能表和引脚图分别如表 5.3 和图 5.5 所示。表 5.3 与表 5.1 类似,它是表 5.1 的简化形式。表 5.3 中的 Q^n 表示状态不变,或保持前一个状态。集成电路生产厂家提供的状态表中,高、低电平有的用 H、L 表示,有的用 1、0 表示;有的称为状态表,有的称为功能表。

由图 5.5 可知,一片 74LS279 中包含了 4 个基本 R-S 锁存器,分别以 1、2、3、4 表示;每个锁存器只引出了 Q 端,而 \bar{Q} 端则未引出。锁存器 2 和 4 与图 5.1 所示电路完全一样,而锁存器 1 和 3 分别有两个 \bar{S} 端,此时 $\bar{S} = \bar{S}_1 \bar{S}_2$,是相“与”的关系。其他与图 5.1 所示电路完全相同。

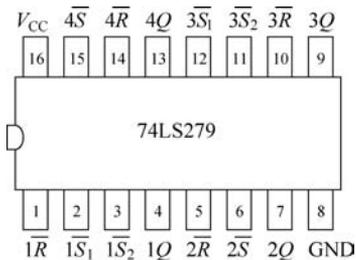


图 5.5 74LS279 引脚图

表 5.3 74LS279 的功能表

\bar{S}	\bar{R}	Q
H	H	Q^n
H	L	L
L	H	H
L	L	H^*

* : 此时 $Q = \bar{Q} = H$

① S 为 Set 的缩写,表明该信号有效时将锁存器置 1,又称为置位;R 为 Reset 的缩写,表明该信号有效时将锁存器置 0,又称清零、复位。后面讲到的触发器等也是如此。

* 5.1.5 防抖动开关

日常使用的机械开关的关键部件是两个金属片,通过控制这两个金属片的接触和分离来控制电流的通与断。由于金属具有弹性,两金属片接触和分离时不是一次完成,而是要抖动若干次才能完成,如图 5.6 所示。由于开关每次通、断时抖动的次数都是随机的,所以这种开关不能直接用于数字系统,否则会使系统的状态不可预测。例如使用机械开关就不能对数字钟进行准确的校时:按一下开关,输入的脉冲数不定。

基本 R-S 锁存器即可解决机械开关的抖动问题。图 5.7 所示电路由基本 R-S 锁存器、机械开关 K 和限流电阻 R 组成,其中 K 为单刀双掷开关。使用此电路,机械开关通、断时 Q 和 \bar{Q} 端状态就不会再出现抖动,读者可自己分析。

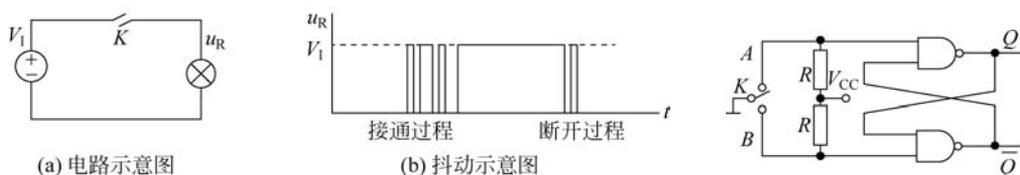


图 5.6 开关抖动示意图

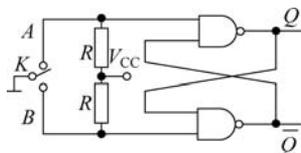


图 5.7 防抖开关原理图

5.1.6 基本 R-S 锁存器存在的问题

基本 R-S 锁存器可实现存储信息的功能,但它不够完善。在使用过程中有两个缺点:一个是 \bar{S} 、 \bar{R} 不能同时为 0(同时有效);另一个是不管什么时候,只要输入信号变化,输出状态就可能跟着变。这就使得在使用时很不方便。下面将要介绍的其他类型的锁存器和触发器电路可以改善或消除一个或全部缺点。

5.2 门控 R-S 锁存器

5.2.1 电路结构

图 5.8(a)所示为门控 R-S 锁存器(gated R-S latch)的电路结构。由图可知,虚线右侧是一个基本 R-S 锁存器,所以该电路又可画为图 5.8(b)所示的形式。图 5.8(c)为其逻辑符号。

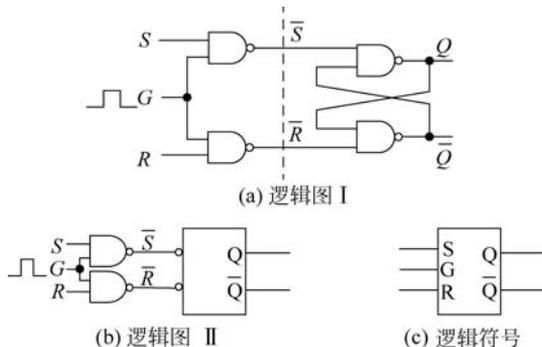


图 5.8 门控 R-S 锁存器

5.2.2 功能分析

由图 5.8(a)或(b)可知: ①当门控信号 G 为 0 时, $\bar{S}=\bar{R}=1$, 此时基本 R-S 锁存器处于保持状态, 输出不变。②当 $G=1$ 时, \bar{S} 、 \bar{R} 分别由输入信号 S 、 R 确定: 若 $S=0, R=0$, 则 $\bar{S}=1, \bar{R}=1$, 此时 Q 不变; 若 $S=1, R=0$, 则 $\bar{S}=0, \bar{R}=1$, 此时将 Q 置为 1; 若 $S=0, R=1$, 则 $\bar{S}=1, \bar{R}=0$, 此时将 Q 置为 0; 若 $S=1, R=1$, 则 $\bar{S}=0, \bar{R}=0$, 此时 $Q=\bar{Q}=1$, 而根据锁存器的性质, 这是不允许的, 也就是说, 在 $G=1$ 期间, S 、 R 不能同时为 1。

综上所述, 当 $G=0$ 时, 输出保持不变; 当 $G=1$ 时, 输出的变化取决于 R 、 S 的值。输入 G 是一个控制信号, 它的作用类似一个门的开与关, $G=1$ 时相当于把门打开, 允许输入信号进入; $G=0$ 时把门关闭, 不允许输入信号进入。所以这种锁存器称为门控 R-S 锁存器。

5.2.3 功能描述

门控 R-S 锁存器的描述方法与基本 R-S 锁存器类似。

1. 状态转换表

根据 5.2.2 小节的分析可得如表 5.4 所示的门控 R-S 锁存器的状态转换表。与表 5.1 相比, 它多了一列门控信号 G , 其他类似。

表 5.4 门控 R-S 锁存器的状态转换表

序 号	G	S	R	Q^n	Q^{n+1}
	0	×	×	Q^n	Q^n
0	1	0	0	0	0
1	1	0	0	1	1
2	1	0	1	0	0
3	1	0	1	1	0
4	1	1	0	0	1
5	1	1	0	1	1
6	1	1	1	0	不允许
7	1	1	1	1	不允许

2. 状态转换方程

由表 5.4 可得门控锁存器在门控信号有效时的卡诺图(图 5.9)和状态转换方程(式(5.3))。

$$\begin{cases} Q^{n+1} = S + \bar{R} \cdot Q^n \\ S \cdot R = 0 \quad (\text{约束条件}) \end{cases} \quad (5.3)$$

		RQ^n			
S		00	01	11	10
0		0	1	0	0
1		1	1	×	×

图 5.9 Q^{n+1} 的卡诺图

若考虑到门控信号 G , 则有

$$\begin{cases} Q^{n+1} = G \cdot (S + \bar{R} \cdot Q^n) + \bar{G} \cdot Q^n \\ G \cdot S \cdot R = 0 \quad (\text{约束条件}) \end{cases} \quad (5.4)$$

3. 时序图

门控 R-S 锁存器的时序图与基本 R-S 锁存器的类似, 只需考虑门控信号是否有效。读

者可自己练习。

4. 状态转换驱动表和驱动方程

由于门控信号 $G=0$ 时输出不变,所以只需考虑 $G=1$,即门控信号有效时的情况。在状态转换驱动表中没有列出 G ,此时隐含 $G=1$ 。表 5.5 为门控 R-S 锁存器的状态转换驱动表。

表 5.5 门控 R-S 锁存器的状态转换驱动表

序 号	Q^n	Q^{n+1}	S	R
0	0	0	0	×
1	0	1	1	0
2	1	0	0	1
3	1	1	×	0

由状态转换驱动表,利用卡诺图即可得到驱动方程:

$$\begin{cases} S = Q^{n+1} \\ R = \overline{Q^{n+1}} \end{cases} \quad (5.5)$$

5. 状态转换图

由表 5.5 可得门控 R-S 锁存器的状态转换图,如图 5.10 所示。

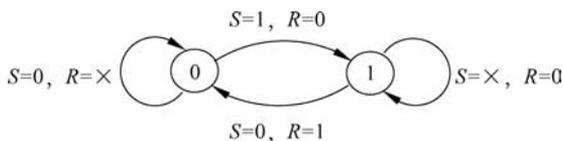


图 5.10 门控 R-S 锁存器的状态转换图

6. 逻辑符号

门控 R-S 锁存器的逻辑符号如图 5.8(c)所示。注意此时输入端无小圆圈,表明是高有效: $G=1$ 时,输入信号可通过; $G=0$ 时,输入信号不可以通过,输出状态保持不变。

5.2.4 门控 R-S 锁存器的特点

与基本 R-S 锁存器相比,门控 R-S 锁存器的输入信号 R 、 S 只在 $G=1$ 时才起作用;而在 $G=0$ 时无论输入信号 R 、 S 怎样变化,输出状态都不会改变。

5.3 D 锁存器

5.3.1 电路结构

图 5.11 所示为 D 锁存器(D latch)的逻辑图和逻辑符号。由图 5.11(a)可知,它是由门控 R-S 锁存器演变而来的:只要令门控 R-S 锁存器中的 $S=D, R=\overline{D}$ 即得到 D 型锁存器。由于已经详细地描述了门控 R-S 锁存器的功能,所以可以很容易地用各种描述方法来描述 D 锁存器的功能。

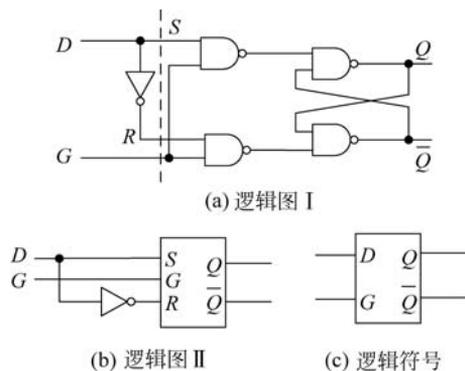


图 5.11 D 型锁存器

5.3.2 功能分析

由 D 锁存器的结构可知,它是门控 R-S 锁存器的一种特例:此时 $S = \bar{R} = D$, R 与 S 总是互补,不存在 $R \cdot S = 0$ 的约束。读者可自行分析。

经推导知 $Q^{n+1} = G \cdot D + \bar{G} \cdot Q^n$,说明 D 锁存器在 $G = 1$ 时, $Q^{n+1} = D$,称此时输入对输出是透明的,也就是说可以从输出端看到输入信号;而当 $G = 0$ 时, $Q^{n+1} = Q^n$,状态保持不变。

5.3.3 D 锁存器功能描述

1. 状态转换表

由图 5.11(a)可得 D 锁存器的状态转换表如表 5.6 所示。

表 5.6 D 锁存器的状态转换表

序 号	G	D	Q^n	Q^{n+1}
	0	×	Q^n	Q^n
0	1	0	0	0
1	1	0	1	0
2	1	1	0	1
3	1	1	1	1

2. 状态转换方程

由表 5.6 可得门控 D 锁存器当 $G = 1$ 时的卡诺图(见图 5.12)和状态转换方程(见式(5.6))。状态转换方程也可通过观察状态转换表直接得到。

图 5.12 Q^{n+1} 的卡诺图

门控信号有效时有

$$Q^{n+1} = D \quad (5.6)$$

若考虑到门控信号 G ,则有

$$Q^{n+1} = \bar{G} \cdot Q^n + G \cdot D \quad (5.7)$$

3. 时序图

门控 D 锁存器的时序图可根据方程式(5.7)画出,读者可自己分析(见后面的习题 5.3)。

4. 状态转换驱动表和驱动方程

由于门控信号 $G=0$ 时输出不变,所以只需考虑 $G=1$ 的情况。在状态转换驱动表中不列出 G 即隐含是 $G=1$ 。表 5.7 为门控 D 锁存器的状态转换驱动表。

表 5.7 门控 D 锁存器的状态转换驱动表

序 号	Q^n	Q^{n+1}	D
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	1

由状态转换驱动表,利用卡诺图或利用观察法可得到驱动方程:

$$D = Q^{n+1} \quad (5.8)$$

5. 状态转换图

由表 5.6 或表 5.7 或式(5.8)可得门控 D 锁存器的状态转换图,如图 5.13 所示。

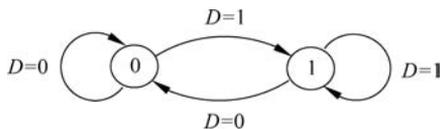


图 5.13 门控 D 锁存器的状态转换图

6. 逻辑符号

门控 D 锁存器的逻辑符号如图 5.11(c)所示。注意此时门控信号输入端 G 处无小圆圈,表示“高有效”, $G=1$ 时,输入信号可通过。也就是说,当 $G=1$ 时 $Q^{n+1}=D$ 。

5.3.4 集成 D 锁存器

74 系列数字集成电路 74LS75 内部有 4 个 D 型锁存器,其功能表与引脚图分别如表 5.8 和图 5.14 所示。锁存器 1、2 共用门控信号 $G_{1,2}$,锁存器 3、4 共用门控信号 $G_{3,4}$ 。

表 5.8 74LS75 的功能表

D	G	Q	\bar{Q}
L	H	L	H
H	H	H	L
×	L	Q_0	\bar{Q}_0

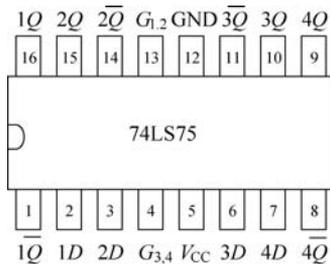


图 5.14 74LS75 引脚图

5.4 主从式 R-S 触发器

D 型锁存器虽然不存在对输入信号的限制,但它的输出在 $G=1$ 时随着输入的变化而变化,这对于使用者来说仍然是一个限制。从本节起介绍的触发器的输出只在某一特定时刻发生变化,而在其他任何时间都不变化,从而克服了锁存器的上述缺点。本节介绍主从式 R-S 触发器(master-slave R-S flip-flop)。

5.4.1 电路结构

主从式 R-S 触发器的电路结构如图 5.15(a)所示,图 5.15(b)为其另一种画法。由图可见,它是由两个门控 R-S 锁存器组成的。这两个门控锁存器分别称为主锁存器和从锁存器,主锁存器的输出决定从锁存器的输出,“主从”二字由此而来。主锁存器的门控信号 CP (此时该信号的功能发生了改变,已改称为时钟脉冲信号(Clock Pulse, CP),或称时钟(Clock, CLK, CK))经反相后作为从锁存器的门控信号,正是这两个门控信号的互补,带来了整个电路性能的改变。

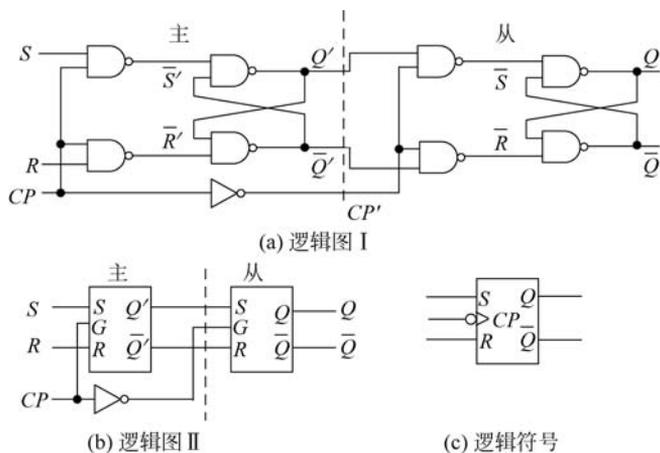


图 5.15 主从式 R-S 触发器

5.4.2 功能分析

由图 5.15(a)可知:

- 当 $CP=0$ 时, $\bar{R}'=\bar{S}'=1$, Q' 和 \bar{Q}' 保持不变。此时虽然 $CP'=1$,但由于 Q' 和 \bar{Q}' 不变,所以触发器(也就是从锁存器)的输出状态 Q 、 \bar{Q} 也保持不变。
- 当 CP 由 0 变到 1 时,由于 CP 的变化要经过最少两个门的延迟才能到达主锁存器的输出,只有这时 Q' 和 \bar{Q}' 才能发生变化,而 CP 只要经过一个门的延迟即可到达 CP' ,也就是说当 CP' 由 1 变到 0,把从锁存器锁定后,主锁存器的变化才传到 Q' 和

\bar{Q}' , 所以此时 Q 、 \bar{Q} 也保持不变。

- 当 $CP=1$ 时, $CP'=0$, 从锁存器被锁定, 此时主锁存器的输出 Q' 变化不能影响从锁存器的输出, 所以此时不论 R 、 S 如何改变, 触发器的输出状态 Q 、 \bar{Q} 都不会发生改变。由于 $CP=1$, 主锁存器打开, Q' 和 \bar{Q}' 的值由输入信号 R 、 S 和主锁存器的状态 Q' 和 \bar{Q}' 共同决定, 所以此时主锁存器接收信息, 为触发器状态的变化做好准备。
- 当 CP 由 1 变到 0 时, 一方面 $CP=0$, 使主锁存器的状态锁定, 不再发生变化; 另一方面使 $CP'=1$, 打开从锁存器, 将主锁存器此时的输出 Q' 和 \bar{Q}' 分别送至从锁存器的输出 (也就是触发器的输出) Q 和 \bar{Q} , 使触发器的输出状态发生变化。

综上所述, 图 5.15 所示主从式 R-S 触发器的输出状态如果发生变化 (称为触发器状态的**翻转**), 则该变化只发生在输入时钟脉冲信号的下降沿。可以看作在输入时钟脉冲的下降沿, 将主锁存器的输出 Q' 传到从锁存器的输出, 也就是触发器的输出 Q ; 变化的结果取决于时钟脉冲下降沿到达前一瞬间 R 、 S 和 Q' 的值; 在除时钟脉冲下降沿以外的任何时间内, R 、 S 可任意改变而不会使触发器的输出状态发生变化。

图 5.4.1(c) 所示为主从式 R-S 触发器的逻辑符号。其中 CP 处的小三角表明该器件的状态只在时钟脉冲边沿才能**翻转**, 称为**边沿触发**; 而三角外的圆圈则表示是**下降沿** (又称为**负边沿**) **翻转**。

5.4.3 功能描述

主从式 R-S 触发器的功能描述方法与门控锁存器相同, 只是输出状态**翻转** (即变化) 时刻不同, 前者是边沿控制**翻转**, 后者是电平控制**翻转**。

5.5 TTL 主从式 JK 触发器

主从式 R-S 触发器虽然克服了门控 R-S 锁存器的一个缺点: 除时钟脉冲下降沿前一瞬间以外的时间内输入可以任意改变而不会影响触发器的输出。但另一个缺点仍然存在: 在时钟脉冲下降沿前一瞬间 R 与 S 不能同时为 1, 否则下降沿过后会使触发器的状态不可预测, 即**状态不定**。

将主从式 R-S 触发器略加改进, 可得到实用的主从式 JK 触发器 (master-slave JK flip-flop)。

5.5.1 电路结构

主从式 J-K 触发器的电路结构如图 5.16(a) 和 (b) 所示。由图可见, 它由主从式 R-S 触发器加两条反馈线 a 、 b 组成。由于加上反馈线 a 、 b 后触发器的功能发生了变化, 故将 S 端改称为 J , 将 R 端改称为 K 。

5.5.2 功能分析

由图 5.16 可知, 主从式 JK 触发器的**翻转**时刻与主从式 R-S 触发器相同, 因此分析主

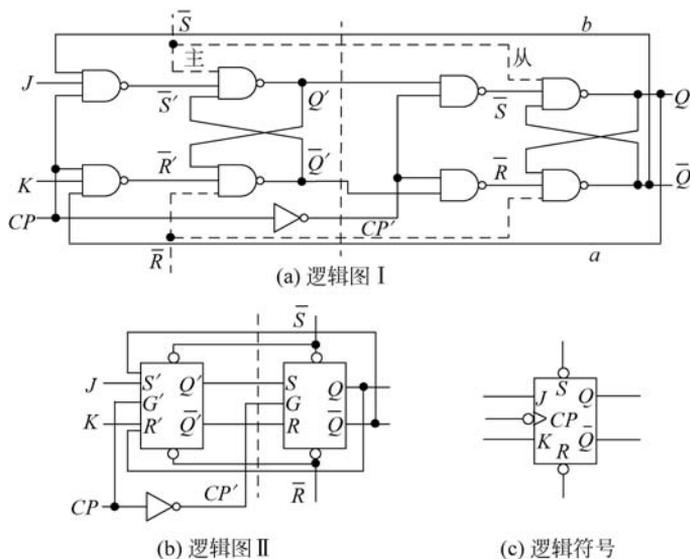


图 5.16 主从式 J-K 触发器

从式 JK 触发器只要分析时钟脉冲下降沿到来前,也就是 $CP=1$ 时主锁存器接收信息的工作情况即可:下降沿到达后,将 Q' 传到 Q 。以下分四种情况分析主从式 JK 触发器的功能:

(1) 当 $J=0, K=0$ 时,由图 5.5.1(a)可知, $\bar{R}'=\bar{S}'=1$, Q' 和 \bar{Q}' 保持不变,从而时钟脉冲下降沿到来时 Q 也不变。结论:当 $J=0, K=0$ 时,触发器状态保持不变。

(2) 当 $J=0, K=1$ 时, $\bar{S}'=1$; 而 \bar{R}' 的取值取决于 Q (反馈线 a)。当 $Q=0$ 时, $\bar{R}'=1$, 此时由于 $\bar{R}'=\bar{S}'=1$, Q' 不变; 当 $Q=1$ 时, $\bar{R}'=0$, 由 $\bar{R}'=0, \bar{S}'=1$ 知主锁存器置 0, 当时钟脉冲下降沿到来时将 $Q'=0$ 传至 $Q=0$ 。结论:当 $J=0, K=1$ 时,不管触发器的现态是什么,次态都是 0。

(3) 当 $J=1, K=0$ 时, $\bar{R}'=1$; 而 \bar{S}' 的取值取决于 \bar{Q} (反馈线 b)。当 $Q=0$ 时, $\bar{Q}=1$, $\bar{S}'=0$, 此时由 $\bar{R}'=1, \bar{S}'=0$ 知此时 Q' 变为 1。当时钟脉冲下降沿到来时将 $Q'=1$ 传至 $Q=1$ 。当 $Q=1$ 时, $\bar{Q}=0, \bar{S}'=1$ 。由 $\bar{R}'=\bar{S}'=1$ 知此时 $Q'=1$ 不变。结论:当 $J=1, K=0$ 时,不管触发器的现态是什么,次态都是 1。

(4) 当 $J=1, K=1$ 时, \bar{R}', \bar{S}' 的取值取决于现态 Q 或 \bar{Q} (反馈线 a, b)。当 $Q=0$ 时, $\bar{Q}=1$, 此时 $\bar{S}'=0, \bar{R}'=1, \bar{S}'=0$ 使 Q' 变为 1, 即将主锁存器置为 1。当时钟脉冲下降沿到来时将 $Q'=1$ 传至 $Q=1$, 触发器状态由 0 变为 1; 当 $Q=1$ 时, $\bar{Q}=0$, 此时 $\bar{S}'=1, \bar{R}'=0$, 将主锁存器置为 0, 时钟脉冲下降沿到达时将此 0 状态传至从锁存器, 从而将触发器状态由 1 变为 0。结论:当 $J=1, K=1$ 时,不管触发器的现态是什么,时钟脉冲下降沿到达时都使触发器的状态发生翻转,即由现态 1 变为次态 0, 或由现态 0 变为次态 1。

5.5.3 功能描述

1. 状态转换表

根据 5.5.2 小节所作分析可得如表 5.9 所示的状态转换表。

表 5.9 JK 触发器的功能表

J	K	Q^n	Q^{n+1}	功 能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	

2. 状态转换方程

由表 5.9, 利用卡诺图(图 5.17)可得到 JK 触发器的状态方程为

$$Q^{n+1} = J \bar{Q}^n + \bar{K} Q^n$$

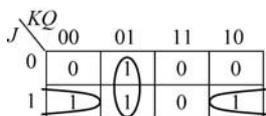


图 5.17 JK 触发器的状态转换卡诺图

3. 状态转换图

由状态转换表或状态转换方程可得状态转换图如图 5.18 所示。

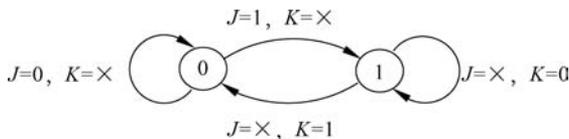


图 5.18 主从式 JK 触发器的状态转换图

4. 时序图

设触发器的初态为 0, 输入时钟信号、 J 、 K 如图 5.19 所示。图中 Q' 为主锁存器的输出。

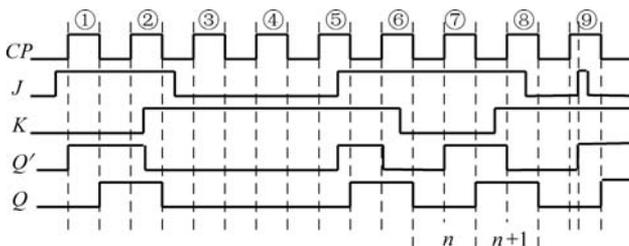


图 5.19 主从式 JK 触发器的时序图

由 5.5.2 小节的分析知, 主从式 JK 触发器是在 $CP=1$ 期间将数据准备好, 放在 Q' , 当时钟脉冲下降沿到达时将 Q' 的值传送至 Q ; 而在 $CP=1$ 期间, Q' 的值取决于输入 J 、 K 和现态 Q^n 。在第①个 $CP=1$ 期间, $Q^n=0$, $J=1$, $K=0$, 此时 Q' 将被置为 1, 下降沿到将其

传至 Q , 如图所示; 在第②个 $CP=1$ 期间, $Q^n=1$, 前半部分 $J=1, K=0$, 此时 Q' 不变; 后半部分 $J=1, K=1$, 此时 Q' 翻转, 变成 $Q'=0$; 当时钟脉冲下降沿到时将此 0 传到 Q , 使 $Q^{n+1}=0$ 。第③、④、⑤个时钟脉冲情况读者可自行分析。第⑥个时钟脉冲 $CP=1$ 时, $Q=1$, 前半部分 $J=1, K=1$, 使 $Q'=0$; 而在后半部分 $J=1, K=0$, 按状态表应有使 $Q'=1$, 但由于 \bar{Q} 的作用(见图 5.16), 此时 Q' 不能再回到状态 1, 而只能保持为 0。当时钟脉冲下降沿到时将 $Q'=0$ 传到 Q 端。这就是所谓的主从式 JK 触发器的一次翻转问题, 即在 $CP=1$ 期间, 若 Q' 发生翻转, 那么只能发生一次。第⑦、⑧、⑨个时钟脉冲读者可自行分析。

主从式触发器的一次翻转问题是由于将输出状态反馈到输入端, 从而使主锁存器的输出不能任意变化而引起的。可以这样判断触发器的次态: 在 $CP=1$ 期间, 根据 J, K 和 Q^n 判断 Q' 是否变化, 如果发生了一次变化, 则不管以后 J, K 的值如何变化都不会使 Q' 再次发生变化。触发器的次态就是这个第一次变化后的值。

由于一次翻转会影响触发器的输出, 在使用时应确保在 $CP=1$ 期间 J, K 的值稳定, 并避免噪声的影响。

Q^n 与 Q^{n+1} 的来历(见图 5.19): 图中第 n 个时钟脉冲周期的状态(现在的状态, 现态, 记为 Q^n)与输入(J, K)共同决定第 $n+1$ 个时钟脉冲周期的状态(下一个状态, 次态, 记为 Q^{n+1}), 用状态方程描述就是 $Q^{n+1}=F(J, K, Q^n)$ 。

由图 5.19 可见, 状态方程只在时钟脉冲有效沿成立。

5. 状态转换驱动表和驱动方程

根据状态转换表(表 5.9)可得如表 5.10 所示的主从式 JK 触发器的状态转换驱动表。

表 5.10 主从式 JK 触发器的状态转换驱动表

序 号	Q^n	Q^{n+1}	J	K
0	0	0	0	×
1	0	1	1	×
2	1	0	×	1
3	1	1	×	0

由表 5.10 可得 JK 触发器的驱动方程为

$$\begin{aligned} J &= Q^{n+1} \\ K &= \overline{Q^{n+1}} \end{aligned} \quad (5.9)$$

6. 主从式 JK 触发器的逻辑符号

主从式 JK 触发器的逻辑符号如图 5.16(c)所示。输入时钟端的小三角表示该器件为边沿触发, 外边的小圆圈表明是下降沿翻转, 或下降沿有效。

图 5.16 中的 \bar{S}, \bar{R} 分别为触发器的异步置 1 端和清 0 端, 低有效。 \bar{S} 有效时将触发器置为 1, 而当 \bar{R} 有效时将触发器置为 0。读者可参考图 5.16(a), 自行分析其工作原理。

5.6 TTL 维持阻塞式 D 触发器

主从式 JK 触发器有一次翻转问题, 使用时有时比较麻烦。维持阻塞式 D 触发器是另一种结构的触发器, 无一次翻转问题, 本节介绍这种电路。

5.6.1 电路结构

如图 5.20 所示,维持阻塞式 D 触发器由 6 个与非门组成,其中 G_1 、 G_2 组成基本 R-S 锁存器; CP 由 G_3 、 G_4 输入; $\overline{R_d}$ 、 $\overline{S_d}$ 分别为异步清 0、置 1 输入,低有效。

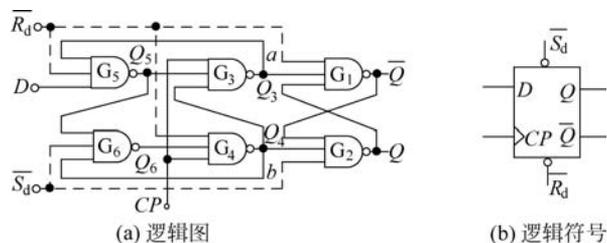


图 5.20 维持阻塞式 D 触发器

5.6.2 功能分析

以下分析时假设 $\overline{R_d}$ 、 $\overline{S_d}$ 无效,即二者均为逻辑 1。

当 $CP=0$ 时, G_3 、 G_4 门关闭, $Q_3=Q_4=1$, G_1 、 G_2 组成的基本 RS 锁存器输出也就是触发器状态 Q 保持不变。此时 $Q_3=1$ 使 G_5 打开, $Q_5=\overline{D}$; $Q_4=1$ 使 G_6 打开, $Q_6=D$ 。此时将输入信号 \overline{D} 、 D 分别传至 Q_5 、 Q_6 ,为下一步操作作好准备。

CP 由 0 变为 1,即 CP 上升沿到来后, G_3 、 G_4 打开,将 $Q_5=\overline{D}$ 、 $Q_6=D$ 分别传至 G_3 、 G_4 的输出,使 $Q_3=D$ 、 $Q_4=\overline{D}$,从而使 $Q=D$ 、 $\overline{Q}=\overline{D}$,从而使触发器状态发生变化,变化结果为 $Q^{n+1}=D$ 。

$CP=1$ 时虽然 G_3 、 G_4 打开,但由于反馈线 a 、 b 的作用,使信号 D 传不到 Q_3 、 Q_4 : $D=0$ 时,翻转后 $Q_3=0$, G_5 被关闭,无论 D 怎样变化都不会使 Q_5 、 Q_6 发生变化,从而触发器状态也不会发生变化; $D=1$ 时,翻转后 $Q_4=0$, G_6 、 G_3 被封锁,此时 D 的任何变化也不能使触发器的状态发生变化。

CP 由 1 变为 0,即 CP 下降沿到来后, G_3 、 G_4 被迅速关闭,触发器状态 Q 不会发生变化。

综上所述,维持阻塞式 D 触发器在 CP 的上升沿到达前接收输入信号,做好准备工作,而在上升沿到达时状态发生变化。在其他任何时刻其状态都不会发生变化。

5.6.3 功能描述

1. 状态转换表

由上述分析可得维持阻塞式 D 触发器的状态转换表如表 5.11 所示。

表 5.11 D 触发器的状态转换表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

2. 状态方程

由状态转换表可得维持阻塞式 D 触发器的状态方程为

$$Q^{n+1} = D \quad (5.10)$$

3. 状态转换图

维持阻塞式 D 触发器的状态转换图如图 5.21 所示。

4. 时序图

由状态转换表或状态转换图可得如图 5.22 所示的 D 触发器的时序图。

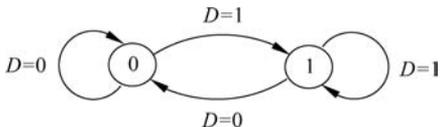


图 5.21 维持阻塞式 D 触发器的状态转换图

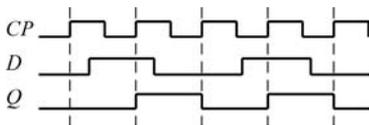


图 5.22 D 触发器的时序图

5. 状态转换驱动表和驱动方程

根据 D 触发器的状态转换表或状态转换图可得 D 触发器的状态转换驱动表如表 5.12 所示。

表 5.12 D 触发器的状态转换驱动表

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

由表 5.12 可得 D 触发器的驱动方程为

$$D = Q^{n+1} \quad (5.11)$$

6. 逻辑符号

D 触发器的逻辑符号如图 5.20(b)所示,其时钟脉冲有效沿是上升沿(正沿)。

5.6.4 集成维持阻塞式 D 触发器

图 5.23 所示为集成维持阻塞式 D 触发器 74LS74 的逻辑符号及引脚。74LS74 有 14 个引脚,内含两个与图 5.20 完全一样的 D 触发器。

其他 74 × × 系列的触发器有 74LS73、74LS74、74LS112、74LS173、74LS273 等。

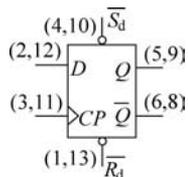


图 5.23 74LS74 的逻辑符号及引脚

5.7 CMOS 锁存器与触发器

4000 系列 CMOS 数字集成电路中也包括许多锁存器和触发器,虽然它们的内部结构与 TTL 不同,但其外特性、使用方法均类似。本节介绍 COMS 锁存器和触发器及其工作原理。

5.7.1 CMOS 锁存器

CD4043、CD4044 是三态 R-S 锁存器,其内部分别有 4 个锁存器,每个锁存器分别有两个输入端 R 、 S ,一个输出端 Q 。4 个锁存器共用一个使能端 E_i ,高有效。其内部结构分别如图 5.24(a)和(b)所示。

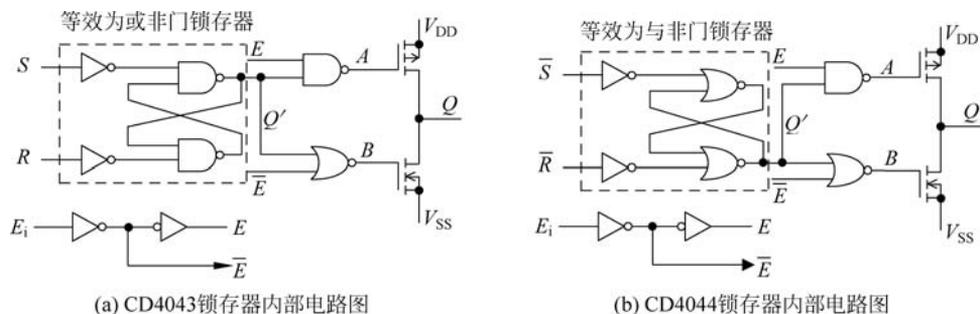


图 5.24 CMOS 锁存器内部电路图

图 5.24(a)中,虚框内电路等效为由两个或非门构成的基本 R-S 锁存器,输入 R 、 S 均为高有效,其输出为 Q' 。当 E_i 有效时, $A=B=\bar{Q}'$ 。若 $Q'=0$,则 $A=B=1$,PMOS 管截止,NMOS 管导通,输出 $Q=0$;若 $Q'=1$,则 $A=B=0$,PMOS 管导通,NMOS 管截止, $Q=1$ 。当 E_i 无效时, $A=1$, $B=0$,PMOS 管和 NMOS 管同时截止,输出端 Q 为高阻态。表 5.13 为数据手册给出的 CD4043 的功能表。

图 5.24(b)中,虚框内电路等效为由两个与非门构成的基本 RS 锁存器,输入 \bar{R} 、 \bar{S} 均为低有效,其输出为 Q' 。当 E_i 有效时, $A=B=\bar{Q}'$ 。若 $Q'=0$,则 $A=B=1$,PMOS 管截止,NMOS 管导通,输出 $Q=0$;若 $Q'=1$,则 $A=B=0$,PMOS 管导通,NMOS 管截止, $Q=1$ 。当 E_i 无效时, $A=1$, $B=0$,PMOS 管和 NMOS 管同时截止,输出端 Q 为高阻态。表 5.14 为数据手册给出的 CD4044 的功能表。

表 5.13 CD4043 的功能表

E_i	S	R	Q^{n+1}
0	×	×	高阻
1	0	0	Q^n ,既不变
1	0	1	0
1	1	0	1
1	1	1	1*

* : 当 R 、 S 均有效时,输出取决于 S

表 5.14 CD4044 的功能表

E_i	\bar{S}	\bar{R}	Q^{n+1}
0	×	×	高阻
1	1	1	Q^n ,既不变
1	1	0	0
1	0	1	1
1	0	0	0**

** : 当 \bar{R} 、 \bar{S} 均有效时,输出取决于 \bar{R}

5.7.2 CMOS 触发器

4000 系列中有许多触发器,如 CD4013 主从式双 D 触发器、CD4027 双 JK 触发器等。这里只介绍双 D 触发器 CD4013。

1. CD4013 主从式 D 触发器

图 5.25 为 CD4013 内部逻辑图(摘自 INTERSIL 公司的数据手册)。

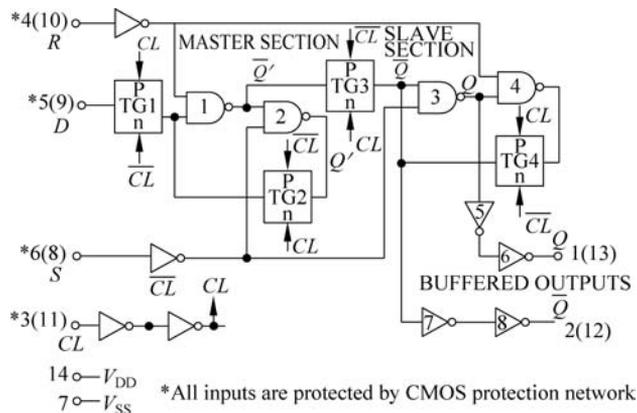


图 5.25 CD4013 逻辑图*

图 5.25 中,输入时钟信号 CL 经反相器后,分别产生 \overline{CL} 和 CL ,用于内部的传输门控制;传输门 TG1、TG4 在 $CL=1$ 时截止, $CL=0$ 时导通;而传输门 TG2、TG3 在 $CL=0$ 时截止, $CL=1$ 时导通;传输门 TG1、TG2 和与非门 1、2 构成主锁存器,传输门 TG3、TG4 和与非门 3、4 构成从锁存器;异步清 0 端 R,异步置 1 端 S 均为高有效;反相器 5、6、7、8 构成输出缓冲器。

以下分析当 S、R 均无效时 CD4013 的工作过程:

当 $CL=0$ 时,主锁存器的 TG1 导通,TG2 截止。TG1 导通,使输入数据 D 经 TG1、与非门 1 反相后传至 Q' : $Q'=\overline{D}$, $Q'=D$; TG2 截止,主锁存器的反馈通路被截断。从锁存器的 TG3 截止,主、从锁存器之间不通; TG4 导通,与非门 3、4 构成基本 RS 锁存器的保持形态, Q 、 \overline{Q} 经两级反相缓冲器输出。此时输出不会发生变化。参见图 5.26(a), $CL=0$ 时的等效电路。

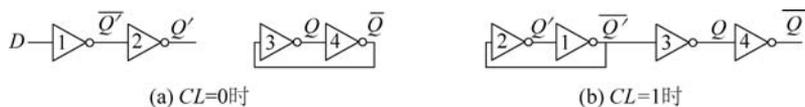
当 CL 由 0 变 1 时,TG1 由导通变截止,输入数据 D 不能通过; TG2 由截止变导通,与非门 1、2 构成基本 RS 锁存器的保持形态,其输出 $\overline{Q'}$ 为 CL 由 0 变 1 前一瞬间输入 D 的反; TG3 由截止变导通,将 $\overline{Q'}$ 传至从锁存器 \overline{Q} ; TG4 由导通变截止,反馈中断;此时的输出 \overline{Q} 、 Q 经两级反相缓冲器输出。

当 $CL=1$ 时,由于 TG1 截止,输入数据不能传入触发器,所以触发器的输出不会发生变化。参见图 5.26(b), $CL=1$ 时的等效电路。

当 CL 由 1 变 0 时,当 D 传至 $\overline{Q'}$ 时,TG3 已经截止,所以输出也不会发生变化。

综上所述,CD4013 触发器的输出状态只有在 CL 的上升沿发生变化,而在其他任何时候都不会发生变化,是上升沿翻转的触发器。它的逻辑符号与其他 D 触发器相同,用法也相同。

* 摘自英文资料的插图,未进行翻译处理。

图 5.26 $S=0, R=0$ 时 CD4013 的等效电路

CD4013 的 S 有效时,将触发器的 Q', Q 置 1, \bar{Q}', \bar{Q} 置 0; R 有效时,将触发器的 Q', Q 置 0, \bar{Q}', \bar{Q} 置 1 情况类似; 如果 S, R 均有效,则将触发器的 Q', \bar{Q}', Q, \bar{Q} 都置为 1, 此为非正常工作状态,一般情况下应避免。

CD4013 的状态转换表如表 5.15 所示。

表 5.15 CD4013 的状态表

CL	D	R	S	Q	\bar{Q}
	0	0	0	0	1
	1	0	0	1	0
	×	0	0	Q	\bar{Q}
×	×	1	0	0	1
×	×	0	1	1	0
×	×	1	1	1	1

由本节内容可知,CMOS 触发器的结构与 TTL 触发器的结构有很大的不同,但他们的功能、描述方法(如状态转换表、状态图、状态方程等)和使用方法是一样的。

其他 CD4×××系列的触发器有 CD4013、CD4027、CD4042、CD4095、CD4096 等,有兴趣的读者可查阅数据手册,分析它们的功能。

5.8 T 触发器和 T' 触发器

除了 RS、JK、D 触发器外,还有两种触发器在数字系统中经常用到,即 T 触发器和 T' 触发器。

5.8.1 T 触发器

T 触发器的逻辑符号如图 5.27 所示,其功能表如表 5.16 所示。由表 5.16 可知,当 $T=0$ 时,触发器的状态保持不变;而当 $T=1$ 时,每来一个时钟脉冲,触发器的状态发生翻转一次。

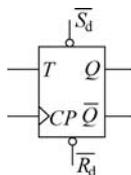


图 5.27 T 触发器的逻辑符号

表 5.16 T 触发器的状态转换表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

由状态转换表可得 T 触发器的状态方程为

$$Q^{n+1} = T \oplus Q^n$$

T 触发器的状态转换驱动表如表 5.17 所示。由表 5.17 可得 T 触发器的驱动方程：

$$T = Q^{n+1} \oplus Q^n$$

表 5.17 T 触发器的状态转换驱动表

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

读者可自行画出 T 触发器的状态图。

5.8.2 T' 触发器

T' 触发器的逻辑符号如图 5.28 所示,其功能表如表 5.18 所示。T' 触发器没有输入端,每来一个时钟脉冲输出状态翻转一次。由于 T' 触发器没有驱动端,它的次态只与现态有关。

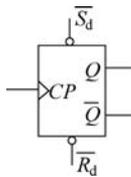


图 5.28 T' 触发器的逻辑符号

表 5.18 T' 触发器的状态转换表

Q^n	Q^{n+1}
0	1
1	0

由表 5.18 可得 T' 触发器的状态方程为

$$Q^{n+1} = \overline{Q^n}$$

读者可自行画出其状态图。

虽然在 74 系列和 4000 系列中没有 T、T' 触发器,但由于它们所具有的特性在设计、分析时序电路时经常被用到,读者应该掌握相关概念。

5.9 触发器的功能转换

在实际应用中,往往需要将触发器的功能进行转换,也就是用一种触发器去实现另一种触发器的功能。触发器功能转换有两种方法:状态方程法和驱动表法。

5.9.1 状态方程法

所谓状态方程法,就是比较转换前后两种触发器的状态方程,得到转换前触发器的驱动方程,画出逻辑图,完成转换。

【例 5.1】 试将 D 触发器转换为 JK 触发器。

解：(1) D 触发器的状态方程为 $Q^{n+1} = D$

JK 触发器的状态方程为 $Q^{n+1} = J\bar{Q} + \bar{K}Q$ (为书写方便, 可将 Q^n 中的 n 省略)。

比较两触发器的状态方程知: 若要将 D 触发器转换为 JK 触发器, 只要令 D 触发器的驱动 $D = J\bar{Q} + \bar{K}Q$ 即可。

(2) 画出转换逻辑图(见图 5.29), 转换后虚线内就是一个 JK 触发器。

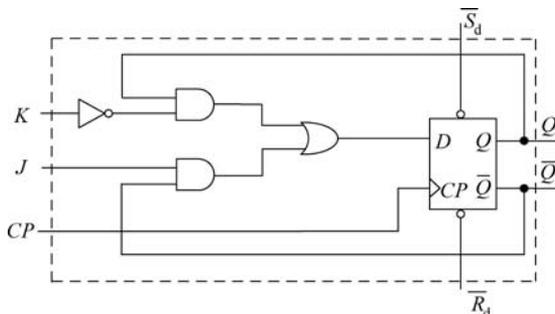


图 5.29 D 触发器转换为 JK 触发器

5.9.2 驱动表法

所谓驱动表法, 就是先列出转换后触发器的状态转换表, 再根据其现态和次态列出转换前触发器的驱动表, 利用卡诺图得到驱动函数的最简表达式, 最后画出逻辑图即完成转换。

【例 5.2】 试将 T 触发器转换为 JK 触发器。

解：(1) 列出转换后触发器, 即 JK 触发器的状态转换表如表 5.19 中 J 、 K 、 Q^n 、 Q^{n+1} 所示;

表 5.19 T→JK 触发器转换的驱动表

J	K	Q^n	Q^{n+1}	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

(2) 根据现态和次态列出转换前触发器, 即 T 触发器的驱动表, 见表 5.19 中的 T 列;

(3) 利用卡诺图(图 5.30)得到 T 的最简表达式:

$$T = J\bar{Q} + KQ$$

(4) 画出逻辑图, 如图 5.31 所示。

利用上述两种方法可将任意一种触发器转换为任意另一种触发器, 当然不可以由 T' 触发器转换为其他类型的触发器。

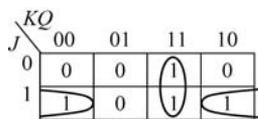


图 5.30 T 的卡诺图

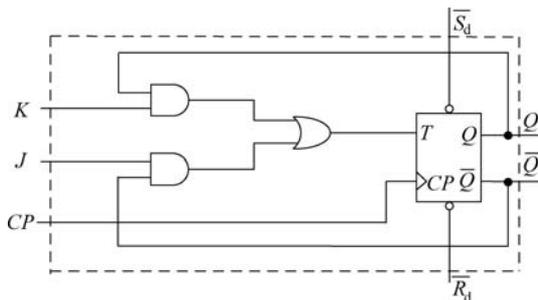


图 5.31 T 触发器转换为 JK 触发器

5.10 触发器的动态参数

由于触发器是由门电路组成的,所以它们的静态参数是一样的。但由于触发器的工作特点,它有几个动态参数在使用中需要注意。

(1) 传输延迟时间 t_{PLH} (t_{PHL}): 从有效时钟脉冲沿到达、异步置位端/异步清零端信号有效至触发器输出端翻转完毕所需要的时间。74 系列为 10ns 量级,4000 系列为 100ns 量级。

(2) 数据建立时间 t_{SET} : 指时钟脉冲沿到达之前,必须将输入数据准备好所需的最小时间。

(3) 保持时间 t_{HOLD} : 时钟脉冲沿到达后,输入数据必须保持不变的最小时间。

(4) 最高时钟工作频率 f_{CLKMAX} : 允许触发器时钟信号的最高频率,74LS74 的 $f_{CLKMAX} = 33\text{MHz}$ 。

(5) 最小时钟脉冲宽度 t_w : 为使触发器可靠翻转,触发器时钟脉冲所必须具有的最小宽度。

本章小结

本章介绍了数字系统中的存储单元:锁存器和触发器。

从基本 RS 锁存器、门控 RS 锁存器、门控 D 锁存器引入了主从式 RS 触发器、主从式 JK 触发器,详细分析了其工作原理。也介绍并分析了维持阻塞式 D 触发器、CMOS 主从式 D 触发器及其工作原理。介绍了 T 触发器和 T' 触发器的功能。介绍了异步复位(清 0)端,异步置位(置 1)端的作用及用法。

指出了门控锁存器与触发器的区别:触发器的状态变化只发生在时钟脉冲的有效沿,而锁存器的状态在门控信号有效时随输入的变化而变化。

触发器的时钟脉冲有效沿是指时钟脉冲的上升沿或下降沿,视触发器的具体结构而定。可通过查阅器件的数据手册获知。

介绍了各种锁存器、触发器的各种描述方法:逻辑符号、状态转换表、状态转换图、状态转换方程、时序图、状态转换驱动表、驱动方程。介绍了触发器的功能转换方法。

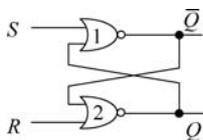
本章习题

5-1 图题 5-1 所示为由或非门组成的基本 R-S 锁存器。试分析该电路,即写出它的状态转换表、状态转换方程、状态图、驱动转换表和驱动方程,并画出它的逻辑符号,说明 S、R

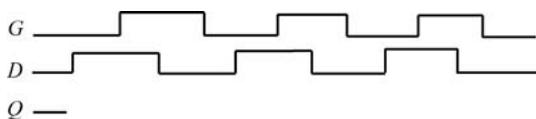
是高有效还是低有效。

5-2 试写出主从式 R-S 触发器的状态转换表、状态转换方程、状态图、驱动转换表和驱动方程,注意约束条件。

5-3 试画出如图题 5-3 所示 D 型锁存器的时序图。



图题 5-1 或非门组成的基本 R-S 锁存器



图题 5-3 D 型锁存器的时序图

5-4 试用各种描述方法描述 D 锁存器: 状态转换表、状态转换方程、时序图、状态转换驱动表、驱动方程和状态转换图。

5-5 锁存器与触发器有何异同?

5-6 试描述主从式 RS 触发器,即画出其功能转换表,写出状态方程,画出状态表,画出逻辑符号。

5-7 试描述 JK、D、T 和 T' 触发器的功能,即画出它们的逻辑符号、状态转换表、状态转换图、时序图、状态转换驱动表,写出它们的状态方程。

5-8 试分析图 5.24(a) 所示电路中虚线内电路 Q' 与输入之间的关系。

5-9 试分析图 5.24(b) 所示电路的功能,并画出其功能表。

5-10 试用状态方程法完成下列触发器功能转换:

$JK \rightarrow D, D \rightarrow T, T \rightarrow D, JK \rightarrow T, JK \rightarrow T', D \rightarrow T'$

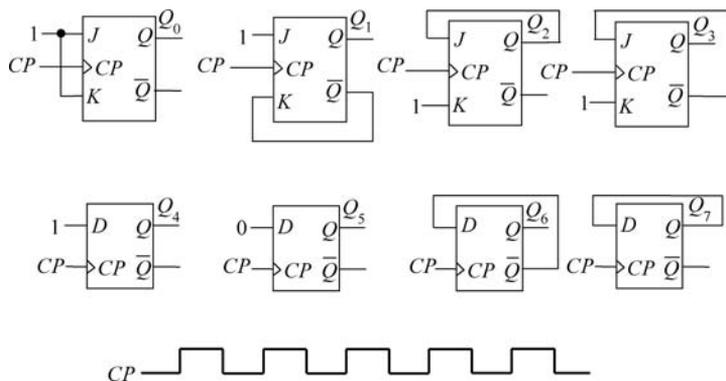
5-11 试用驱动表法完成下列触发器功能转换:

$JK \rightarrow D, D \rightarrow T, T \rightarrow D, JK \rightarrow T, JK \rightarrow T', D \rightarrow T'$ 。

5-12 试用一个 T 触发器和一个 2-1 多路选择器构成一个 JK 触发器。

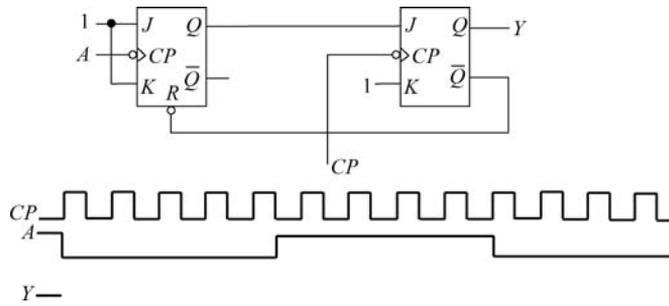
5-13 试用一个 D 触发器、一个 2-1 多路选择器和一个反相器构成一个 JK 触发器。

5-14 设图题 5-14 中各触发器的初始状态均为 0,试画出在 CP 信号作用下各触发器 Q 端的输出波形。



图题 5-14 触发器波形

5-15 画出图题 5-15 所示电路在给定输入波形作用下的输出端 Y 的波形。设触发器的初始状态均为 0。



图题 5-15 触发器电路输出波形