

第3章

逻辑门电路

数字电路中通常用“门”表示实现基本逻辑功能的电路,例如能够实现与逻辑运算的电路称为与门,能够实现或逻辑运算的电路称为或门以及能够实现非逻辑运算的电路称为非门。因此,逻辑门电路就是指能够实现基本逻辑功能的电子电路,也可简称为门电路。常用的门电路除了与门、或门和非门外,还包括与非门、或非门、与或非门、异或门及同或门等。

数字电路也称为开关电路,一切具有开关功能的器件都可以用于实现数字电路。继电器、电子管等都被用于实现数字逻辑电路,其缺点是电路体积巨大、稳定性差、功耗大等,因此难以实现大规模电路。随着双极型晶体管(也称半导体三极管)的发明,第一款基于双极型晶体管分立元件设计的数字逻辑门于1956年问世。1958年,Jack Kilby发明了集成电路,开创了数字集成电路的新时代。基于双极型晶体管的数字集成门电路得到了快速发展,先后出现了多个数字集成门电路系列,其中最成功的当属TTL逻辑系列。由于具有较高的集成密度,TTL系列自1962年问世后迅速占领了数字逻辑门的市場,直到20世纪80年代,该系列仍然占据数字半导体市场的最大份额。但TTL逻辑电路的缺点是功耗较大,尤其是较大的静态功耗限制了单个电路可集成的逻辑门的数量。因此,当基于MOS管的集成电路出现以后,TTL逻辑电路的霸主地位就逐渐被取代了。MOS晶体管全称为“金属氧化物半导体场效应晶体管”(Metal Oxide Semiconductor Field Effect Transistor, MOSFET),基于MOS晶体管设计的电路具有集成度高、抗干扰能力强、功耗低等优点,是目前数字集成电路的主要实现方式。

门电路是构成数字系统的最基本的单元电路,因此门电路的个数反映了数字系统的规模。随着集成电路技术的发展,基于分立器件门电路实现的数字系统已经很少,绝大部分电路功能都被集成到一片或多片集成电路芯片中。通常用一个单一芯片上集成的逻辑门数量来代表集成电路的规模,含有1~10个门电路的集成电路为小规模集成电路(Small Scale Integrated circuits,SSI);含有10~100个门电路的集成电路为大规模集成电路(Medium Scale Integrated circuits,MSI);含有100~10000个门电路的集成电路为大规模集成电路(Large Scale Integrated circuits,LSI);含有10000个以上门电路的集成电路为超大规模集成电路(Very Large Scale Integrated circuits,VLSI)。当前数字集成电路的规模已远超

10000 门,可以达到数亿门,但仍然称之为超大规模集成电路。

3.1 门电路的主要参数

无论是设计门电路还是使用门电路设计数字系统,都需要一些参数对门电路的性能进行评价,本节将介绍门电路的一些基本参数,这些参数可以作为门电路的性能评价指标。

3.1.1 静态参数

数字电路是实现逻辑功能的电路,因此,电路中需要用相应的物理量来表示逻辑 0 和逻辑 1。通常用电路中电平的高低来代表逻辑值。如果用高电平代表逻辑 1 而低电平代表逻辑 0,则称为正逻辑;反之,如果用高电平代表逻辑 0 而低电平代表逻辑 1,则称为负逻辑。本书中如无特殊说明,均采用正逻辑。确定了逻辑 0 和逻辑 1 在电路中的表示方法之后,数字电路的功能实际上就是由输出电平与输入电平之间的关系确定。

1. 输入高电平 V_{IH} 和输入低电平 V_{IL}

输入高电平 V_{IH} 是对应输入逻辑 1 时的电平值,输入低电平 V_{IL} 是对应输入逻辑 0 时的电平值。在数字电路中 V_{IH} 和 V_{IL} 通常不是一个固定的值,而是一个电平范围。例如标准 TTL 电路规定 $V_{IH} \geq 2.0V$, $V_{IL} \leq 0.8V$ 。也就是说,在标准 TTL 电路中,只要输入信号的电平值不低于 2.0V,该信号就代表逻辑 1,同理,只要输入信号的电平值不高于 0.8V,该信号就代表逻辑 0。

2. 输出高电平 V_{OH} 和输出低电平 V_{OL}

输出高电平 V_{OH} 是电路输出逻辑 1 时的电平值,输出低电平 V_{OL} 是电路输出逻辑 0 时的电平值。由于器件的离散性, V_{OH} 和 V_{OL} 也不是固定的电平值,而是一个电平范围。例如在标准 TTL 电路中规定 $V_{OH} \geq 2.4V$, $V_{OL} \leq 0.4V$ 。即电路输出逻辑 1 时需确保输出信号的电平值不低于 2.4V,而输出逻辑 0 时需确保输出信号的电平值不高于 0.4V。

3. 噪声容限

将门电路级联构成复杂电路时,前一级门电路的输出信号将成为后一级门电路的输入信号,图 3.1(a)所示为两个反相器级联的例子。反相器 G_1 的输出信号为 V_{O1} ,反相器 G_2 的输入信号为 V_{I2} ,由于电路中不可避免地会存在噪声干扰,因此 V_{I2} 与 V_{O1} 之间允许有一定的偏差,门电路级联时所能允许的最大噪声干扰用噪声容限(Noise Margin, NM)来度量。如图 3.1(b)所示,若 V_{O1} 输出为高电平,则其最小值为 $V_{OH(min)}$,为保证反相器 G_2 可以正常工作,需满足 $V_{I2} \geq V_{IH(min)}$,因此该信号上可允许的最大噪声为

$$V_{NH} = V_{OH(min)} - V_{IH(min)} \quad (3.1)$$

V_{NH} 称为高电平噪声容限。同理,当 V_{O1} 为低电平时,其最大值为 $V_{OL(max)}$,而 V_{I2} 需满足 $V_{I2} \leq V_{IL(max)}$,因此该信号上可允许的最大噪声为

$$V_{NL} = V_{IL(max)} - V_{OL(max)} \quad (3.2)$$

V_{NL} 称为低电平噪声容限。

4. 电压传输特性

电压传输特性曲线(Voltage Transfer Curve, VTC)是描述门电路输出电压随输入电压

变化的曲线。图 3.2 所示为某反相器的电压传输特性曲线,图中可以看出整个曲线包括两个稳定状态区和一个过渡区。从两个稳定状态区可以很容易得出电路的输出高电平 V_{OH} 和输出低电平 V_{OL} 。当输入电压位于 $V_{IL(max)}$ 和 $V_{IH(min)}$ 之间时,电路处于过渡区,此时无法确定输出电压为高电平还是低电平。因此,设计门电路时应当尽量减小过渡区的范围。过渡区的中点对应的输入电压定义为门电路的阈值电压(V_{TH})。

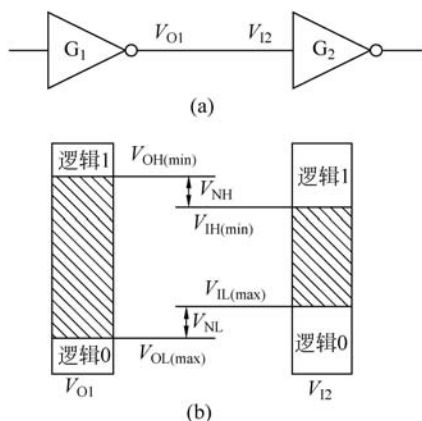


图 3.1 两个反相器级联

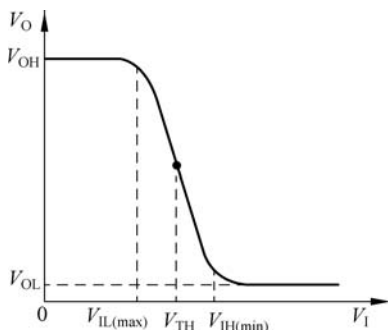


图 3.2 反相器的电压传输特性曲线

5. 静态输入特性和输出特性

静态输出特性指电路的输入和输出均稳定不变时输出端的特性,反映了该电路的驱动能力,主要包括输出电流和输出电阻。其中,输出电流是指输出端在保证输出电平正确的情况下可以承载的最大电流,输出电流越大,则该门电路的驱动能力越强;输出电阻是从电路输出端看进去时电路的等效电阻值,其数值等于输出电压除以输出电流,输出电阻越小,则该门电路的驱动能力越强。

静态输入特性指电路的输入和输出均稳定不变时输入端的特性,反映了该电路作为负载时的特性,主要包括输入电流和静态输入电阻。其中,静态输入电流是指流入输入端的电流,该电流越大,表明该电路作为负载时需要其驱动端提供的电流越大;输入电阻指的是从电路输入端看进去时电路的等效电阻值,其数值等于输入电压除以输入电流,显然,当输入电压一定时,输入电阻越小,表明其输入电流越大,则该门电路作为负载时需要其驱动端具有更强的驱动能力。

6. 扇出系数

门电路的驱动能力还可以用扇出系数来表示,其定义为一个门电路可以驱动同类门电路的个数。电路的扇出系数越大,说明该电路的带负载能力越强。

3.1.2 动态参数

1. 传播延迟

一个门电路的传播延迟 t_p 反映了该门电路对输入信号变化的响应速度,是指某一个信号的变化通过该门电路所需要的时间。传播延迟的定义是从输入信号变化达到信号幅度的 50% 开始到相应的输出信号变化达到信号幅度的 50% 为止所需的时间,如图 3.3 所示。由

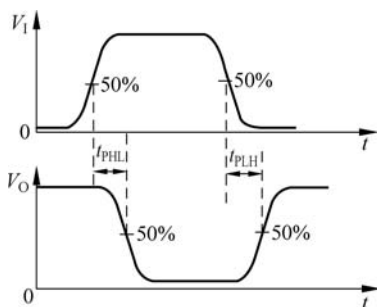


图 3.3 传播延迟的定义

于门电路对于输入信号的上升沿和下降沿的响应时间是不一样的,因此,需要分别定义两种情况下的传播延迟。定义 t_{PHL} 为输出信号由高电平变为低电平时的传播延迟, t_{PLH} 为输出信号由低电平变为高电平时的传播延迟。通常用平均传播延迟 t_p 来描述电路的响应速度, t_p 为 t_{PHL} 和 t_{PLH} 的平均值,即

$$t_p = \frac{t_{\text{PHL}} + t_{\text{PLH}}}{2} \quad (3.3)$$

2. 功耗

功耗决定了电路工作时的耗电量及散热量。随着电路规模的日益增大,功耗成为衡量集成电路性能的重要参数之一。尤其是在电池供电的小型化系统中,功耗的大小决定了电池使用时间以及电路冷却模式。电路功耗包括静态功耗和动态功耗:静态功耗是电路保持稳定状态,即所有信号均不发生翻转时的功耗;而动态功耗是由于电路翻转引起的能量消耗。

3.2 二极管门电路

3.2.1 二极管的开关作用

如图 3.4(a)所示,二极管有 A 和 K 两个电极,当在两个电极之间加电压 V 时,二极管内将有电流 I 通过。图 3.4(b)所示为二极管的伏安特性曲线。当二极管两端加反向电压时,流过二极管的电流非常小,可以忽略不计;当二极管两端加正向电压时,随着电压的升高,流过二极管的电流逐渐增大,当正向电压达到二极管的导通阈值电压 V_T 后,流过二极管的电流快速增大,即二极管的电阻快速降低,使二极管两端电压被钳位在 V_T 附近(理想情况下)。因此,二极管可以看做一个由电压控制的开关,在数字电路的分析和设计过程中,当电压大于 V_T 时认为二极管导通,且导通后二极管两端电压降近似为 V_T ,电压小于 V_T 时二极管截止。不同类型的二极管 V_T 值也不同,硅二极管的 V_T 约为 $0.5 \sim 0.7\text{V}$,锗二极管的 V_T 约为 $0.1 \sim 0.3\text{V}$ 。

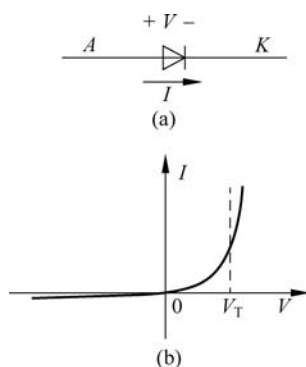


图 3.4 二极管的伏安特性曲线

3.2.2 二极管与门

图 3.5 为由二极管和电阻构成的二输入与门。输入变量为 A 和 B ,输出变量为 Y 。设 $V_{\text{CC}} = 5\text{V}$,输入高电平 $V_{\text{IH}} = 3\text{V}$,输入低电平 $V_{\text{IL}} = 0$,输出高电平 $V_{\text{OH}} \geq 2.4\text{V}$,输出低电平 $V_{\text{OL}} \leq 0.4\text{V}$,二极管的导通电压 $V_T = 0.3\text{V}$ 。电路的功能分析如下:

当 A 、 B 两输入端均为高电平时,由于 V_{CC} 与输入端 A 、 B 的电压差均为 2V ,因此二极管 D_1 和 D_2 都导通, $V_Y = 3 + 0.3 = 3.3\text{V}$,输出为高电平;

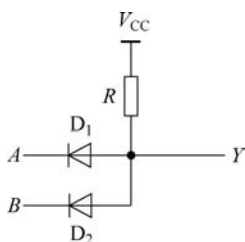


图 3.5 二极管与门

当 A 或 B 有一个输入端为低电平时,例如 A 输入低电平而 B 输入高电平,则二极管 D_1 导通,将输出端电平钳位在 0.3V ,此时二极管 D_2 截止,输出为低电平;

当输入端 A 和 B 都为低电平时,二极管 D_1 和 D_2 都导通,输出端电平被钳位在 0.3V ,输出为低电平。

根据以上分析可得该电路输出真值表如表 3.1 所示。由真值表很容易得出该电路的功能为与门。但由于二极管导通压降的存在,该电路的输出高电平为 3.3V ,而输出低电平为 0.3V ,与输入高电平和输入低电平相差一个二极管导通电压。如果将两级二极管与门级联,则第二级与门将无法产生正确的输出低电平。因此,二极管电路通常仅作为集成电路内部的逻辑单元,无法作为独立器件使用。

表 3.1 二极管与门的真值表

A	B	Y
H	H	H
H	L	L
L	H	L
L	L	L

注: H 表示高电平; L 表示低电平

3.2.3 二极管或门

图 3.6 为由二极管和电阻构成的二输入或门。输入变量为 A 和 B ,输出变量为 Y 。假设电路参数及输入电平和输出电平的设定均与 3.2.2 小节相同,则该电路的功能分析如下:

当 A 、 B 两输入端均为低电平时,二极管 D_1 和 D_2 都截止, $V_Y=0\text{V}$,输出为低电平;

当 A 或 B 有一个输入端为高电平时,例如 A 输入高电平而 B 输入低电平,则二极管 D_1 导通,输出端电平为 2.7V ,此时二极管 D_2 截止,输出为高电平;

当输入端 A 和 B 都为高电平时,二极管 D_1 和 D_2 都导通,输出端电平为 2.7V ,输出为高电平。

该电路的真值表如表 3.2 所示,可知该电路为二极管或门,与二极管与门类似,二极管或门也存在输出电平的偏移问题。

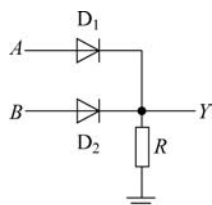


图 3.6 二极管或门

表 3.2 二极管或门的真值表

A	B	Y
L	L	L
H	L	H
L	H	H
H	H	H

注: H 表示高电平; L 表示低电平

3.3 TTL 门电路

3.3.1 三极管的开关特性

三极管有 NPN 和 PNP 两种类型,本节以 NPN 三极管的共发射极电路来分析三极管的开关特性,如图 3.7 所示。

1. 截止状态

当输入电压 $V_I < 0$ 时,三极管的发射结反偏, I_B 只有很小的反向电流,集电极电流 I_C 也很小,此时三极管处于截止状态,集电极和发射极之间阻抗很大。由于发射结导通阈值电压 V_T 的存在,可以认为只要 V_I 小于 V_T ,三极管就处于截止状态。

三极管处于截止状态时,集电极和发射极之间的阻抗非常大,集电极电流非常小,可以认为 $I_C \approx 0$,因此电阻 R_C 上压降可近似为 0,集电极与发射极之间电压 V_{CE} 近似为 V_{CC} 。

2. 放大状态

当 V_I 逐渐升高时,三极管的发射结电压随之升高。当 V_I 大于 V_T 时,发射结导通,基极与发射极之间有电流 I_B 流过,同时集电极也有电流 I_C 流过,三极管进入放大状态,此时集电结仍处于反偏状态, I_C 与 I_B 成线性关系,如式(3.4)所示:

$$I_C = \beta I_B \quad (3.4)$$

式中 β 为三极管的放大倍数,此时 V_{CE} 可由式(3.5)表示

$$V_{CE} = V_{CC} - I_C R_C \quad (3.5)$$

3. 饱和状态

三极管进入放大状态后,进一步增加 I_B 将使 I_C 增大,从而增大电阻 R_C 上的电压降,降低集电极电压 V_O 。当 V_O 降低到足够低时,集电结也正向导通,三极管进入饱和状态。此时 $V_{CE} = V_{CE(sat)}$,其中 $V_{CE(sat)}$ 为三极管饱和导通时集电极与发射极之间的电压降,该值很小,可以认为 $V_{CE(sat)} \approx 0$,集电极与发射极导通。

由以上分析可知,三极管可以看作一个由基极电流 I_B 控制的开关:当 $V_I < V_T$ 时, $I_B \approx 0$,三极管工作在截止状态,此时 $V_{CE} \approx V_{CC}$,相当于集电极和发射极之间处于断开状态;当 $V_I \gg V_T$ 时,三极管饱和导通,相当于集电极和发射极之间处于导通状态。数字电路中就是利用三极管的截止区和饱和区实现三极管的开关作用的。

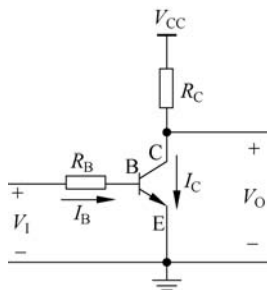


图 3.7 三极管开关电路

3.3.2 TTL 反相器的电路结构和工作原理

图 3.8 所示为 TTL 反相器电路,输入端为 A,输出端为 Y。由图可见,电路可以分为输入级、反相级和输出级三部分。电路的输入级和输出级均由三极管构成,因此这种类型的电路称为三极管-三极管逻辑电路(Transistor-Transistor Logic),简称 TTL 电路。

假设 $V_{CC} = 5V$,输入高电平 $V_{IH} = 3.4V$,输入低电平 $V_{IL} = 0.2V$,输出高电平 $V_{OH} \geq 2.4V$,输出低电平 $V_{OL} \leq 0.4V$,三极管的导通电压 V_T 为 $0.7V$ 。电路的功能分析如下:

当 A 端输入电压 $V_I = V_{IL}$ 时, T_1 的发射结导通, T_1 的基极电压被钳位在 $0.2 + 0.7 =$

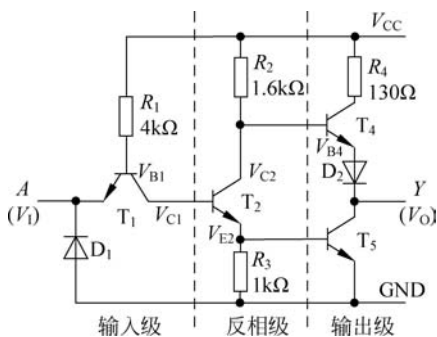


图 3.8 TTL 反相器电路

0.9V, 此时 T_2 发射结无法导通, T_2 处于截止状态。对于 T_1 来说, 其集电极负载由 T_2 的集电结电阻与 R_2 串联构成, 由于 T_2 截止, 所以 T_1 的集电极负载非常大, 此时虽然 T_1 集电极电流非常微弱, 但足以使 T_1 进入深度饱和状态, 使 $V_{C1} \approx V_1$ 。 T_2 处于截止状态, 所以 $V_{C2} \approx V_{CC}$, 使 T_4 导通, 而 $V_{E2} \approx 0$, 使 T_5 截止。由于 T_4 的基极电流很小, 因此可以忽略电阻 R_2 上的电压降。此时输出端 Y 的电压 V_O 为

$$V_O \approx V_{CC} - V_{BE4} - V_{D2} = 5 - 0.7 - 0.7 = 3.6V \quad (3.6)$$

式中, V_{BE4} 是 T_4 发射结的导通压降; V_{D2} 是二极管 D_2 的导通压降, 式(3.6)表明当 TTL 反相器的输入为低电平时, 输出为高电平。

如果逐渐升高 V_1 , 开始时 T_1 将继续保持饱和状态, 因此 V_{C1} 会随着 V_1 的升高而升高。当 V_{C1} 升高至 0.7V (此时 V_1 也约等于 0.7V) 时, T_2 的发射结将导通, 但 T_5 的发射结仍处于截止状态。 V_1 继续升高至 1.4V 时, T_5 的发射结导通, 此后若继续升高 V_1 , V_{B1} 将被 T_1 的集电结、 T_2 和 T_5 的发射结钳位在 2.1V。因此, 当输入端 $V_1 = V_{IH}$ 时, $V_{B1} = 2.1V$, 使 T_2 和 T_5 均饱和导通, 使 T_4 截止, 此时输出端的电压 V_O 为

$$V_O = V_{CE(sat)} \approx 0V \quad (3.7)$$

即输入为高电平时, 输出为低电平。

输入端的二极管 D_1 为输入保护二极管, 它可以将过低的输入电压钳位在 -0.7V, 防止过大的电流烧坏输入三极管。若没有此保护二极管 D_1 , 输入端电压过低时, 流入三极管 T_1 的基极电流将增大, 严重时烧坏三极管 T_1 。

TTL 反相器的输出级由三极管 T_4 和 T_5 及二极管 D_2 组成。由以上分析可知, 反相器输出为逻辑 1 时, T_4 导通而 T_5 截止; 反之反相器输出为逻辑 0 时, T_5 导通而 T_4 截止, 这种结构称为推挽式或推挽式或图腾柱式 (totem pole) 输出结构。二极管 D_2 的作用是防止 T_4 和 T_5 同时导通。当 T_5 导通时, T_2 一定也处于饱和导通状态, 可以认为 T_2 的集电极和发射极之间的电压为 0。不难分析, 此时 $V_{B4} - V_O \approx 0.7V$, 无法使 T_4 的发射结与 D_2 同时导通, 因此当 T_5 导通时, T_4 一定处于截止状态。

3.3.3 TTL 反相器的静态特性

1. 电压传输特性曲线

根据 3.3.2 小节分析很容易得出 TTL 反相器的电压传输特性曲线, 如图 3.9 所示。

输入电压很低时, T_2 和 T_5 均截止, T_4 导通, 反相器输出高电平, 此时处于曲线的 AB 段, 称为特性曲线的截止区。

当 $0.7V < V_1 < 1.4V$ 时, T_2 处于放大导通状态, 但 T_5 仍然截止。此时反相器依然输出高电平, 但由

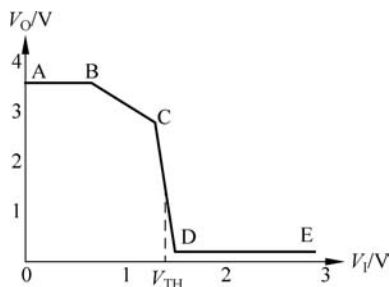


图 3.9 TTL 反相器电压传输特性曲线

于 T_2 的放大作用, R_2 上的电流增大, 导致 R_2 上的电压降增大, 使输出端 V_O 电压降低, 即 V_O 随着 V_I 的增大而线性下降, 如图 3.9 中 BC 段所示, 称为特性曲线的线性区。

当 V_I 达到 1.4V 时, T_5 也导通, 使 T_4 快速截止, 输出电平迅速降低至低电平, 此过程对应曲线图中的 CD 段, 称为特性曲线的转折区。转折区的中点对应的输入电压称为反相器的阈值电压, 用 V_{TH} 表示。

此后继续升高 V_I , V_O 将保持低电平不变, 对应曲线中的 DE 段, 称为特性曲线的饱和区。

2. 噪声容限

从电压传输特性曲线很容易得出反相器的输出高电平和输出低电平。同时可以看到输入低电平和输入高电平都不是一个固定值, 而是一个电压区间。为了方便不同厂家的器件互相级联, 定义了一系列输入电压和输出电压的标准, 其中规定标准 TTL 输入高电平最小值 $V_{IH(min)} = 2V$, 输出高电平最小值 $V_{OH(min)} = 2.4V$, 典型值为 3.4V。输入低电平最大值 $V_{IL(max)} = 0.8V$, 输出低电平最大值 $V_{OL(max)} = 0.4V$, 典型值为 0.2V。因此标准 TTL 电路的噪声容限为

$$V_{NH} = V_{OH(min)} - V_{IH(min)} = 2.4 - 2.0 = 0.4V \quad (3.8)$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)} = 0.8 - 0.4 = 0.4V \quad (3.9)$$

3. 输入端电压电流特性

在 TTL 反相器的输入端加一个可调电压源, 如图 3.10(a) 所示, 就可以测得反相器的输入端电压电流特性曲线, 如图 3.10(b) 所示。

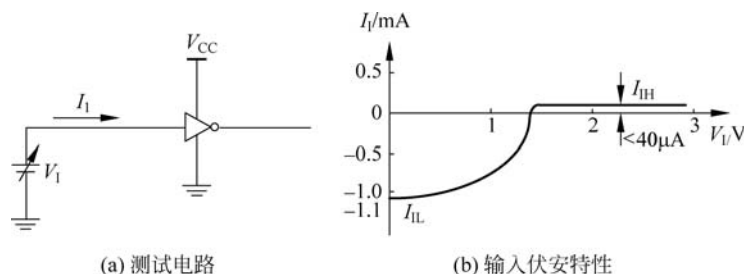


图 3.10 TTL 反相器输入电压电流特性

当输入端电压 $V_I = 0$ 时, 图 3.8 所示的反相器的输入端等效电路如图 3.11(a) 所示, 由于反相器中的 T_2 和 T_5 截止, 因此, T_2 的集电结电阻 R_{CB2} 与 R_2 串联构成 T_1 的集电极负载。由于集电极负载很大, 因此 T_1 的集电极电流非常微小, 可以忽略。此时 T_1 的发射极电流主要由基极电流构成, 且电流方向是从 T_1 的发射极流出, 与设定的 I_I 方向相反, 因此电流为负值。也就是说反相器作为负载接到另外一个门电路的输出端时, 若反相器的输入端为低电平, 则电流方向是从反相器流向前一级电路的输出端, 此时称反相器是灌电流负载。灌电流的大小由流过 R_1 的电流决定, 表示为

$$I_{IL} = -\frac{(V_{CC} - V_{BE1} - V_{IL})}{R_1} \approx -1.1mA \quad (3.10)$$

由式(3.10)可见, 随着输入端电平的增加, 输入电流的绝对值将减小。

当 V_I 为高电平时, 反相器的输入端等效电路如图 3.11(b) 所示, 由 3.3.2 小节分析可知, 此时 V_{B1} 被钳位在 2.1V。由于此时 T_1 的集电结正向导通, 而发射极电压 V_I 高于基极电压 V_{B1} , 所以三极管 T_1 处于反向工作状态, 即三极管的发射极充当集电极, 集电极充当发

射极。此时输入端电流是流向反相器内部,与设定的 I_1 方向一致。由于三极管处于反向工作状态时放大系数 β 很小,所以输入端为高电平时输入电流 I_{IH} 非常小,通常只有几十微安。若将该反相器作为负载,反相器输入端为高电平时,电流由前一级电路流向反相器,此时称该反相器为拉电流负载。

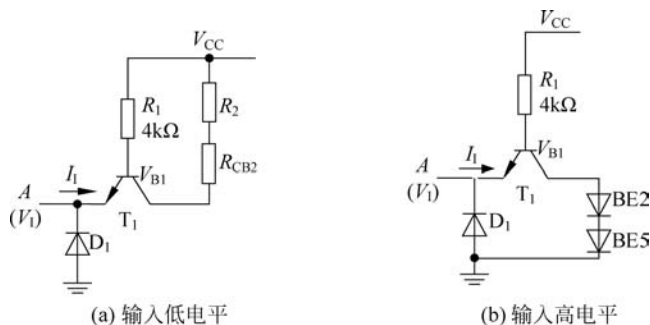


图 3.11 TTL 反相器输入端等效电路

4. 输出特性

反相器输出高电平时, T_4 导通, T_5 截止, 由 T_4 的发射极向负载电路提供拉电流, 其等效电路如图 3.12(a)所示。反相器输出高电平时的输出电流用 I_{OH} 表示, 当 I_{OH} 很小时, R_4 上的电压降可以忽略, 此时 T_4 处于不饱和导通状态, 输出电压 $V_{OH} \approx V_{B4} - V_{BE4} - V_{D2}$, 其中, V_{BE4} 是 T_4 发射结导通压降, V_{D2} 是二极管 D_2 导通压降。由于 T_4 的基极电流很小, 所以 I_{OH} 的变化对 V_{B4} 的影响很小, V_{OH} 的变化也很小。当 I_{OH} 增大时, R_4 上的电压降 V_{R4} 增大, V_{C4} 降低, 使 T_4 进入饱和状态。若忽略 T_4 集电极和发射极之间的饱和导通电压, 则输出电压 $V_{OH} = V_{CC} - I_{OH}R_4 - V_{D2}$, 随着 I_{OH} 的增加, V_{OH} 将线性下降。确保输出端满足高电平要求所允许的最大输出电流用 $I_{OH(max)}$ 表示。 $I_{OH(max)}$ 反映了门电路带拉电流负载的能力, $I_{OH(max)}$ 越大则门电路带拉电流负载的能力越强。标准 TTL 电路的 $I_{OH(max)}$ 通常在 0.4mA 以下。

反相器输出低电平时, T_5 饱和导通而 T_4 截止, 负载电路灌入的电流全部流入 T_5 , 其等效电路如图 3.12(b)所示。反相器输出低电平时的输出电流用 I_{OL} 表示, 此时输出电压由 T_5 的集电极与发射极之间的电压降决定。虽然 T_5 的饱和电阻非常小, 但是 I_{OL} 增大时也会使输出端电压升高。确保输出端满足低电平要求所允许的最大输出电流用 $I_{OL(max)}$ 表示。 $I_{OL(max)}$ 反映了门电路带灌电流负载的能力, $I_{OL(max)}$ 越大则门电路带灌电流负载的能力越强。由于 T_5 的饱和导通电阻很小, I_{OL} 对 V_O 的影响比较小, 因此 $I_{OL(max)}$ 远大于 $I_{OH(max)}$, 一般为十几毫安, 也就是说 TTL 电路带灌电流负载的能力远大于带拉电流负载的能力。

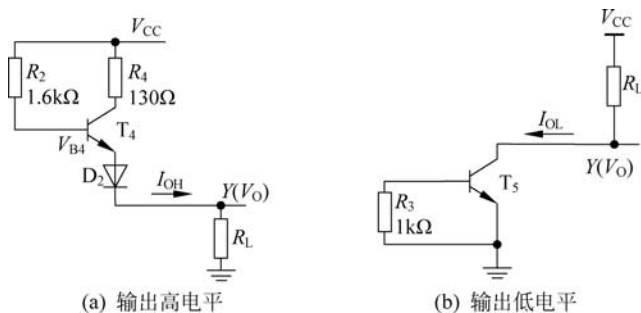


图 3.12 TTL 反相器输出等效电路

5. 输入端负载特性

在使用门电路时经常需要将输入端与地之间或者输入端与输入低电平信号之间接一个电阻 R_{IN} , 如图 3.13(a) 所示。

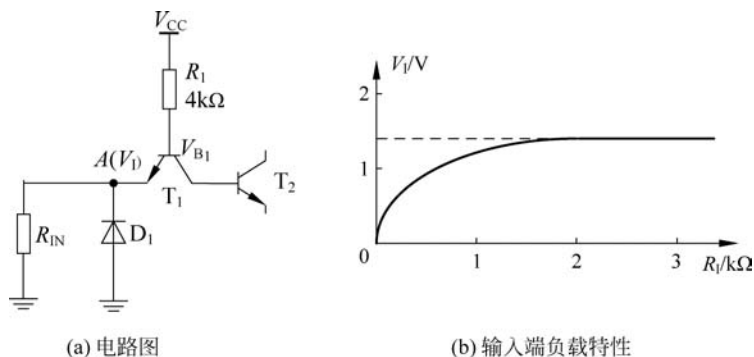


图 3.13 TTL 反相器输入端经电阻接地

T_1 管的发射极电流流过电阻 R_{IN} 将产生电压降, 因此反相器的输入电压 V_I 将由电阻 R_{IN} 和 R_1 的分压决定, 即

$$V_I = \frac{R_{IN}}{R_{IN} + R_1} (V_{CC} - V_{BE1}) \quad (3.11)$$

由式(3.11)可见, 随着电阻 R_{IN} 的增大, 反相器输入端电压 V_I 将增大, 当 V_I 增大到 1.4V 时, V_{BE1} 达到 2.1V, 使 T_2 和 T_5 均导通, V_{BE1} 被钳位在 2.1V, 电阻 R_{IN} 继续增大时 V_I 不会再继续增大。由于 T_2 和 T_5 均导通, 此时反相器的输出为低电平, 相当于输入为高电平。由以上分析可知, 当输入端与地或低电平信号之间的电阻 R_{IN} 较小时, T_5 截止, 相当于输入为低电平; 而当输入端与地或低电平信号之间的电阻足够大时, 将使 T_5 导通, 相当于输入为高电平。一般定义维持输出端为低电平(即 T_5 饱和导通)时输入端与地之间的最小电阻为开门电阻 R_{ON} , 维持输出为高电平(即 T_5 截止)时输入端与地之间的最大电阻为关门电阻 R_{OFF} , 也就是说, 当 $R_{IN} \leq R_{OFF}$ 时, 反相器输入为低电平, 而当 $R_{IN} \geq R_{ON}$ 时, 反相器输入为高电平。当 R_{IN} 位于 R_{OFF} 与 R_{ON} 之间时, 反相器处于过渡状态, 使用时须避免。

6. 扇出系数

根据反相器的输入电流和输出电流很容易计算其扇出系数。假设反相器的输出电流 $I_{OH(max)} = 0.4\text{mA}$, $I_{OL(max)} = 16\text{mA}$, 输入电流 $I_{IH} = 40\mu\text{A}$, $I_{IL} = 1.6\text{mA}$ 。则反相器输出为高电平时的扇出系数为

$$N_{OH} = \frac{I_{OH(max)}}{I_{IH}} = \frac{0.4}{40 \times 10^{-3}} = 10 \quad (3.12)$$

反相器输出为低电平时的扇出系数为

$$N_{OL} = \frac{I_{OL(max)}}{I_{IL}} = \frac{16}{1.6} = 10 \quad (3.13)$$

反相器的扇出系数由高电平扇出系数和低电平扇出系数中的最小值决定, 即扇出系数 $N = \min(N_{OH}, N_{OL}) = 10$ 。

7. 静态功耗

由前面的分析可知, TTL 反相器在稳定状态时电路中有电流存在, 该电流的大小决定

了反相器静态功耗的大小。当反相器输出为高电平时, T_2 和 T_5 都处于截止状态, 反相器的电流只取决于 T_1 的基极电流 I_{B1} 。如图 3.14(a) 所示, 假设输入电平为 0.2V , 根据电路的参数可以计算输出高电平时电源电流 I_{CCH} 为

$$I_{CCH} = \frac{V_{CC} - V_1 - V_{BE1}}{R_1} = \frac{5 - 0.2 - 0.7}{4 \times 10^3} \text{A} \approx 1\text{mA} \quad (3.14)$$

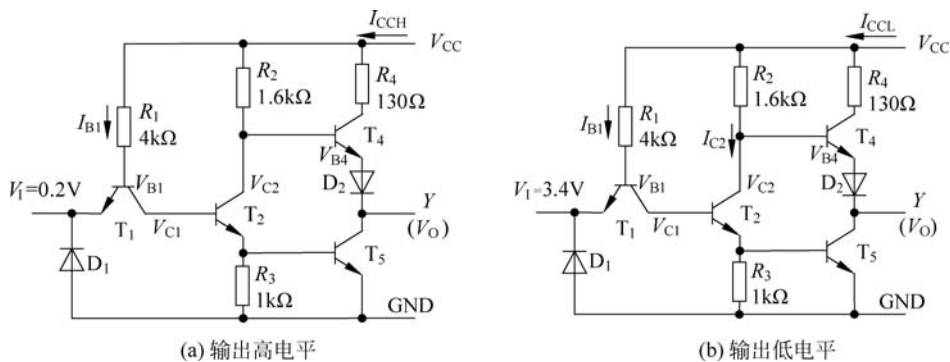


图 3.14 TTL 反相器静态电流计算

当反相器输出为低电平时, T_2 和 T_5 均饱和导通。此时的电源电流 I_{CCL} 为 I_{B1} 和 I_{C2} 的和, 如图 3.14(b) 所示。输入为高电平时, V_{B1} 被钳位在 2.1V , 假设 T_2 集电极与发射极之间的饱和压降 $V_{CE(sat)}$ 为 0.1V , 易知 $V_{C2} = 0.8\text{V}$ 。因此输出低电平时电源电流 I_{CCL} 为

$$I_{CCL} = \frac{V_{CC} - V_{B1}}{R_1} + \frac{V_{CC} - V_{C2}}{R_2} = \frac{5 - 2.1}{4 \times 10^3} + \frac{5 - 0.8}{1.6 \times 10^3} \text{A} \approx 3.4\text{mA} \quad (3.15)$$

由以上分析可知, TTL 反相器输出为高电平和低电平时其静态电流是不同的, 图 3.15 所示为静态电流与输出电平之间的关系。

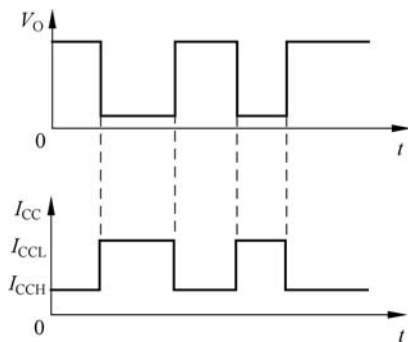


图 3.15 TTL 反相器静态电流示意图

3.3.4 TTL 反相器的动态特性

1. 传播延迟

当反相器的输入信号发生翻转时, 输出端也会随之发生翻转。由于二极管和三极管从导通变为截止以及从截止变为导通都需要一定的时间, 因此从输入信号翻转到输出信号翻转之间会有一定的传播延迟。同时由于电路中存在大量的寄生电容, 电路状态的翻转过程

会对这些电容进行充电或者放电,这也是造成 TTL 反相器传播延迟的原因之一。

如图 3.8 所示的反相器,当输出低电平时 T_5 处于深度饱和状态,此时 T_5 的基区积累了大量载流子。当输出由低电平变为高电平时, T_5 将由深度饱和状态转变为截止状态,基区积累的载流子需要较长的时间泄放。而电路输出高电平时, T_4 虽然导通但并未进入饱和状态,当输出由高电平变为低电平时, T_4 可以较快地从导通状态进入截止状态。因此,通常来说 TTL 门电路的 t_{PHL} 会小于 t_{PLH} 。以 TI 公司的集成反相器 SN7404 为例,其 t_{PHL} 的典型值约为 8ns,而 t_{PLH} 的典型值约为 12ns。

2. 动态功耗

当 TTL 反相器输出电平发生变化时,尤其是输出电平由低电平转化为高电平时, T_5 由深度饱和和进入截止状态所需时间比较长, T_4 将在 T_5 截止之前进入导通状态,因此在一段很短的时间内 T_4 和 T_5 将同时导通。由于 T_4 和 T_5 的导通电阻都非常小,将会在电源和地之间形成一个尖峰电流。当输出由高电平转为低电平时,由于输出高电平时 T_4 没有进入饱和状态, T_4 可以快速进入截止状态,因此输出由高电平转为低电平时电源尖峰电流较小。考虑电源尖峰电流后,TTL 反相器电源电流与输出信号的关系如图 3.16 所示。

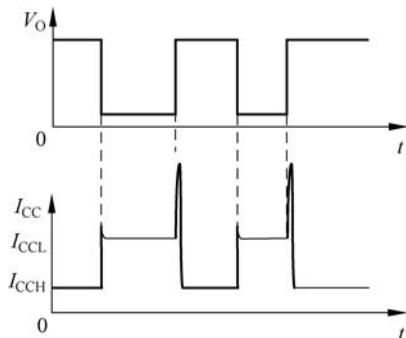


图 3.16 考虑尖峰电流后 TTL 反相器电流曲线

电源尖峰电流会增加反相器的动态功耗。信号变化的频率越高,由尖峰电流引入的功耗越大。电源尖峰电流还会在电路中引入噪声,影响电路的正常工作,因此电路设计过程中需要采取有效措施将该噪声限定在一定范围之内。

3.3.5 其他逻辑的 TTL 门电路

除反相器之外,TTL 系列电路还包含与门、或门、与非门、或非门等常见门电路,这些门电路的结构及工作原理与反相器相似,本节将简单介绍 TTL 与非门和或非门的电路结构及工作原理,电路的其他特性的分析方法与反相器相似,读者可自行分析。

1. TTL 与非门

图 3.17 所示为二输入 TTL 与非门电路,与 TTL 反相器类似,该电路也包括输入级、反相级和输出级三部分。唯一不同的是该电路的输入级采用多发射极三极管 T_1 ,分析时可以认为 T_1 是将两个三极管的基极和集电极分别接到一起而构成,两个发射极分别作为输入信号 A 和 B 的输入端。

当两个输入端至少有一个为低电平(设低电平输入为 0.2V)时, T_1 导通,此时 V_{BI} 电压为 0.9V, T_2 和 T_5 截止, T_4 导通,电路输出为高电平。当两输入端均为高电平时, V_{BI} 被钳位在 2.1V, T_2 和 T_5 均饱和

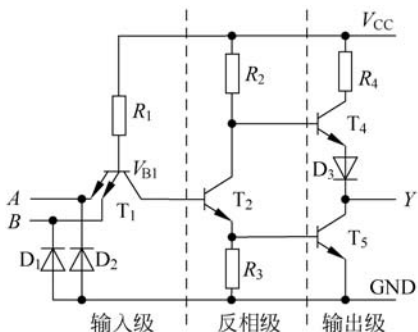


图 3.17 TTL 与非门电路

导通, T_4 截止, 电路输出为低电平。因此该电路输出 Y 与输入 A 、 B 之间的关系为 $Y = \overline{A \cdot B}$ 。

分析电路的输入电流时, 需要考虑电路的工作状态。当输入端 A 和 B 只有一个输入低电平时, 例如 A 端输入低电平而 B 端输入高电平, 此时 A 端的输入电流由通过电阻 R_1 的基极电流决定。而当 A 端和 B 端均为低电平时, 通过 R_1 的基极电流则为 A 、 B 两端的输入电流之和。当 A 端和 B 端均为高电平时, 可以认为 A 和 B 分别为两个反向工作的三极管的等效集电极, 应该分别计算两个输入端的输入电流。

2. TTL 或非门

TTL 或非门电路如图 3.18 所示。该电路可以看作两个反相器共用一个推拉式输出级。当输入端 A 或 B 中至少有一个为高电平时, T_{2A} 和 T_{2B} 至少有一个饱和和导通, 使 T_4 截止而 T_5 饱和和导通, 电路输出低电平。只有当输入端 A 和 B 均为低电平时, T_{2A} 、 T_{2B} 和 T_5 都截止, T_4 导通, 电路输出高电平。因此该电路输出 Y 与两个输入端 A 和 B 之间的逻辑关系为 $Y = \overline{A + B}$ 。

由于或非门电路的两个输入端是独立的, 因此计算输入电流时, 无论输入信号为高电平还是低电平, 每个输入端的输入电流都应该单独计算。

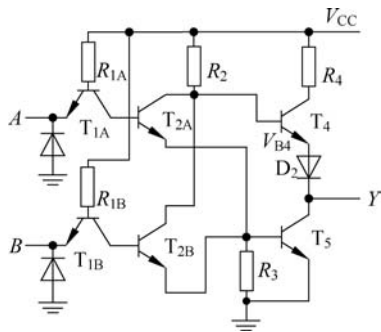


图 3.18 TTL 或非门电路

3.3.6 其他类型的 TTL 门电路

1. 肖特基 TTL 门电路

由 3.3.4 小节分析可知, TTL 门电路输出低电平时, T_2 和 T_5 都处于深度饱和状态, 当电路输出状态翻转时, T_2 和 T_5 需要从深度饱和状态变换到截止状态。由于深度饱和时基区积累的大量载流子需要较长的泄放时间, 因此 TTL 电路的传播延迟比较长。肖特基 TTL 门电路是一种改进型的 TTL 电路, 其主要设计思想是通过阻止三极管进入深度饱和的方式减小电路的传播延迟。图 3.19(a) 所示为肖特基 TTL 与非门电路。

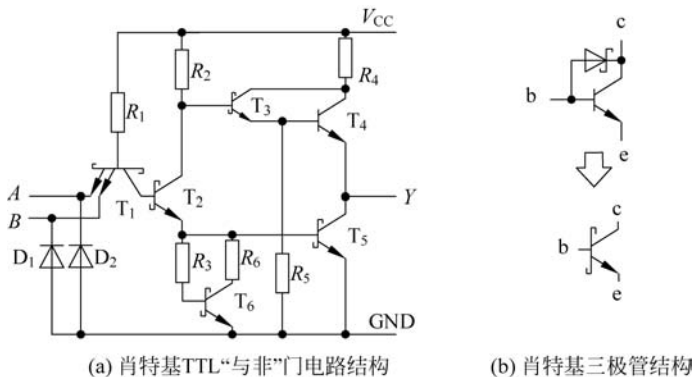


图 3.19 肖特基 TTL 与非门电路

与普通 TTL 与非门电路相比, 肖特基 TTL 与非门中 T_1 、 T_2 、 T_3 、 T_5 均采用肖特基三极管。在一个普通三极管的基极和集电极之间接一个肖特基势垒二极管就构成了肖特基三

极管,如图 3.19(b)所示,肖特基势垒二极管的特点是导通电压比较小,只有 $0.4\sim 0.5\text{V}$,因此在肖特基三极管的集电结导通之前,肖特基势垒二极管首先导通,形成基区载流子的泄放通道,使三极管无法进入深度饱和状态,从而减小电路的传播延迟。由于普通 TTL 电路正常工作时, T_4 不会进入深度饱和状态,因此 T_4 无须采用肖特基三极管。

另外,该电路采用 T_6 和电阻 R_3 、 R_6 组成的有源泄放网络代替原来的电阻 R_3 ,该泄放网络将加速 T_5 基极的载流子泄放。当输出端为低电平时, T_5 和 T_6 均导通, T_6 将分流 T_5 的基极电流,降低 T_5 的饱和深度;当输出端由低电平转换为高电平时, T_6 将为 T_5 提供低电阻的载流子泄放通路,加速 T_5 进入截止区。

有源泄放网络的存在还可以改善 TTL 门电路的电压传输特性曲线。在普通 TTL 电路中,当输入电压位于 $0.7\sim 1.4\text{V}$ 时,由于 T_2 导通而 T_5 截止,电压传输特性曲线中存在线性区。 T_6 的存在避免了 T_2 导通而 T_5 截止的情况发生,因此可以有效消除电压传输特性曲线的线性区,从而使电压传输特性曲线的过渡区更加陡峭。

2. 集电极开路输出的门电路(OC 门)

TTL 电路采用的推挽式输出结构可以提供较强的驱动灌电流负载的能力,但其驱动拉电流负载的能力较弱。若将提供拉电流的 T_4 去掉,只保留 T_5 ,让 T_5 的集电极处于开路输出状态,就构成了集电极开路输出的门电路(Open-Collector gate, OC 门),如图 3.20(a)所示。显然,OC 门只有输出低电平的能力而没有输出高电平的能力,使用时需要将 OC 门的输出端通过上拉电阻接至电源,从而通过上拉电阻提供高电平。OC 门的逻辑符号如图 3.20(b)所示。

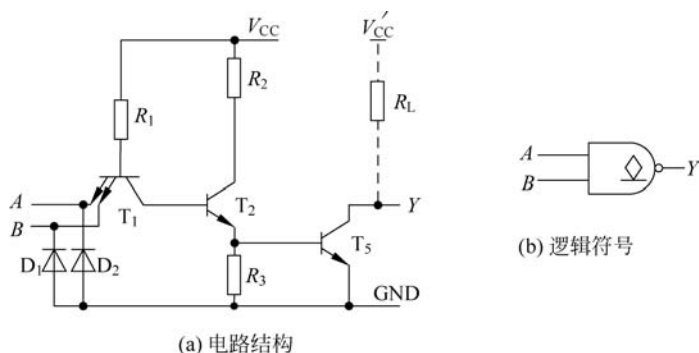


图 3.20 TTL OC 门电路

OC 门的优点是可将多个 OC 门的输出端直接相连,实现“线与”的功能。如图 3.21 所示为将三个与非门的输出端相连后通过一个上拉电阻接到电源。三个与非门的输出分别是 $Y_1 = \overline{AB}$, $Y_2 = \overline{CD}$, $Y_3 = \overline{EF}$ 。根据 OC 门的电路结构可知,只要 Y_1 、 Y_2 和 Y_3 中任意一个输出低电平,其对应的 OC 门输出端的 T_5 将导通,从而使整个电路的输出端 Y 为低电平;只有当 Y_1 、 Y_2 和 Y_3 均为高电平时,三个与非门输出端的三极管均截止,此时输出端被上拉电阻拉到高电平。可见,将 OC 门输出端直接连到一起,就可以实现逻辑“与”的功能,称为“线与”。需要注意的是,普

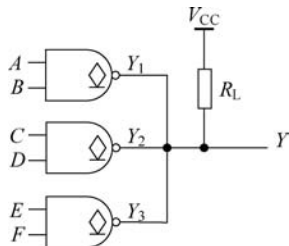


图 3.21 用 OC 门实现“线与”功能

通 TTL 门电路不可以将输出端直接连在一起,如果需要通过两个信号的“与”功能,需要通过一个与门实现。

上拉电源可以与门电路的工作电源相同,也可以不同。但为了电路能够正常工作,对上拉电阻的阻值有一定的要求。

图 3.22 所示为由 OC 门构成的电路实例。图中三个 OC 门的输出 Y_1 、 Y_2 和 Y_3 “线与”之后产生信号 Y ,驱动三个负载门电路 G_1 、 G_2 和 G_3 。其中 G_1 仅有一个输入端连接到 Y ,而 G_2 和 G_3 的两个输入端全部连接到 Y 。

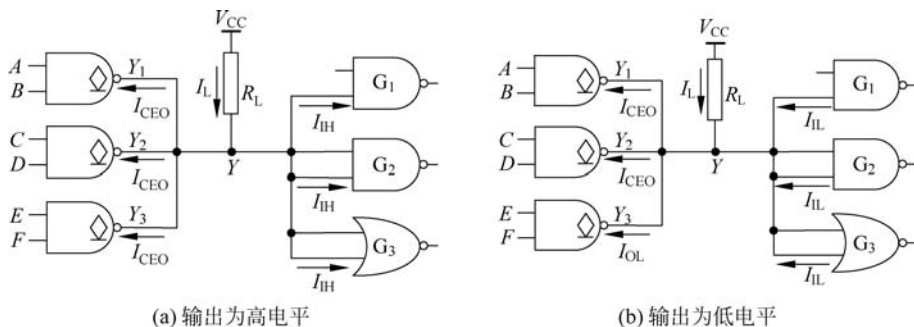


图 3.22 OC 门上拉电阻的计算

当输出信号 Y 为高电平时,三个 OC 门的输出三极管全部截止,但仍然会有少量的泄漏电流流过输出三极管,该电流用 I_{CEO} 表示。对负载电路来说,所有输入端均为高电平,因此对于每个输入端都有高电平输入电流 I_{IH} 流入,由 3.3.5 小节分析可知,当输入端为高电平时,各输入端口的输入电流应分别计算。电流方向如图 3.22(a) 所示,假设与非门和或非门的高电平输入电流 I_{IH} 相同。可得流过上拉电阻 R_L 的电流为

$$I_L = 3I_{\text{CEO}} + 5I_{\text{IH}} \quad (3.16)$$

因此电阻 R_L 上的电压降为

$$V_L = I_L R_L = (3I_{\text{CEO}} + 5I_{\text{IH}}) R_L \quad (3.17)$$

为了保证 Y 端输出电压为高电平,须满足

$$V_Y = V_{\text{CC}} - V_L \geq V_{\text{OH}(\min)} \quad (3.18)$$

将式(3.17)代入式(3.18),可得

$$R_L \leq \frac{V_{\text{CC}} - V_{\text{OH}(\min)}}{3I_{\text{CEO}} + 5I_{\text{IH}}} \quad (3.19)$$

当输出信号 Y 为低电平时,3 个 OC 门中有一个或多个输出三极管导通。当只有一个 OC 门的输出三极管导通时,所有灌电流都将流入这个 OC 门,此时 OC 门的负载最重。假设只有 Y_3 输出低电平,即 Y_3 对应的输出三极管导通,此时电流方向如图 3.22(b) 所示。由 3.3.5 节的分析可知,当输入端为低电平时,与非门 G_1 只有一个输入端接到 Y ,最坏情况(另一个输入端为高)是输入电流全部流向该输入端,因此 G_1 的输入端的最大电流为 I_{IL} 。与非门 G_2 的两个输入端都接到 Y ,同为低电平,因此两个输入端电流之和为 I_{IL} 。或非门的两个输入虽然也都是低电平,但其输入端需要分别计算输入电流,也就是说每个输入端的最大电流都是 I_{IL} 。所以,三个负载门电路的输入电流总和为 $4I_{\text{IL}}$ 。为了使输出信号满足低电平要求,OC 门灌入的最大电流不能大于 $I_{\text{OL}(\max)}$ 。忽略 I_{CEO} ,可得如下关系式

$$V_{CC} - I_L R_L = V_{CC} - (I_{OL(max)} - 4I_{IL})R_L \leq V_{OL(max)} \quad (3.20)$$

即

$$R_L \geq \frac{V_{CC} - V_{OL(max)}}{I_{OL(max)} - 4I_{IL}} \quad (3.21)$$

OC 门的另一个主要用途是进行电平转换。由于 OC 门的上拉电阻所接的电源可以与 OC 门自身的电源电压不同,因此可以通过改变上拉电源电压的方式来改变输出电平的值,利用这一特点可以将不同类型的电路进行级联。

同时,由于 OC 门采用上拉电阻来提高输出高电平时的驱动能力,因此无论输出高电平还是低电平,OC 门都可以驱动较大的负载。所以在负载比较大的电路中,可以用 OC 门作为输出级。

3. 三态输出 TTL 门电路

三态输出门电路有三个输出状态,除了可以正常输出高电平和低电平外,还可以输出高阻态。图 3.23 所示为一个常见的三态输出反相器电路。

与普通反相器电路相比,该电路多了一个输入使能信号 EN 。当 EN 为高电平时,二极管 D_2 截止,电路的工作状态与普通反相器相同;当 EN 为低电平(0.2V)时, T_5 截止, D_2 导通,将 V_{B4} 钳位在 0.9V,因此 T_4 也截止。此时从 Y 端看进去电路的输出电阻非常大,因此称为高阻态。由于使能信号 EN 为高电平时电路可以作为反相器正常工作,因此该电路称为使能信号高有效的三态输出反相器。图 3.24 所示为三态输出与非门和反相器的常用符号。

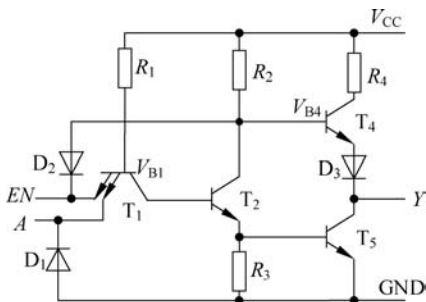


图 3.23 三态输出反相器电路

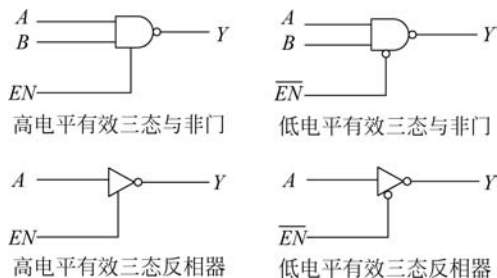


图 3.24 三态门电路常用符号

三态输出的电路的典型用途是进行信号线的复用。设计电路时为了减少连接线的数量,经常需要用同一根信号线分时传递若干个门电路的输出信号。此时可采用图 3.25 所示的连接方式,将三态输出门电路的输出信号全部连接到同一根信号线。电路工作时,需正确设置三态门电路的控制信号,使任意时刻最多只有一个三态门输出逻辑信号,其余门电路的输出均处于高阻状态,就可以实现同一根信号线对不同信号的分时传输,这种结构称为总线。

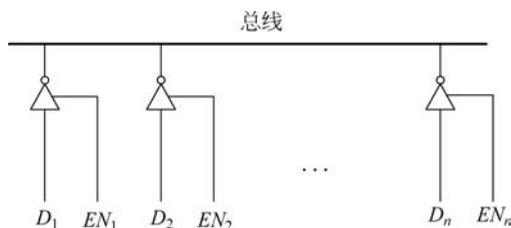


图 3.25 三态门构成总线的结构示意图

3.3.7 TTL 集成门电路系列

TI 公司最初生产的 TTL 电路称为 54 系列和 74 系列,两个系列中编号相同的器件其功能也相同,这两个系列的区别在于器件正常工作所允许的温度范围和电压变化范围不同。随着对器件性能需求的不断提高,后来又陆续产生了 74H、74L、74S、74LS、74AS、74ALS、74F 等改进系列。每个系列都通过一定的方法对电路结构进行了改进,从而可以获得某一方面或多个方面性能的提升。例如 74S 系列是肖特基系列,该系列将普通三极管替换成肖特基势垒三极管,避免三极管进入深度饱和状态,从而降低了门电路的传播延迟时间。74LS 系列在 74S 系列的基础上做了进一步改进,降低了电路的功耗,称为低功耗肖特基系列。在相当长一段时间内,74LS 系列都是 TTL 电路的主流系列。选用 TTL 器件时,需要根据需求以及各系列的参数确定合适的器件。

3.4 CMOS 门电路

3.4.1 MOS 管的开关特性

MOS 晶体管(简称 MOS 管)是一个四端器件,包括栅极(G)、源极(S)、漏极(D)和衬底(B),可分为 NMOS 管和 PMOS 管两种类型,图 3.26 所示为 NMOS 管的结构示意图。从图 3.26 可以看出,在 p 型衬底上构造两个掺杂浓度较高的 n 型区域,就形成了源极和漏极。栅极位于源极和漏极之间,且和衬底之间有绝缘的二氧化硅隔离。衬底是 MOS 管的第四个端口,不影响 MOS 管的主要功能,本书不予讨论。

NMOS 管和 PMOS 管的结构类似,分析方法也类似,本节以 NMOS 管为例分析晶体管的工作状态。将 NMOS 管的源极和漏极以及衬底均接地,在栅极加电压 V_G ,如图 3.27 所示。当 $V_G=0$ 时,源极和漏极之间由背靠背的 pn 结相连,且两个 pn 结的偏置电压都是 0V。因此 pn 结不导通,源极和漏极之间具有很高的电阻,可以认为源极和漏极之间断开,此时 MOS 管处于截止区。

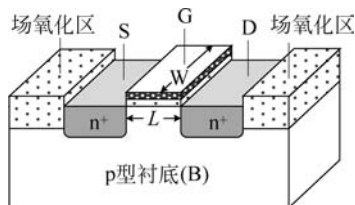
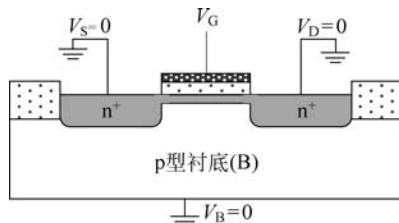


图 3.26 NMOS 管结构示意图

图 3.27 V_{GS} 为正值时沟道示意图

当 V_{GS} (栅极和源极间的电压) 增加时, 栅极和衬底可以看作一个电容的两个极板, 正的栅极电压使电子在栅极下方的衬底处积累。当 V_{GS} 大于某个临界电压 V_T 后, 栅极下方将形成一个 n 型的反型区, 形成源极和漏极之间的 n 型导电沟道。能够在衬底中形成强反型沟道的最小栅源电压称为阈值电压 (V_T)。随着 V_{GS} 的增大, 反型层的截面积增大, 沟道的电阻就会减小。此时若在漏极和源极之间加一个微小的电压 V_{DS} , 就会有电流 I_D 从漏极经沟道流向源极, 且电流大小与 V_{DS} 成正比, 此时 NMOS 管处于线性工作区或可变电阻区。

随着 V_{DS} 的增大, V_G 与 V_D 之间的差减小, 导致沟道在 D 端变窄, 当 $V_{GD} \leq V_T$ 时 ($V_{GD} = V_G - V_D$), 沟道在漏极一端将被夹断, 进一步增大 V_{DS} 时 I_D 将几乎不发生变化, NMOS 管进入饱和工作区。

由以上分析可知, NMOS 管可以看作一个由栅源电压 V_{GS} 控制的开关, 如图 3.28 所示。当 $V_{GS} < V_T$ 时开关断开, 当 $V_{GS} > V_T$ 时开关闭合, 导通电阻 R_{on} 随 V_{GS} 的增大而减小。改变 MOS 管的沟道尺寸也可以改变导通电阻, MOS 管的沟道尺寸通常由宽长比 (W/L) 表示, 增大 MOS 管的宽长比可以减小导通电阻。

PMOS 管的工作原理及分析方法与 NMOS 管相似, 只是电压极性与 NMOS 管相反。因此, 其阈值电压 $V_{TP} < 0$, 当栅极与源极之间的电压 $V_{GSP} < V_{TP}$ 时 PMOS 管导通, 否则 PMOS 管截止。

MOS 管的符号有很多种, 图 3.29 列出了几种常见的符号。图 3.29(a) 所示为四端符号, 符号中由衬底上的箭头方向区分 NMOS 管和 PMOS 管。图 3.29(b) 和 (c) 分别列出了两种常见的简化符号, 符号中省略了衬底, 由源极电流方向 (图 b) 和晶体管导通时的栅极电平的极性 (图 c) 来区分 NMOS 管和 PMOS 管。

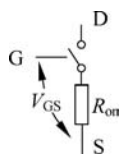


图 3.28 MOS 管开关模型

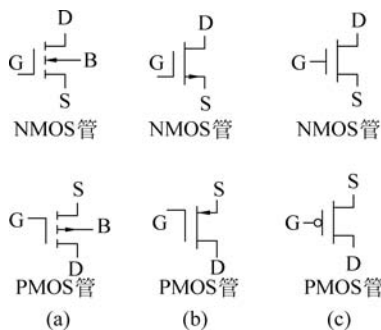


图 3.29 MOS 管常用符号

3.4.2 CMOS 反相器的电路结构和工作原理

图 3.30 所示为 CMOS (Complementary MOS, 互补 MOS) 反相器的电路图, 电路由一个 PMOS 管和一个 NMOS 管构成, PMOS 管和 NMOS 管的栅极相连作为反相器的输入, 而漏极相连作为反相器的输出, PMOS 管和 NMOS 管的源极分别接电源和地。

设输入低电平为 0, 输入高电平为 V_{DD} , NMOS 管的阈值电压为 V_{TN} , PMOS 管的阈值电压为 V_{TP} , 则当输入端电压 $V_A = V_{DD}$ 时, NMOS 管的栅源电压 $V_{GSN} = V_{DD} > V_{TN}$, 因此 NMOS 管处于导通状态; PMOS 管的栅源电压 $V_{GSP} = 0 > V_{TP}$, 因此 PMOS 管截止, 此时电

路的等效开关模型如图 3.31(a)所示,输出端 Y 通过 NMOS 管的导通电阻与地相连,由于电源和地之间没有电流通路,导通电阻上没有电压降,因此输出电压 $V_Y = 0$ 。

当输入端电压 $V_A = 0$ 时, NMOS 管的栅源电压 $V_{GSN} = 0 < V_{TN}$, 因此 NMOS 管处于截止状态; PMOS 管的栅源电压 $V_{GSP} = -V_{DD} < V_{TP}$, 因此 PMOS 管导通, 此时电路的等效开关模型如图 3.31(b)所示, 输出端 Y 通过 PMOS 管的导通电阻与电源相连, 输出电压 $V_Y = V_{DD}$ 。

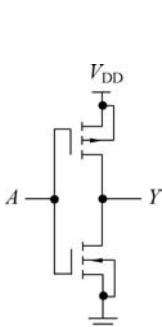


图 3.30 CMOS 反相器电路

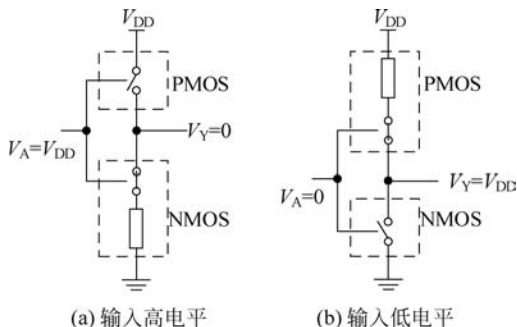


图 3.31 CMOS 反相器开关模型

由以上分析可知,无论输入电压为高电平还是低电平,PMOS 管和 NMOS 管一定有一个截止而另一个导通,导通的晶体管处于可变电阻区。可见,CMOS 反相器输出电路也是推拉结构,高电平和低电平分别由 PMOS 管和 NMOS 管输出。

3.4.3 CMOS 反相器的静态特性

1. 电压传输特性曲线

图 3.32 所示为 CMOS 反相器的电压传输特性曲线。假设 $V_{DD} > V_{TN} + |V_{TP}|$, 则曲线可以分为三段。

AB 段: $V_A < V_{TN}$, NMOS 管截止, PMOS 管导通, 输出电压为 V_{DD} 。

BC 段: $V_{TN} < V_A < V_{DD} - |V_{TP}|$, 此时 NMOS 管和 PMOS 管均处于导通状态, 因此输出电压由两个晶体管导通电阻的分压决定。由 MOS 管的特性可知, 其导通电阻与晶体管的栅源电压相关,

$|V_{GS}|$ 越大, 其导通电阻越小。当 $V_A < \frac{1}{2} V_{DD}$ 时,

PMOS 管的导通电阻小于 NMOS 管的导通电阻, 因此输出电压 V_Y 接近于 V_{DD} 。而当 $V_A > \frac{1}{2} V_{DD}$ 时, NMOS 管的导通电阻小于 PMOS 管的导通电阻, 输出电压接近于地。当 $V_A = \frac{1}{2} V_{DD}$ 时, PMOS 晶体管和 NMOS 晶体管的电阻相同, 此时输出电压为 $\frac{1}{2} V_{DD}$ 。可见,

CMOS 反相器的阈值电压 $V_{TH} = \frac{1}{2} V_{DD}$ 。

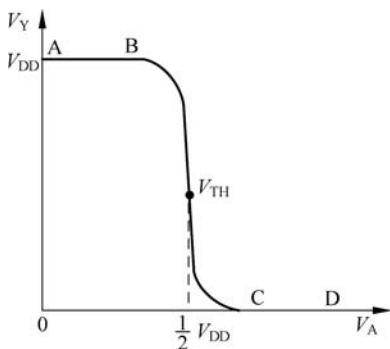


图 3.32 CMOS 反相器电压传输特性曲线

CD段: $V_A > V_{DD} - |V_{TP}|$, PMOS管截止, NMOS管导通, 输出电压为 $0V$ 。

2. CMOS反相器的其他静态特性

(1) CMOS反相器的输出高电平约为 V_{DD} , 输出低电平约为 0 , 也就是说 CMOS反相器的电压输出摆幅等于电源电压。

(2) 从电压传输特性曲线可以看出, CMOS反相器的稳态区比较宽, 而转折区比较窄, 因此具有较大的噪声容限。一般定义输入高电平 $V_{IH} > 0.7V_{DD}$, 输入低电平 $V_{IL} < 0.3V_{DD}$, 因此 CMOS反相器的高电平噪声容限和低电平噪声容限均为 $0.3V_{DD}$, 电源电压越高, 噪声容限越大。

(3) CMOS反相器的输入端与 MOS管的栅极相连, 因此稳态时电路无输入电流, 输入电阻无穷大。这使得输入端抵抗噪声干扰的能力比较差, 所以 CMOS电路使用时输入端不可以悬空。

(4) 稳态时, 无论输出为高电平还是低电平, 输出端和电源或地之间总有一个低电阻的通路, 因此电路的输出电阻很低, 具有较强的噪声干扰抵抗能力。

(5) CMOS反相器处于稳定状态时, PMOS管和 NMOS管总有一个处于截止状态, 且截止状态的电阻非常高, 因此电源和地之间的静态电流极小, 相应地, CMOS反相器的静态功耗也非常小。

(6) 由于 CMOS反相器的输入电阻很大, 而输出电阻很小, CMOS门电路作为负载时稳态输入电流近似为 0 , 因此从电流负载能力角度考虑, CMOS反相器可以驱动无穷多个 CMOS门电路, 即 CMOS反相器的扇出系数无穷大。但实际上负载门电路的增加会对电路的动态特性造成影响, 将在 3.4.4 小节对其进行分析。

3.4.4 CMOS反相器的动态特性

1. 传播延迟

CMOS电路中存在大量的寄生电容, 如图 3.33(a)所示, 当反相器 G_2 作为 G_1 的负载时, 门 G_1 输出端的负载电容包括三部分, 第一部分是门 G_1 自身的输出端等效电容, 主要包括 PMOS管和 NMOS管的漏极寄生电容; 第二部分是门 G_2 的栅极寄生电容; 第三部分是连线的寄生电容。可以将这三部分电容统一用等效负载电容 C_L 表示, 如图 3.33(b)所示。

CMOS反相器输出端电平翻转的过程主要是对负载电容 C_L 充放电的过程。因此, 当输入信号发生跳变时, CMOS反相器的传播延迟就是将电容两端电压充电(或放电)到 $\frac{1}{2}V_{DD}$ 的所需的时间。充电和放电过程的等效电路分别如图 3.34(a)和(b)所示。求解电路可得反相器的传播延迟为

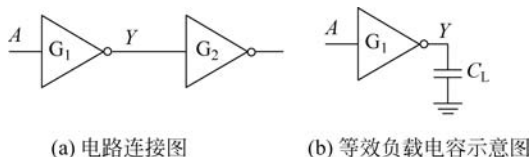


图 3.33 CMOS反相器等效负载电容

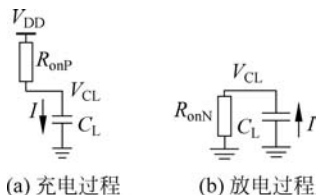


图 3.34 负载电容充放电等效电路

$$t_{\text{PLH}} = R_{\text{onP}} C_L \ln \frac{V_{\text{CL}}(\infty) - V_{\text{CL}}(0)}{V_{\text{CL}}(\infty) - \frac{1}{2}V_{\text{DD}}} = R_{\text{onP}} C_L \ln \frac{V_{\text{DD}} - 0}{V_{\text{DD}} - \frac{1}{2}V_{\text{DD}}} = \ln 2 R_{\text{onP}} C_L \quad (3.22)$$

$$t_{\text{PHL}} = R_{\text{onN}} C_L \ln \frac{V_{\text{CL}}(\infty) - V_{\text{CL}}(0)}{V_{\text{CL}}(\infty) - \frac{1}{2}V_{\text{DD}}} = R_{\text{onN}} C_L \ln \frac{0 - V_{\text{DD}}}{0 - \frac{1}{2}V_{\text{DD}}} = \ln 2 R_{\text{onN}} C_L \quad (3.23)$$

可见 CMOS 反相器的传播延迟取决于晶体管的导通电阻和负载电容的大小。同理,输出信号的上升时间和下降时间也取决于晶体管导通电阻和负载电容的大小。因此,CMOS 电路中为了降低传播延迟和信号的翻转时间,需要降低晶体管的导通电阻和负载电路的电容。

晶体管的导通电阻取决于晶体管的栅源电压和尺寸(沟道的宽长比)。在 CMOS 电路中,输入信号的高电平和低电平分别是电源电压和地,因此静态情况下栅源电压的绝对值通常等于 V_{DD} 。也就是说,CMOS 电路中增大 V_{DD} 可以降低晶体管的导通电阻,从而降低传播延迟时间。增大晶体管的尺寸可以降低导通电阻,但也同时增加了栅极电容,在降低本级门电路传播延迟的同时也会增大前一级电路的负载电容,因此晶体管的尺寸需要进行综合考虑优化。另外,增大负载门电路的个数也会使负载电容增加,因此,为了确保门电路的传播延迟和信号翻转时间不会过大,CMOS 门电路的扇出系数也有一定的限制。

由式(3.22)和式(3.23)可知,输出信号上升和下降时的传播延迟分别取决于 PMOS 管导通电阻和 NMOS 管的导通电阻。NMOS 管中的导电载流子是电子而 PMOS 管中的导电载流子是空穴,由于电子的迁移率是空穴迁移率的 2~3 倍,因此相同尺寸下 NMOS 管中的电流大小是 PMOS 管的 2~3 倍,即 PMOS 管的导通电阻是 NMOS 管的 2~3 倍。为了平衡 CMOS 反相器的传播延迟,并使输出信号的上升时间和下降时间基本相同,需要使 PMOS 管的尺寸为 NMOS 管尺寸的 2~3 倍,从而保证 NMOS 管和 PMOS 管的导通电阻基本相同。3.4.3 小节中分析阈值电压 $V_{\text{TH}} = \frac{1}{2}V_{\text{DD}}$ 也是基于 NMOS 管和 PMOS 管的导通电阻相同的情况,如果改变晶体管的尺寸,则导通电阻随之改变,阈值电压也会相应地发生变化。

2. 动态功耗

CMOS 反相器的动态功耗主要包括两部分:一是输出信号翻转过程中对负载电容的充放电所产生的功耗 P_{C} ;二是电路翻转过程中由于 NMOS 管和 PMOS 管同时导通而产生的功耗 P_{T} 。

设反相器输入信号是周期为 T 的矩形波,则每个周期反相器的输出将经历一次上升和下降的变化。输出信号上升的过程对 C_L 充电,其输出电平由 0 上升至 V_{DD} ;输出信号下降的过程对 C_L 放电,其输出电平由 V_{DD} 下降至 0。因此,输入信号变化的一个周期内对电容 C_L 充放电产生的平均功耗为

$$P_{\text{C}} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} i_{\text{N}} V_{\text{Y}} dt + \int_{\frac{T}{2}}^T i_{\text{P}} (V_{\text{DD}} - V_{\text{Y}}) dt \right] \quad (3.24)$$

式中, i_{N} 为放电时流过 NMOS 管的电流

$$i_{\text{N}} = -C_L \frac{dV_{\text{Y}}}{dt} \quad (3.25)$$

i_P 为充电时流过 PMOS 管的电流

$$i_P = C_L \frac{dV_Y}{dt} \quad (3.26)$$

将式(3.25)和式(3.26)代入式(3.24)可求得

$$P_C = \frac{C_L V_{DD}^2}{T} = C_L f V_{DD}^2 \quad (3.27)$$

式中, $f = \frac{1}{T}$, 为输入信号变化频率。可见, 给负载电容充放电而产生的功耗与信号翻转的频率和电源电压的平方成正比。

P_T 是翻转过程中由于 NMOS 管和 PMOS 管同时导通, 电流流过 NMOS 管和 PMOS 管而产生的功耗, 不难分析, V_{DD} 增大时, 每次翻转产生的功耗也会随之增大, 同时, P_T 也与信号的频率 f 成正比。

由以上分析知, 动态功耗 P_C 和 P_T 都与电源电压和信号频率有关。增加电源电压可以有效减小门电路的传播延迟, 但却会增大电路的功耗。因此电源电压的选择要根据电路的需求综合考虑。当前数字集成电路设计中低功耗是很重要的设计指标, 因此目前普遍采用低电源电压的方式以达到低功耗的要求。

3.4.5 其他逻辑的 CMOS 门电路

1. CMOS 门电路的结构

CMOS 门电路由上拉网络和下拉网络构成, 如图 3.35 所示。CMOS 门电路的结构有以下特点:

(1) 上拉网络由 PMOS 管组成, 下拉网络由 NMOS 管组成。

(2) 所有输入信号同时分配到上拉网络和下拉网络, 输入信号均接到 MOS 管的栅极。

(3) 上拉网络导通时, 输出端通过低电阻网络接至电源, 输出高电平; 下拉网络导通时, 输出端通过低电阻网络接地, 输出低电平。在任何输入组合下, 上拉网络和下拉网络有且只有一个导通。

(4) 下拉网络中 NMOS 管串联代表对应的输入信号进行“与”运算, NMOS 管并联代表对应的输入信号进行“或”运算。上拉网络是下拉网络的对偶网络, 即下拉网络中串联的晶体管对应于上拉网络中并联的晶体管, 反之亦然。

(5) 该结构实现的 CMOS 门电路只能输出反相信号, 也就是说只能实现与非、或非、与或非等功能, 无法直接实现与门、或门等。

(6) 实现一个 N 输入的门电路需要 $2N$ 个 MOS 管, 包括 N 个 NMOS 管和 N 个 PMOS 管。

2. CMOS 与非门

二输入 CMOS 与非门的电路结构如图 3.36 所示。其上拉网络由两个 PMOS 管并联

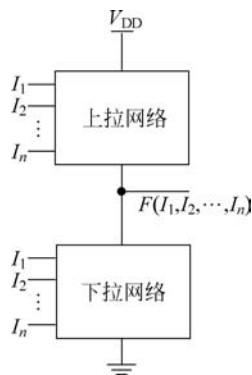


图 3.35 CMOS 门结构图

构成,下拉网络由两个 NMOS 管串联构成,输入信号 A 和 B 同时接入上拉网络和下拉网络。由于下拉网络中两个 NMOS 晶体管是串联结构,因此下拉网络中 A 和 B 进行逻辑“与”运算,而整个电路输出反相信号,所以该电路的功能为 $Y = \overline{AB}$ 。

下面具体分析该电路的工作原理。当 A 和 B 均为低电平时,下拉网络中的两个晶体管均截止,而上拉网络中的两个晶体管均导通,因此输出信号 Y 为高电平。当 A 和 B 中有一个信号为高电平而另一个为低电平时,下拉网络中的两个晶体管必然有一个导通而另一个截止,导致整个下拉网络截止,而上拉网络中有一个晶体管导通,将输出端连接至 V_{DD} ,从而输出高电平。当 A 和 B 均为高电平时,下拉网络中的两个晶体管均导通,而上拉网络中的两个晶体管均截止,输出端通过下拉网络接地,输出低电平。

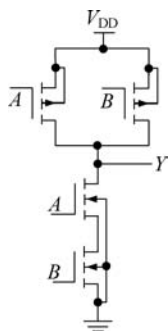


图 3.36 二输入 CMOS 与非门

3. CMOS 或非门

二输入 CMOS 或非门的电路结构如图 3.37 所示。其上拉网络由两个 PMOS 管串联构成,下拉网络由两个 NMOS 管并联构成,输入信号 A 和 B 同时接入上拉网络和下拉网络。由于下拉网络中两个 NMOS 管是并联结构,因此下拉网络中 A 和 B 进行逻辑“或”运算,而整个电路输出反相信号,所以该电路的功能为 $Y = \overline{A+B}$ 。

对于该电路工作原理的具体分析与二输入与非门类似,在此不再赘述,读者可自行分析。

4. 其他功能的 CMOS 门电路

根据 CMOS 门电路的构造规则,很容易分析或构造其他功能的 CMOS 门电路。

【例 3.1】 试分析图 3.38 所示门电路的功能。

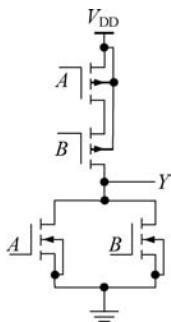


图 3.37 二输入 CMOS 或非门

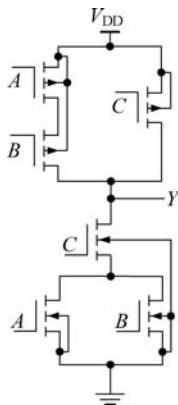


图 3.38 例 3.1 电路图

解：由图可知,该电路有三个输入端 A 、 B 和 C ,分别接上拉网络和下拉网络。下拉网络中 A 和 B 对应的晶体管是并联结构,然后再与 C 对应的晶体管形成串联结构。上拉网络中则正好相反, A 和 B 对应的晶体管串联后再与 C 对应的晶体管并联。因此,根据晶体管的连接结构可知该电路的逻辑功能为

$$Y = \overline{(A+B) \cdot C}$$

【例 3.2】 设计一个与或非门电路,实现功能 $Y = \overline{AB + CD}$ 。

解：设计时只需要先设计下拉网络，然后根据对偶原则生成上拉网络即可。根据逻辑功能可知，下拉网络中包括两个子网， A 和 B 对应的晶体管串联形成子网 1， C 和 D 对应的晶体管串联形成子网 2，然后将子网 1 和子网 2 并联就构成了下拉网络。因此该与或非门电路的结构如图 3.39 所示。

5. CMOS 门电路中晶体管的尺寸

由 3.4.5 小节分析可知，为了使反相器具有对称的信号转换时间和传播延迟，需要增大 PMOS 管的尺寸，使 PMOS 管的导通电阻与 NMOS 管的导通电阻相等。假设电子的迁移率是空穴的 3 倍，且 NMOS 管的尺寸为单位 1，则反相器中 PMOS 管的尺寸应该为 3，如图 3.40(a)所示。

对于其他功能的门电路，也需要尽量平衡输出信号的传播延迟和转换时间，因此，设计门电路时也需要充分考虑输出高电平和低电平时的输出电阻。最简单的方法是以反相器作为参考，让门电路的高电平输出电阻和低电平输出电阻均与反相器相同。然而，对于 CMOS 门电路来说，不同的输入组合对应不同的输出电阻，因此，门电路设计的原则是在最悲观情况下的输出电阻与参考反相器相同。

二输入与非门的下拉网络由两个串联 NMOS 管组成，只有当两个 NMOS 管都导通时下拉网络才导通，因此下拉网络的电阻是两个 NMOS 管导通电阻之和。为了保证下拉网络的导通电阻与反相器相同，需要将每个 NMOS 管的导通电阻降低至原来的 $1/2$ ，也就是需要将两个 NMOS 管的尺寸都变成原来的 2 倍。上拉网络由两个 PMOS 管并联构成，最悲观情况是只有一个晶体管导通，为了保证与反相器的上拉导通电阻相同，两个 PMOS 管的尺寸均应与反相器相同。二输入与非门电路的晶体管尺寸如图 3.40(b)所示。

同理，对于二输入或非门，由于上拉网络由两个 PMOS 管串联而成，因此每个 PMOS 管的尺寸应该是反相器的 2 倍，而下拉网络由两个 NMOS 管并联构成，因此下拉网络的晶体管尺寸应和反相器相同。二输入或非门电路的晶体管尺寸如图 3.40(c)所示。

可见，虽然二输入与非门和或非门都是由 4 个晶体管构成，但二输入或非门的面积比与非门的面积大很多。这是由于在或非门中是 PMOS 管串联，而与非门中是 NMOS 管串联。PMOS 管的串联需要更大的面积来实现低电阻，因此 CMOS 电路中应尽量避免 PMOS 管的串联。

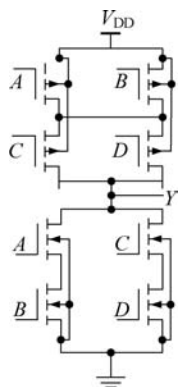


图 3.39 与或非门电路

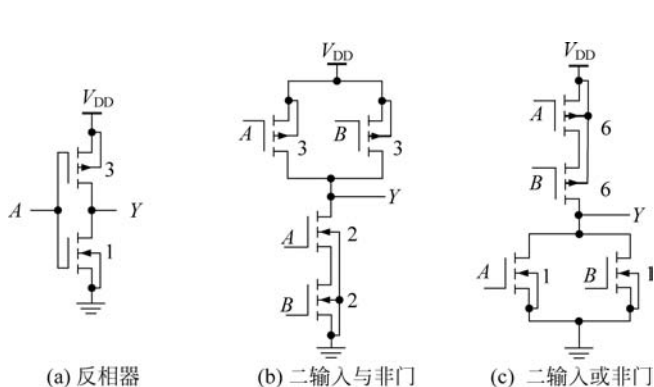


图 3.40 CMOS 门电路中晶体管的尺寸

3.4.6 其他类型的 CMOS 门电路

1. 漏极开路输出门电路(OD 门)

与 TTL 电路的 OC 门相似,CMOS 电路中有漏极开路输出(Open-Drain Output, OD)的门电路,简称 OD 门。漏极开路输出的与非门电路结构及符号如图 3.41 所示,电路的输出级是一个漏极开路的 NMOS 管。

与 OC 门类似,漏极开路输出门电路的主要功能也是实现线与或者电平转换。

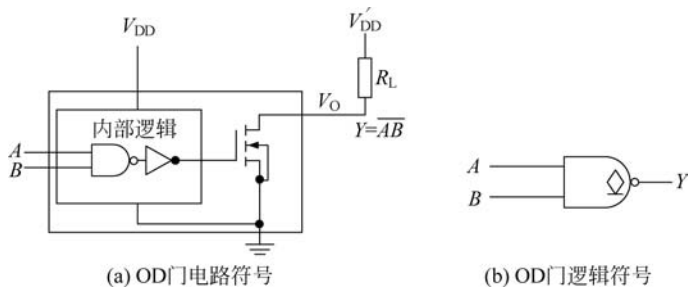


图 3.41 漏极开路输出的与非门

同样,OD 门电路应用时负载电阻的选择也很重要。电阻的计算方法与 OC 门类似,此处不再赘述。

2. CMOS 传输门

普通 CMOS 门电路的输入信号只能由晶体管的栅极接入,因此需要的晶体管数量比较多,传输门(Transmission Gate, TG)电路的设计思路是信号既可以从栅极输入,也可以从源极或漏极输入,从而可以减少门电路中的晶体管数量。传输门电路的结构如图 3.42(a)所示,为了更加清晰地展示电路的结构,此处采用简单的逻辑符号,默认衬底已经接到了正确的电位。图 3.42(b)为传输门电路的逻辑符号。

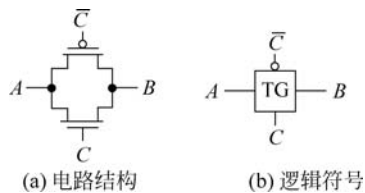


图 3.42 传输门电路

传输门电路中的 NMOS 管和 PMOS 管分别由 C 和 $\bar{C}$ 控制,当 $C=0$ 时, $\bar{C}=1$,所以 NMOS 管和 PMOS 管均截止,将 A 和 B 断开;当 $C=1$ 时, $\bar{C}=0$,NMOS 管和 PMOS 管均导通,使 $B=A$ 。因此,可以将传输门电路看作是一个由信号 C 控制的开关,当 $C=1$ 时,开关导通,当 $C=0$ 时,开关断开。

CMOS 传输门利用了 NMOS 管和 PMOS 管的互补特性,使该电路无论传输高电平还是低电平都具有良好的特性。假如只有 NMOS 管,设 A 端接 V_{DD} ,当 C 为高电平时, A 端的高电平将传输到 B 端,使 B 端也变成高电平。由 NMOS 管的导通特性可知, B 端电压只能升高至 $V_{DD}-V_{TN}$,此后 NMOS 管将截止,无法使 B 端电压继续升高。同理,当 A 端电压为 0 时,只通过 P 管也只能将 B 端电压降至 $|V_{Tp}|$ 而无法降低至 0。

利用 CMOS 传输门可以很方便地实现复杂的逻辑电路,如异或门、数据选择器以及触发器等。一个典型的例子是利用 CMOS 传输门实现异或逻辑,如图 3-43 所示。其工作原

理分析如下:

当 $A=1$ 时,传输门 TG_1 断开, TG_2 导通,因此 $Y=\bar{B}$;

当 $A=0$ 时,传输门 TG_1 导通, TG_2 断开,因此 $Y=B$ 。

由此可得: $Y=A\bar{B}+\bar{A}B=A\oplus B$ 。

3. 三态输出的 CMOS 门电路

CMOS 电路中也有具有三态输出的门电路,图 3.44 所示为 CMOS 三态反相器的结构,与普通反相器相比,该电路增加了一个使能信号 EN,当 EN 为高电平时,晶体管 T_N 和 T_P 都导通,此时电路实现反相器的功能。当 EN 为低电平时, T_N 和 T_P 都截止,电路的上拉网络和下拉网络均断开,输出端处于高阻状态。

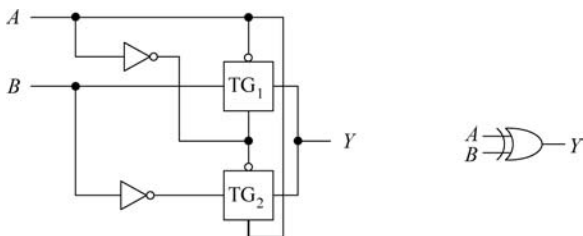


图 3.43 用传输门构成的异或门

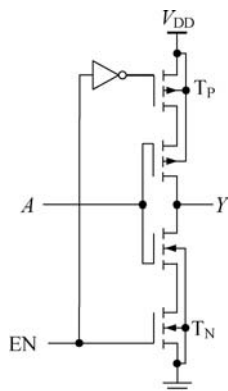


图 3.44 CMOS 三态反相器

3.4.7 CMOS 集成门电路系列

CMOS 集成门电路自 20 世纪 60 年代问世以来经历了多个系列的改进,最初的 CMOS 产品称为 4000 系列,后来陆续出现了高速 CMOS 系列(74HC/HCT)、先进 CMOS 系列(74AC/ACT)、低压 CMOS 系列(74LVC/ALVC)等,用户需要根据各系列的参数确定所需的器件。

3.5 TTL 与 CMOS 电路的级联

由以上分析可知,TTL 电路和 CMOS 电路的输入和输出信号具有不同的特点,在实际电路中,经常会遇到同时使用 TTL 电路和 CMOS 电路的情况,即 TTL 电路和 CMOS 电路级联的情况。无论是由 TTL 电路驱动 CMOS 电路,还是由 CMOS 电路驱动 TTL 电路,作为驱动级的电路必须能为负载电路提供合乎标准的高电平和低电平信号以及带负载电流的能力。

3.5.1 TTL 电路驱动 CMOS 电路

由于 CMOS 电路的输入电流很小,因此 TTL 电路驱动 CMOS 电路时很容易满足驱动电流的要求。但标准 TTL 电路的输出高电平 $V_{OH} \geq 2.4V$,输出低电平 $V_{OL} \leq 0.4V$,而 CMOS 电路的输入电平与电源电压相关,若 V_{DD} 为 5V,则输入高电平 $V_{IH} \geq 3.5V$,输入低

电平 $V_{IL} \leq 1.5V$ 。可见, TTL 输出的高电平无法满足 CMOS 电路的输入要求。可以通过以下方式提高 TTL 电路的输出高电平:

- (1) 在 TTL 电路的输出端外接一个上拉电阻,使 TTL 电平的输出高电平接近于 V_{DD} ;
- (2) 选用电平转换器将 TTL 电平转化为 CMOS 电平;
- (3) 采用 TTL 的 OC 门实现电平转换。

3.5.2 CMOS 电路驱动 TTL 电路

由于 CMOS 电路的输出高电平约为 V_{DD} ,输出低电平约为 0,因此很容易满足 TTL 电路的输入电平需求。由 CMOS 电路驱动 TTL 电路时只需要考虑 CMOS 电路的输出电流是否满足 TTL 电路输入电流的需求。通常选用输出电流较大的 CMOS 器件就可以直接驱动 TTL 电路。另外也可以选择 CMOS 缓冲器来增加 CMOS 电路的电流驱动能力。

本章小结

门电路是数字电路的基本逻辑单元,本章重点介绍了 TTL 和 CMOS 两种门电路的结构和工作原理。同时介绍了一些评价门电路性能的重要参数,包括输入电平、输出电平、噪声容限、输入特性、输出特性、传播延迟以及功耗等。目前 CMOS 电路已经成为数字电路设计的主流,如果需要同时使用 CMOS 门电路和 TTL 门电路,需要特别注意电路之间相互级联的问题。

本章习题

3-1 由 TI 公司的数据手册知,反相器 SN5404 的参数为: $V_{IH(min)} = 2V$, $V_{IL(max)} = 0.8V$, $V_{OH(min)} = 2.4V$, $V_{OL(max)} = 0.4V$ 。试求该反相器的高电平噪声容限 V_{NH} 和低电平噪声容限 V_{NL} 。

3-2 由 TI 公司的数据手册知,反相器 SN5404 的参数为: $|I_{OH}| \leq 0.4mA$, $|I_{OL}| \leq 16mA$, $|I_{IH}| \leq 40\mu A$, $|I_{IL}| \leq 1.6mA$ 。求该反相器可以驱动同类门电路的个数。

3-3 有两个相同型号的 TTL 与非门,对它们进行测试的结果如下:

- (1) 甲的 $V_{IH(min)}$ 为 $1.4V$,乙的 $V_{IH(min)}$ 为 $1.5V$;
- (2) 甲的 $V_{IL(max)}$ 为 $1.0V$,乙的 $V_{IL(max)}$ 为 $0.9V$ 。

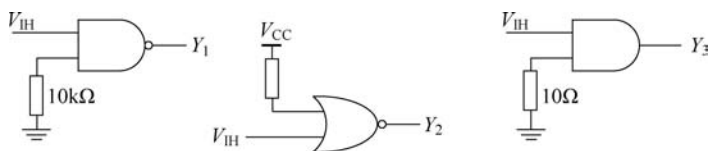
试问在输入相同的高电平时,甲和乙哪个电路的抗干扰能力强? 在输入相同的低电平时,甲和乙哪个电路的抗干扰能力强?

3-4 在本章学习的门电路类型中,哪些类型的电路可以将输出端接在一起实现“线与”功能?

3-5 试分别指出 TTL 反相器的下列接法会造成什么后果,并说明原因。

- (1) 输出端直接接地;
- (2) 输出端接 $+5V$ 电源;
- (3) 两个反相器的输出端短接。

3-6 试分析图题 3-6 所示各电路输出的逻辑值,设图中的逻辑门均为 TTL 门电路。



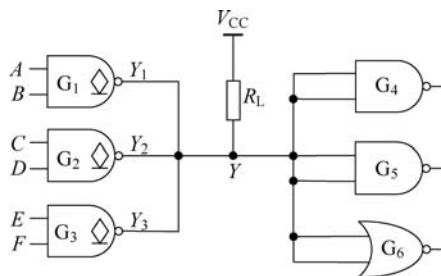
图题 3-6

3-7 若将图题 3-6 中的所有逻辑门均替换为 CMOS 电路,试分析各电路输出的逻辑值。

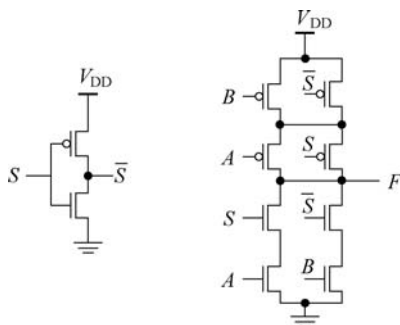
3-8 TTL 和 CMOS 门电路的输入端是否可以悬空? 如果可以,说明悬空时的电路输入状态;如果不可以,请分析原因。

3-9 试说明 OD 门的输出结构,列举 OD 门的特点和用途。

3-10 图题 3-10 所示电路中, G_1 、 G_2 和 G_3 是三个相同的 OC 门,负载电路 G_4 、 G_5 和 G_6 均为 TTL 门电路。根据手册,OC 门输出高电平时的最大漏电流 $I_{CEO} = 100\mu\text{A}$,输出低电平时的最大电流 $I_{OL(\max)} = 8\text{mA}$,输出低电平的最大值 $V_{OL(\max)} = 0.4\text{V}$,输出高电平的最小值 $V_{OH(\min)} = 2.4\text{V}$ 。负载门电路输入高电平时每个管脚的最大输入电流 $|I_{OH(\max)}| = 20\mu\text{A}$,输入低电平时每个管脚的最大输入电流 $|I_{OL(\max)}| = 1\text{mA}$ 。电源电压 $V_{CC} = 5\text{V}$ 。为保证 Y 端可以得到正确的电平值,试计算电阻 R_L 的取值范围。



图题 3-10



图题 3-11

3-12 设计一个 CMOS 门电路实现如下功能: $Y = A + B \cdot C$ 。

3-13 试写出图题 3-13 所示电路的输出 Y 的表达式,图中的门电路均为 TTL 门电路。



图题 3-13

3-14 TTL 与非门输出端若接 CMOS 与非门负载,需要注意什么? 反之,CMOS 与非门若接 TTL 与非门负载时,又需要注意什么?