

在数字系统中,为了寄存二进制编码信息,广泛地使用触发器作为存储元件。本章讨论的触发器是双稳态触发器,简称触发器。

触发器是能够存储一位二进制码的逻辑电路,它有两个输出 Q 和 $\bar{Q}$ 端,正常情况下它们以互补形式出现,输出状态由 Q 端定义,它不仅与输入有关,而且还与原先的输出状态有关。在控制信号的作用下,它可以被置成 0 状态,也可以被置成 1 状态,在控制信号不起作用时,触发器的状态保持不变,因而具有记忆的功能。

触发器在接收信号前的状态定义为现态,用 Q^n 表示,接收信号后的状态定义为次态,用 Q^{n+1} 表示。允许触发器输出状态改变的输入信号称为触发信号,触发信号的形式称为触发方式,根据触发信号的不同形式可分为电平触发方式、脉冲触发方式和边沿触发方式,触发器输出状态的改变称为翻转。不同的触发器具有不同的逻辑功能,在电路结构和触发方式方面也有不同的种类。根据电路功能,触发器可分为 RS 触发器、JK 触发器、D 触发器和 T 触发器。根据电路结构,触发器可分为基本 RS 触发器、同步触发器、主从触发器和边沿触发器。

本章介绍各种结构不同的触发器的工作原理及特点,重点讨论触发器的逻辑功能、触发方式和触发器的一些实际问题,至于触发器的输入和输出逻辑电平、触发器的传播延迟时间、噪声容限、扇入和扇出系数等概念与以前讨论的各类门电路相同,这里就不再重复了。

5.1 RS 触发器

5.1.1 基本 RS 触发器

基本 RS 触发器是触发器中结构最简单的一种触发器,主要用于产生清零信号或置 1 信号,因而又称为置 0、置 1 触发器。

1. 电路结构和工作原理

它由两个与非门首尾相连构成,如图 5.1.1(a)所示,其逻辑符号如图 5.1.1(b)所示。两个门的输出端分别称之为 Q 和 $\bar{Q}$,有时也称为 1 和 0 端,正常工作时, Q 和 $\bar{Q}$ 是互为取非的关系。通常把 Q 端的状态定义为触发器的状态,即 $Q=1$ 时,称触发器处于 1 状态,简称为 1 态; $Q=0$ 时,称触发器处于 0 状态,简称为 0 态。基本 RS 触发器有两个输入端 S 端和 R 端, S 端称为置 1 端, R 端称为置 0 端。

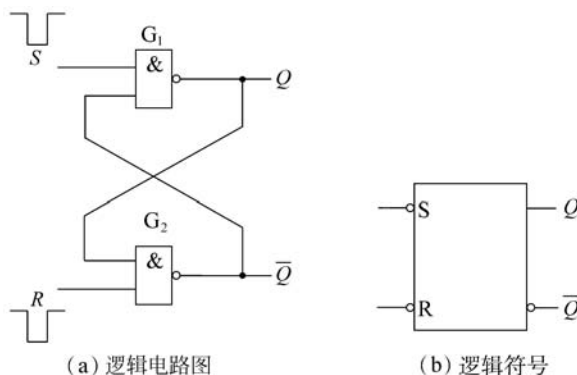


图 5.1.1 基本 RS 触发器

根据输入信号 R 、 S 不同状态的组合,触发器的输出与输入之间的关系有 4 种情况,现分析如下。

1) $R=1, S=0$

因为 G_1 有一个输入端是 0,所以输出端 $Q=1$; G_2 的两个输入端全是 1,则输出 $\bar{Q}=0$ 。可见,当 $R=1, S=0$ 时,触发器被置于 1 态,称触发器置 1(或称置位)。当置 1 端 S 由 0 返回到 1 时, G_1 的输出 Q 仍然为 1,这是因为 $\bar{Q}=0$,使 G_1 的输入端中仍有一个为 0,可见当 $R=1, S=1$ 时,不改变触发器的状态,即当去掉置 1 输入信号 $S=0$ 后,触发器保持原状态不变,触发器具有记忆功能。

2) $R=0, S=1$

因为 G_2 有一个输入端是 0,所以输出端 $\bar{Q}=1$ 。 G_1 的两个输入端全是 1,则输出端 $Q=0$ 。可见,当 $R=0, S=1$ 时,触发器置 0(或称复位)。当置 0 端再返回 1 时, G_2 的输出 $\bar{Q}$ 仍为 1,因为 $Q=0$,使 G_2 的输入端中仍有一个为 0,这时触发器保持原状态不变。

3) $R=1, S=1$

前面的分析表明,在置 1 信号($R=1, S=0$)作用之后, S 返回 1 时, $R=1, S=1$,触发器保持 1 态不变;在置 0 信号($R=0, S=1$)的作用之后, R 返回到 1 时,即 $R=1, S=1$,触发器保持原来的 0 态不变。

4) $R=0, S=0$

显然,在此条件下,两个与非门的输出端 Q 和 $\bar{Q}$ 全为 1,这违背了 Q 和 $\bar{Q}$ 互补的条件,而在两个输入信号都同时撤去(回到 1)后,触发器的状态将不能确定是 1 还是 0,因此称这种情况为不定状态,这种情况应当避免。

综上所述,基本 RS 触发器具有置 0、置 1 和保持的逻辑功能。由于置 1 信号 $S=0$ 和置 0 信号 $R=0$ 都是低电平,即允许触发器状态改变的触发信号是电平信号的形式,这种触发方式称为电平触发方式,分高电平触发和低电平触发两种。逻辑符号图 5.1.1(b)中, S 端和 R 端的小圆圈表示的是低电平触发,若没有小圆圈表示的是高电平触发。如果将图 5.1.1(a)中的与非门换成或非门,输出端 Q 和 $\bar{Q}$ 对换,可构成高电平触发的基本 RS 触发器,其工作原理留给读者分析。

2. 触发器逻辑功能的表示方法

描述触发器逻辑功能的方法有特性表、特性方程、状态图、波形图和驱动表。

1) 特性表

基本 RS 触发器的逻辑功能可以用特性表 5.1.1 描述,特性表反映了触发器次态 Q^{n+1} 与决定次态的输入信号 R 、 S 及现态 Q^n 之间的关系,特性表左边决定次态的所有信号 R 、 S 和 Q^n 的不同取值,右边是次态 Q^{n+1} 对应的取值。表中 $\times$ 表示 $S=R=0$ 时,触发器的输出是不确定的状态,可当作无关项处理。

表 5.1.1 基本 RS 触发器特性表

R	S	Q^n	Q^{n+1}	功 能
0	0	0	$\times$	不定
0	0	1	$\times$	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	0	保持
1	1	1	1	

2) 特性方程

描述触发器功能的函数表达式称为特性方程。由特性表可得到次态 Q^{n+1} 的卡诺图,如图 5.1.2(a)所示,化简后的表达式为 $Q^{n+1} = \overline{S} + RQ^n$ 。为了避免触发器的不确定状态,基本 RS 触发器的约束条件是 S 、 R 不能同时为 0,即 S 、 R 应满足约束条件 $S + R = 1$,所以基本 RS 触发器的特性方程为

$$\begin{cases} Q^{n+1} = \overline{S} + RQ^n \\ S + R = 1 \end{cases} \quad (5.1.1)$$

3) 状态图

将触发器各状态转换的规律及相应的输入取值用图形的方式来表示,称为状态转换图,简称状态图。基本 RS 触发器的状态图如图 5.1.2(b)所示。图中两个圆圈内标的 1 和 0 表示触发器的两个状态,带箭头的弧线表示状态转换的方向,箭头指向触发器次态,箭尾为触发器现态,弧线旁边标出了状态转换的条件,即输入信号的对应取值,状态图可直接由特性表导出。

4) 波形图

基本 RS 触发器输入、输出关系也可以用波形图表示,如图 5.1.2(c)所示。图中实线波形只反映输入、输出之间确定的逻辑关系。当触发器置 0 端和置 1 端同时加上宽度相等的负脉冲时(假设正跳和负跳时间均为 0),在两个负脉冲作用期间, G_1 和 G_2 的输出都是 1。当两个负脉冲同时消失时,若 G_1 的传播延迟时间 t_{pd1} 较 G_2 的传播延迟时间 t_{pd2} 小,触发器将建立稳定 0 态;若 $t_{pd2} < t_{pd1}$,触发器将稳定在 1 态;若 $t_{pd2} = t_{pd1}$,触发器的输出将在 1 和 0 之间来回振荡。通常,两个门之间的传播延迟时间 t_{pd1} 和 t_{pd2} 的大小关系是不知道的,

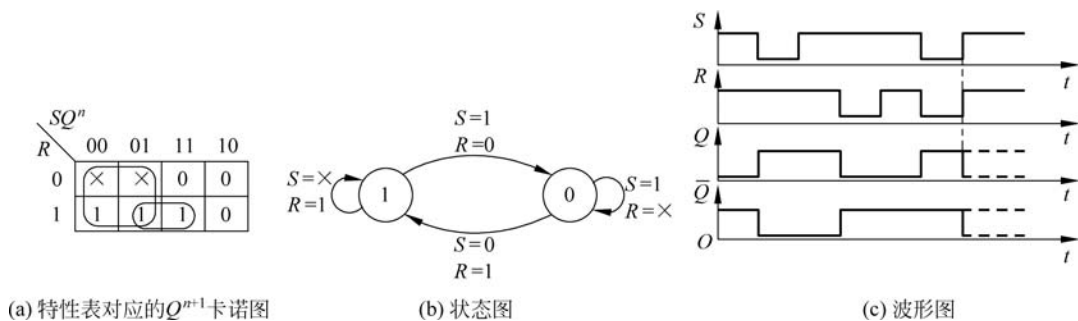


图 5.1.2 逻辑功能的图形描述

因而,两个宽度相等的负脉冲从 S 和 R 端同时消失后,触发器的状态是不确定的,图 5.1.2 中虚线表示不确定状态。

5) 驱动表

驱动表(又称激励表)用来描述触发器由现态转换到确定的次态时对输入信号的要求,它可由特性表或状态图导出,如表 5.1.2 所示。

表 5.1.2 基本 RS 触发器驱动表

Q^n	Q^{n+1}	R	S
0	0	$\times$	1
0	1	1	0
1	0	0	1
1	1	1	$\times$

3. 基本 RS 触发器的应用举例

在数字系统中,操作人员用机械开关对电路发出命令信号。机械开关包含一个可动的弹簧片和一个或几个固定的触点。当开关改变位置时,弹簧片不能立即与触点稳定接触,存在跳动过程,会使电压或电流波形产生“毛刺”,如图 5.1.3(a)和图 5.1.3(b)所示。在电子电路中,一般不允许出现这种现象。如果用开关的输出直接驱动逻辑门,经过逻辑门整形后,输出会有一串脉冲干扰信号导致电路工作出错。

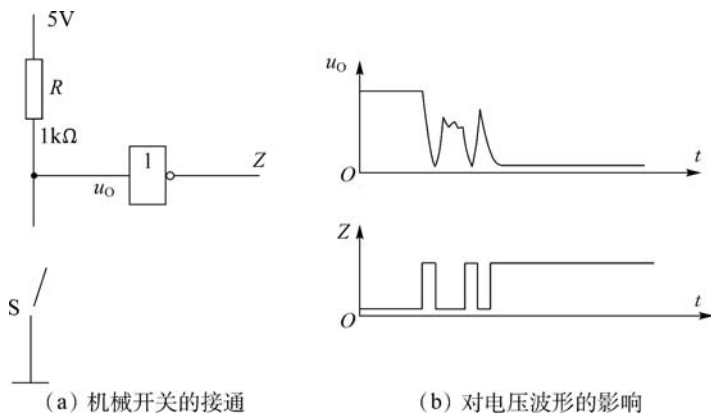


图 5.1.3 机械开关的工作情况

利用基本 RS 触发器的记忆作用可以消除上述开关振动所产生的影响,开关与触发器的连接方法如图 5.1.4(a)所示。设单刀双掷开关原来与 B 点接通,这时触发器的状态为 0。当开关由 B 拨向 A 时,其中有一短暂的浮空时间,这时触发器的 R 、 S 均为 1, Q 仍为 0。中间触点与 A 接触时, A 点的电平由于振动而产生“毛刺”。但是,首先是 B 点已经为高电平, A 点一旦出现低电平,触发器的状态就翻转为 1,即使 A 点再出现高电平,也不会再改变触发器的状态,所以 Q 端的电压波形不会出现“毛刺”现象,如图 5.1.4(b)所示。

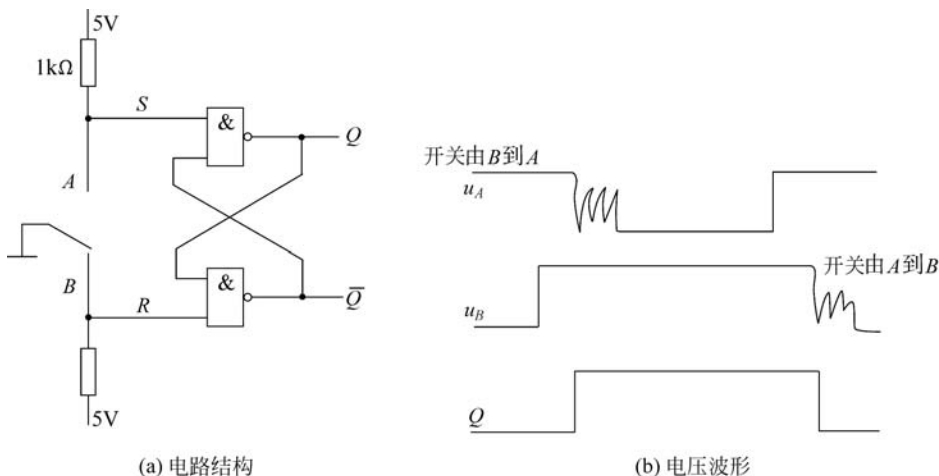


图 5.1.4 用基本 RS 触发器消除开关振动影响

5.1.2 同步 RS 触发器

前面介绍的基本 RS 触发器的触发翻转过程直接由输入信号控制,而在数字系统中,常常要求触发器按各自输入信号所决定的状态,在规定的时刻同步触发翻转,为此,在基本 RS 触发器的输入端增加了时钟脉冲控制端 CP,构成同步 RS 触发器。

1. 电路结构和工作原理

同步 RS 触发器的电路结构和逻辑符号如图 5.1.5 所示。图中,输入信号 S 和 R 要经过 G_3 、 G_4 两个引导门的传递,这两个门同时受 CP 信号控制。当 $CP=0$ 时,无论输入端 S 和 R 取何值, G_3 和 G_4 的输出端始终为 1,所以,由 G_1 和 G_2 组成的基本 RS 触发器处于保持状态。当时钟脉冲到达时, CP 端变为 1, R 和 S 端的信息通过引导门反相之后,作用到基本 RS 触发器的输入端。在 $CP=1$ 的时间内,当 $S=1$, $R=0$ 时,触发器置 1; 当 $S=0$, $R=1$ 时,触发器置 0; 若两个输入皆为 0 ($S=R=0$), 触发器输出端保持不变,若两个输入皆为 1 ($S=R=1$), 触发器的两个输出端全为 1, 时钟脉冲结束时, 触发器的状态是不确定的, 两种状态都可能出现, 这要看时钟脉冲结束时, 基本 RS 触发器的输入端是置 1 信号还是置 0 信号保持的时间更长一些。

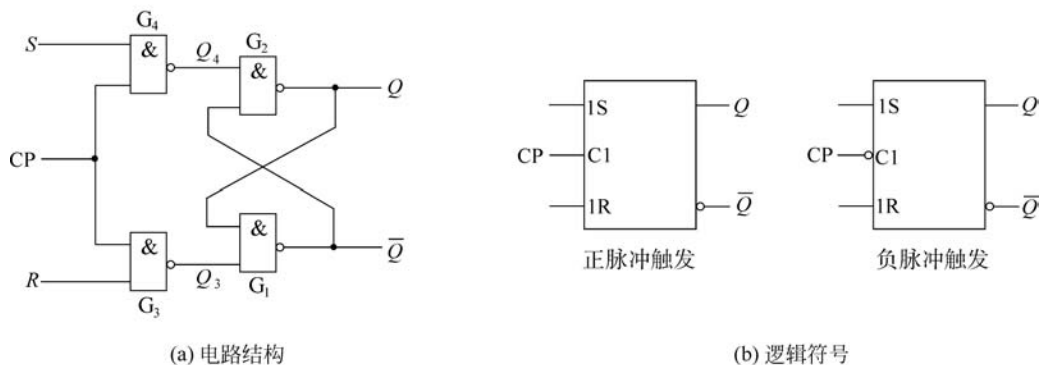


图 5.1.5 同步 RS 触发器

2. 同步 RS 触发器的逻辑功能

同步 RS 触发器的逻辑功能是在时钟的控制下,实现置 0、置 1 和保持,其特性表如表 5.1.3 所示。

表 5.1.3 同步 RS 触发器的特性表

S	R	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	×
1	1	1	×

由特性表得到的 Q^{n+1} 卡诺图如图 5.1.6 所示,化简后的表达式为

$$Q^{n+1} = S + \overline{R}Q^n$$

为避免触发器的不确定状态,触发器的约束条件是输入信号 S、R 不能同时为 1。所以,同步 RS 触发器的特性方程为

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ SR = 0 \end{cases} \quad (5.1.2)$$

同步 RS 触发器的状态转换图如图 5.1.7 所示,驱动表如表 5.1.4 所示。

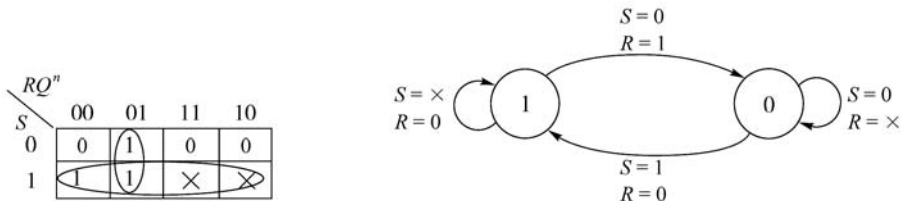


表 5.1.4 同步 RS 触发器的驱动表

Q^n	Q^{n+1}	R	S
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

3. 同步 RS 触发器的特点

根据上述分析,同步 RS 触发器的特点有:同步 RS 触发器的翻转是在时钟脉冲的控制下进行的。当 $CP=1$ 时,接收输入信号,允许触发器翻转;当 $CP=0$ 时,封锁输入信号,禁止触发器翻转,触发器的触发方式属于脉冲触发方式。

脉冲触发方式有正脉冲触发方式和负脉冲触发方式。本例为正脉冲触发方式,若为负脉冲触发方式,逻辑符号中时钟脉冲输入端 C1 应有小圈,如图 5.1.5(b)所示。

例 5.1.1 图 5.1.5 中 CP 、 S 、 R 的波形如图 5.1.8 所示,试画出 Q 和 $\bar{Q}$ 的波形,设初始状态 $Q=0, \bar{Q}=1$ 。

解 在第一个 $CP=1$ 的作用时间内,触发器接收输入信号 $R=0, S=1$,输出随输入信号由现态 $Q=0, \bar{Q}=1$ 变为次态 $Q=1, \bar{Q}=0$;在 $CP=0$ 时,触发器始终封锁输入信号,输出保持不变。在第二个 $CP=1$ 的作用时间内,由于 R, S 没有发生变化,输出保持不变即 $Q=1, \bar{Q}=0$;在第三、第四个 $CP=1$ 的作用时间内, R, S 都发生了变化,因而输出也随之变化,输出 Q 和 $\bar{Q}$ 的波形如图 5.1.8 所示。

通过例 5.1.1 得知,由于只允许触发器在 CP 为高电平时翻转,在 CP 为 1 的时间间隔内,输入信号 R, S 的状态变化可能引起触发器输出状态的变化。因此,同步 RS 触发器的触发翻转只能控制在一个时间间隔内,而不是控制在某一时刻进行。这种工作方式的触发器抗干扰能力较差,在应用中受到一定限制。下面介绍能控制在某一时刻(时钟脉冲的正跳沿或负跳沿)翻转的触发器。

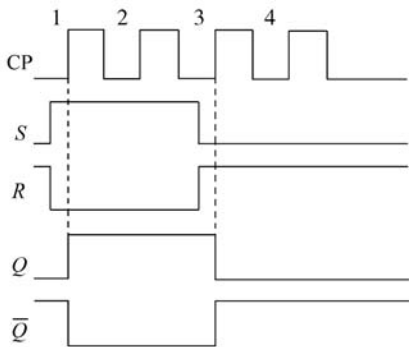


图 5.1.8 例 5.1.1 图

5.1.3 主从 RS 触发器

由于脉冲触发方式的触发器翻转时刻只能控制在一段时间,不能控制在某一时刻,这种触发方式的触发器在应用中受到一定限制。若需要触发器的翻转能控制在某一时刻,可采用主从结构的 RS 触发器,即主从 RS 触发器。

1. 电路结构和工作原理

主从 RS 触发器由两级同步 RS 触发器构成,其中一级接收输入信号,其状态直接由输入信号决定,称为主触发器,还有一级的输入与主触发器的输出连接,其状态由主触发器的

状态决定,称为从触发器,主从 RS 触发器的逻辑电路图和逻辑符号如图 5.1.9 所示,两个触发器的逻辑功能和同步 RS 触发器的逻辑功能完全相同,时钟为互补时钟,其工作原理如下:

(1) 当 $CP=1$ 时,主触发器的输入 G_7 和 G_8 打开,主触发器根据 R 、 S 的状态触发翻转。而对于从触发器来说, CP 经 G_9 反相后加入到输入门 G_3 和 G_4 的逻辑值为 0,封锁了 G_3 和 G_4 ,其输出状态不受主触发器输出的影响,或者说这时输出状态保持不变。

(2) CP 由 1 变 0 的一瞬间,情况则相反, G_7 和 G_8 被封锁,输入信号 R 、 S 不影响主触发器的状态。而这时从触发器的输入门 G_3 和 G_4 则打开,从触发器可以触发翻转,从触发器的输出状态由主触发器在 CP 由 1 变 0 的一瞬间的状态确定,即 $Q=Q'$, $\bar{Q}=\bar{Q}'$ 。

(3) CP 一旦达到 0 电平后,主触发器被封锁,其状态不受 R 、 S 的影响,触发器的状态也不可能再改变。

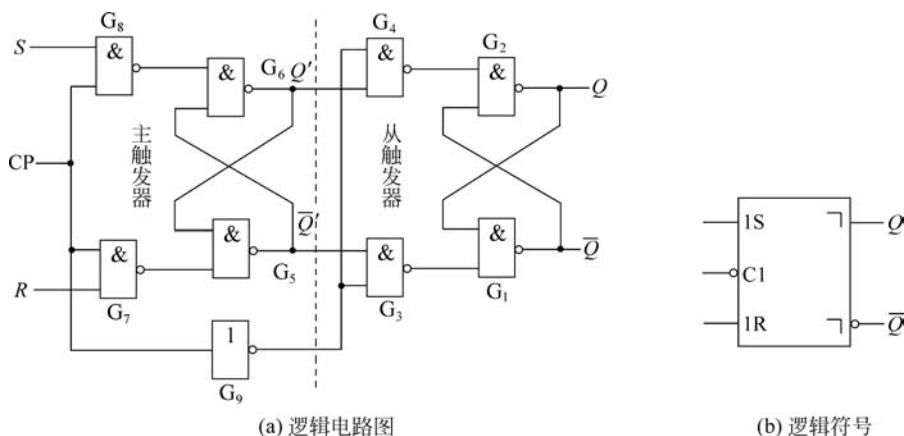


图 5.1.9 主从 RS 触发器的逻辑电路图和逻辑符号

2. 主从 RS 触发器的逻辑功能

主从 RS 触发器的逻辑功能与同步 RS 触发器的逻辑功能相同,因此特性表、特性方程、状态图和驱动表也完全相同。

3. 主从 RS 触发器的特点

- (1) 由两个同步 RS 触发器即主触发器和从触发器组成,它们受互补时钟脉冲控制。
- (2) 触发器在时钟脉冲作用期间(本例为 CP 高电平)接收输入信号,在时钟脉冲的跳变沿(本例为负跳沿,在逻辑符号中,时钟脉冲输入端 CP 带有小圆圈)允许触发翻转,在时钟脉冲跳变后(本例为负跳变)封锁输入信号,因而触发方式属于边沿触发。
- (3) 触发器的翻转状态由主触发器的状态,即时钟脉冲作用期间(本例为 CP 高电平)的最后一刻输入信号 R 、 S 的状态而定。
- (4) 对于负跳沿触发的触发器,输入信号应在 CP 正跳沿前加入,并在 CP 正跳沿后的高电平期间保持不变,为主触发器触发翻转做好准备,若输入信号在 CP 高电平期间发生改变,将可能使主触发器发生多次翻转,产生逻辑错误。而 CP 正跳沿后的高电平要有一定的延迟时间,以确保主触发器达到新的稳定状态。由于 CP 负跳沿使触发器发生翻转, CP 的

低电平也必须有一定的延迟时间,以确保从触发器达到新的稳定状态。这就是主从触发器对输入信号和时钟脉冲的要求。

例 5.1.2 图 5.1.10 给出了正跳沿主从 RS 触发器 CP、R、S 的信号波形,设触发器的原状态为 0。试画出触发器 Q 端的波形图。

解 画主从 RS 触发器 Q 端输出波形时,应注意抓住的两点。其一,正跳沿主从 RS 触发器在 CP=0 的时间,接收 RS 信号,在 CP 正跳沿(上升沿)允许翻转,此后封锁 RS 信号;其二,翻转后触发器的状态由翻转前一刻的 RS 信号决定。因此,先标出触发器翻转的时刻,如图中的虚线,再分段画出 Q 的输出波形。

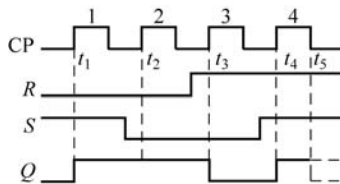


图 5.1.10 例 5.1.2 图

在第一个 CP=0 的时间段,允许翻转的时刻未到,输出保持原状态, $Q=0$;

当 $t=t_1$ 时,CP 由 0 翻转为 1,正跳沿到来,允许输出翻转,此刻 $R=0, S=1, Q$ 由 0 翻转为 1,并保持到 t_2 时刻,即第二个 CP 正跳沿到来之前;

当 $t=t_2$ 时,CP 正跳沿到来,允许输出翻转,此刻 $R=0, S=0, Q$ 保持 1,直到 t_3 时刻,即第三个 CP 正跳沿到来之前;

当 $t=t_3$ 时,CP 正跳沿到来,允许输出翻转,此刻 $R=1, S=0, Q$ 由 1 翻转为 0,并保持到 t_4 时刻,即第四个 CP 正跳沿到来之前;

当 $t=t_4$ 时,CP 正跳沿到来,允许输出翻转,此刻 $R=1, S=1$,故在 CP=1 期间,触发器被强制为 $Q=\overline{Q}=1$;

当 $t=t_5$ 时,CP 由 1 翻转为 0,触发器输出状态不定,即 Q 端的输出可能为 0,也可能为 1,事先无法确定,图中用两条虚线表示。

5.1.4 集成 RS 触发器

TTL 集成主从 RS 触发器 74LS71 的逻辑符号和引脚分布如图 5.1.11 所示。该触发器分别有三个 S 端和三个 R 端,分别为与逻辑关系,即 $1R=R_1 \cdot R_2 \cdot R_3, 1S=S_1 \cdot S_2 \cdot S_3$ 。使用中如有多余的输入端,要将它们接至高电平。触发器带有清零端(置 0) R_D 和预置端(置 1) S_D ,它们的有效电平均为低电平。74LS71 的功能如表 5.1.5 所示。

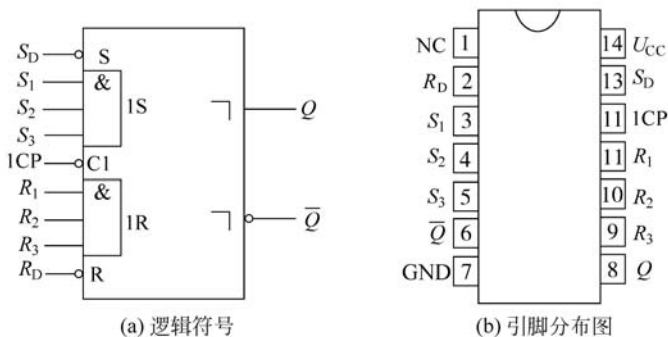


图 5.1.11 TTL 主从 RS 触发器

表 5.1.5 TTL 主从 RS 触发器功能表

输 入					输 出	
预置 S_D	清零 R_D	时钟 CP	1S	1R	Q^{n+1}	$\overline{Q}^{n+1}$
0	1	×	×	×	1	0
1	0	×	×	×	0	1
1	1	⌋	0	0	Q^n	$\overline{Q}^n$
1	1	⌋	1	0	1	0
1	1	⌋	0	1	0	1
1	1	⌋	1	1	不	定

由表 5.1.5 可知,预置端 S_D 加低电平,清零端 R_D 加高电平时,触发器置 1;反之,触发器置 0。由于预置和清零与 CP 无关,故称 R_D 为异步清零端, S_D 称为异步置 1 端,此时触发器工作在基本 RS 触发器的状态。当预置端和清零端均处于高电平时,触发器工作在主从 RS 触发器状态, R 、 S 又称为同步输入端。由此可见集成主从 RS 触发器除具有主从 RS 触发器的功能外,还具有基本 RS 触发器的功能。

5.2 JK 触发器

主从 RS 触发器的信号输入端 $S=R=1$ 时,触发器的新状态不确定。由于不能预计在这种情况下触发器的次态是什么,所以要避免出现这种情况。这一因素限制了 RS 触发器的实际应用。JK 触发器解决了这一问题。

5.2.1 主从 JK 触发器

1. 电路结构和工作原理

主从 JK 触发器是在主从 RS 触发器的基础上稍加改动而产生的,负跳沿主从 JK 触发器的逻辑电路图和逻辑符号如图 5.2.1 所示。

在图 5.2.1 中,主 RS 触发器的 R 端和 S 端分别增加一个二输入的与门 G_{10} 和与门 G_{11} , G_{10} 的两个输入端一个作为信号输入端 J ,另一个接触发器输出端 $\overline{Q}$,而 G_{11} 的两个输入端一个作为信号输入端 K ,另一个接触发器输出端 Q 。由图 5.2.1 可得

$$S = J\overline{Q}$$

$$R = KQ$$

当 $J=K=1$ 时, $S=\overline{Q}^n$, $R=Q^n$,由主从 RS 的表达式 $Q^{n+1}=S+\overline{R}Q^n$ 得知, $Q^{n+1}=\overline{Q}^n$,每输入一个时钟脉冲后,触发器翻转一次,触发器的这种工作状态称为计数状态,由触发器翻转的次数可以计算输入时钟脉冲的个数。同理,当 $J=K=0$ 时, $S=R=0$, $Q^{n+1}=Q^n$,触发器的状态保持不变。当 $J=1$, $K=0$ 时, $S=\overline{Q}^n$, $R=0$, $Q^{n+1}=1$;当 $J=0$, $K=1$ 时, $S=0$, $R=Q^n$, $Q^{n+1}=0$ 。显然 JK 触发器消除了输出不定的状态。

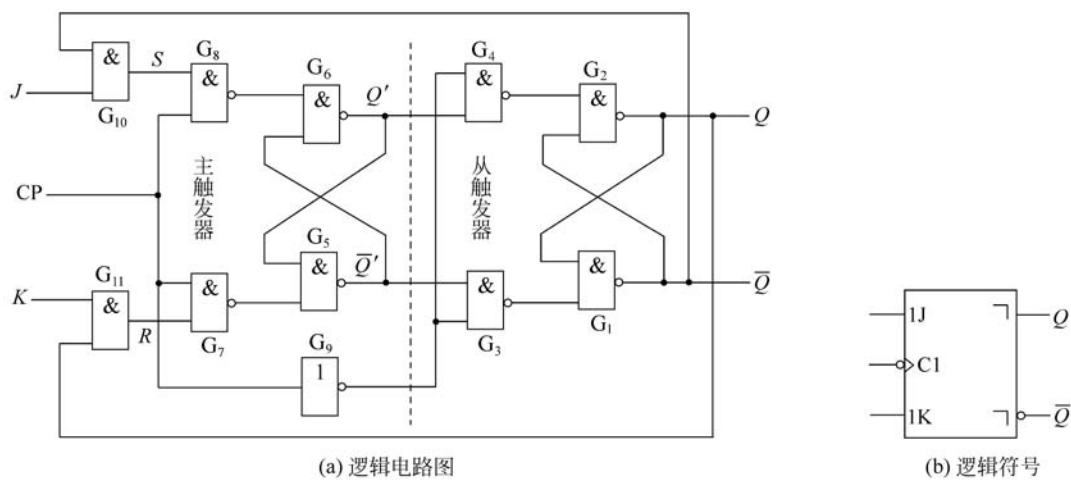


图 5.2.1 负跳沿主从 JK 触发器

2. JK 触发器的逻辑功能

根据 JK 触发器的工作原理可知,JK 触发器在时钟脉冲的控制下,具有置 0、置 1、保持和计数的逻辑功能,是功能最全,使用最多的一种触发器。

将 $S = J\bar{Q}$, $R = KQ$ 代入 $Q^{n+1} = S + \bar{R}Q^n$ 可得到 JK 触发器的特性方程为

$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n Q^n \\ &= J\bar{Q}^n + \bar{K}Q^n \end{aligned} \tag{5.2.1}$$

JK 触发器的特性表和驱动表如表 5.2.1 和表 5.2.2 所示,状态转换图如图 5.2.2 所示。

表 5.2.1 JK 触发器特性表

J	K	Q^n	Q^{n+1}	功 能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	计数
1	1	1	0	

表 5.2.2 JK 触发器驱动表

Q^n	Q^{n+1}	K	J
0	0	×	0
0	1	×	1
1	0	1	×
1	1	0	×

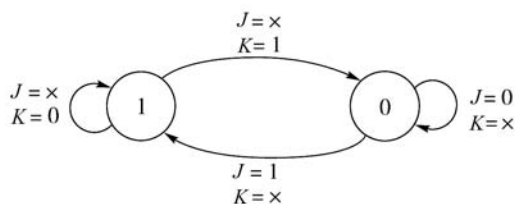


图 5.2.2 JK 触发器状态转换图

例 5.2.1 设负跳沿主从 JK 触发器的时钟脉冲和 J 、 K 信号的波形如图 5.2.3 所示, 画出输出端 Q 的波形。设触发器的初始状态为 0。

解 根据式(5.2.1)、表 5.2.1 可画出 Q 端的波形, 如图 5.2.3 所示。

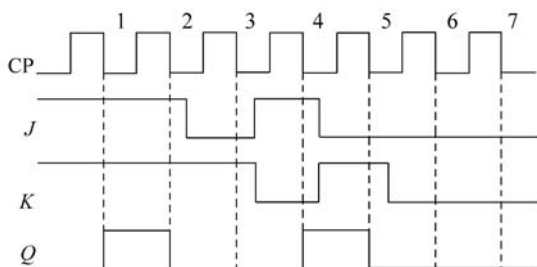


图 5.2.3 例 5.2.1 的波形图

从图 5.2.3 可以看出, 触发器的触发翻转发生在时钟脉冲的下跳沿, 如在第一、第二、第四、第五个 CP 脉冲下跳沿, 由于输入信号在正跳沿前瞬间加入, 且在 $CP=1$ 的时间内保持不变, 判断触发器次态的依据是 $CP=1$ 时输入端的状态。

若输入信号在正跳沿前瞬间加入, 且在 $CP=1$ 的时间内发生变化, 电路会出现什么现象? 从图 5.2.1 可知, 由于输出端和输入端之间存在反馈连接, 若触发器处于 0 态, 相当于 $K=0$, 当 $CP=1$, 主触发器只能接收 J 端的置 1 信号; 若触发器处于 1 态, $\bar{Q}=0$, 相当于 $J=0$, 当 $CP=1$, 主触发器只能接收 K 端的置 0 信号。如果在 $CP=1$ 时, 输入信号发生多次改变, 主触发器输出状态只可能改变一次, 这种现象称为一次变化现象。所以, 当输入信号在 $CP=1$ 的时间内发生变化时, 若满足条件 $Q=0, J$ 有 1 信号; 或满足条件 $Q=1, K$ 有 1 信号, 主触发器均发生一次变化, 在 CP 的下跳沿, 从触发器的输出状态与主触发器状态取得一致。

例 5.2.2 负跳沿主从 JK 触发器的时钟信号 CP 和输入信号 J 、 K 的波形如图 5.2.4 所示, 在信号 J 的波形图上用虚线标出了有一干扰信号, 画出干扰信号影响的 Q 端的输出波形。设触发器的初始状态为 1。

解 (1) 第一个 CP 的正跳沿前 $J=0, K=1$, 且在 $CP=1$ 的整个作用期间保持不变, 因此负跳沿产生后触发器应翻转为 0。

(2) 第二个 $CP=1$ 的整个作用期间, 干扰信号

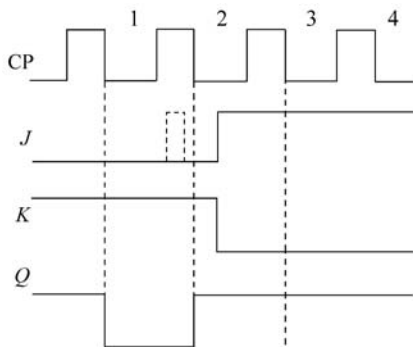


图 5.2.4 例 5.2.2 的波形图

出现前,此时主触发器和从触发器的状态是 $Q'=0, Q=0$ 。当干扰信号出现时, J 由 0 变为 1, 满足一次变化条件, 因而主触发器的状态 Q' 由 0 变为 1。

干扰信号消失后, 主触发器的状态是否能恢复到原来的状态呢? 由于 $Q=0, J=0$, 由图 5.2.1 得知 $R=0, S=0$, 主触发器 Q' 保持原态, 也就是说 J 端干扰信号的消失不会使 Q' 恢复到 0。因此第二个 CP 的负跳沿到来后, 触发器的状态为 $Q=Q'=1$ 。如果 J 端没有正跳变的干扰信号产生, 根据 $J=0, K=1$ 的条件, 触发器的正常状态应为 $Q=0$ 。

(3) 对应于第三、第四个 CP=1 的整个作用期间, 输入信号都是 $J=1, K=0$, 所以 $Q=1$ 。

3. 主从 JK 触发器的特点

由上分析可知, 主从 JK 触发器具有如下特点。

(1) 触发器在时钟脉冲作用期间(本例为 CP 高电平)接收输入信号, 只在时钟脉冲的跳变沿(本例为负跳沿, 在逻辑符号中, 时钟脉冲输入端 CP 带有小圆圈)允许触发翻转, 在时钟脉冲跳变后(本例为负跳变)封锁输入信号。主从 JK 触发器的触发方式与主从 RS 触发器相同, 属于边沿触发。

(2) 触发器的翻转状态由时钟脉冲作用期间(本例为 CP 高电平)输入信号的状态而定。

(3) 主触发器的状态只能根据输入信号改变一次。

(4) 主从 JK 触发器在使用过程中, 为避免主触发器出现一次变化现象, 对于负跳沿触发的触发器, 输入信号应在 CP 正跳沿前加入, 满足建立时间 t_{set} , 并保证在时钟脉冲的持续期内输入信号保持不变, 时钟脉冲作用后, 输入信号不需要保持一段时间, 因而保持时间为零。

5.2.2 边沿 JK 触发器

负跳沿主从 JK 触发器工作时, 必须在正跳沿前加入输入信号。如果在 CP 高电平期间输入端出现干扰信号, 那么就有可能使触发器的状态出错。而边沿触发器允许在 CP 触发沿来到前一瞬间加入输入信号。这样, 输入端受干扰的时间大大缩短, 受干扰的可能性也就降低了。

1. 电路结构和工作原理

边沿 JK 触发器有多种电路结构, 利用传输延迟时间构成的负跳沿边沿 JK 触发器的逻辑电路如图 5.2.5(a)所示, 其逻辑符号如图 5.2.5(b)所示, 下面介绍其工作原理。

(1) CP=0 时, 触发器处于一个稳态。

CP 为 0 时, 与非门 G_4, G_3 被封锁, 不论 J, K 为何状态, Q_3, Q_4 均为 1。另外, 与门 G_{12}, G_{22} 也被 CP 封锁, Q_{12}, Q_{22} 均 0, 因而反馈信号经与门 G_{13}, G_{23} 和或非门 G_{11}, G_{21} 送往触发器输出, 使输出 $Q, \overline{Q}$ 状态不变。

(2) CP 由 0 变 1 时, 触发器不翻转, 为接收输入信号做准备。

设触发器原状态为 $Q=0, \overline{Q}=1$ 。当 CP 由 0 变 1 时, 有两个信号通道影响触发器的输出状态, 一个是 G_{12}, G_{22} 打开, 直接影响触发器的输出, 另一个是 G_4, G_3 打开, 再经 G_{13}, G_{23} 影响触发器的状态。前一个通道只经过一级与门, 而后一个通道则要经过一级与非门

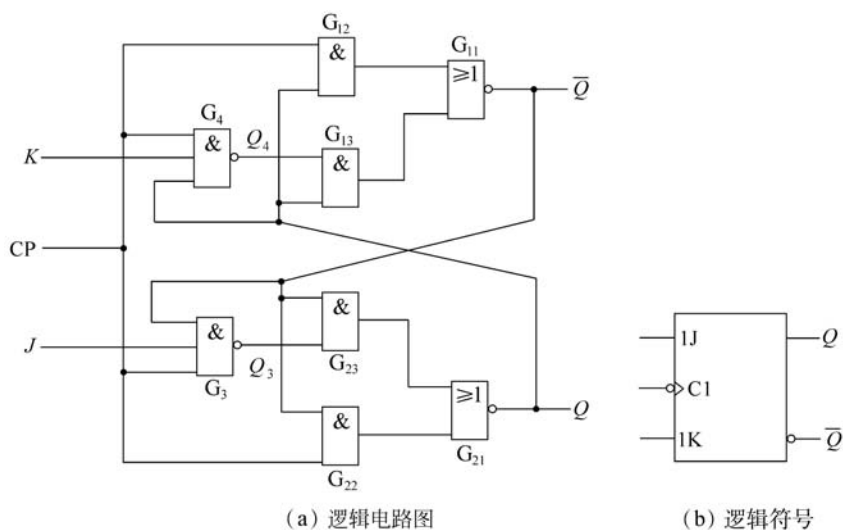


图 5.2.5 边沿 JK 触发器

和一级与门,显然 CP 的跳变经前者影响输出比经后者要快得多。在 CP 由 0 变 1 时, G_{22} 的输出首先由 0 变 1,这时无论 G_{23} 为何种状态(即无论 J 、 K 为何状态),都使 Q 仍为 0。由于 Q 同时连接 G_{12} 、 G_{13} 的输入端,因此它们的输出均为 0,使 G_{11} 的输出 $\bar{Q}=1$,触发器的状态不变。CP 由 0 变 1 后,打开与非门 G_4 、 G_3 为接收输入信号 J 、 K 做好准备。

(3) CP 由 1 变 0 时,触发器翻转。

设输入信号 $J=1$ 、 $K=0$,则 $Q_3=0$ 、 $Q_4=1$, G_{13} 、 G_{23} 的输出均为 0。当 CP 负跳沿到来时, G_{22} 的输出由 1 变 0,则有 $Q=1$,使 G_{13} 输出为 1, $\bar{Q}=0$,与主从 JK 触发器的状态相同,触发器翻转。

虽然 CP 变 0 后, G_4 、 G_3 、 G_{12} 和 G_{22} 封锁, $Q_3=Q_4=1$,但由于与非门的延迟时间比与门长(在制造工艺上予以保证),因此 Q_3 和 Q_4 这一新状态的稳定是在触发器翻转之后。由此可知,该触发器在 CP 负跳沿触发翻转,CP 一旦到 0 电平,则将触发器封锁,处于(1)所分析的情况。

若输入信号 J 、 K 为其他状态,按上面分析过程得到的输出状态也与主从 JK 触发器相同。

2. 边沿 JK 触发器的功能和边沿触发器的特点

由上分析可知,边沿 JK 触发器的功能与主从 JK 触发器相同,边沿 JK 触发器的特点是:触发器是在时钟脉冲跳变前一瞬间接收输入信号,跳变时允许触发翻转(本例为负跳沿,在逻辑符号中,时钟脉冲输入端 C1 带有小圆圈),跳变后输入即被封锁,换句话说,接收输入信号、触发翻转、封锁输入是在同一时刻完成的,显然触发方式属于边沿触发。具有上述特点的触发器除了边沿 JK 触发器外,还有其他功能的触发器,可统称为边沿触发器。

判断边沿触发器次态的依据是允许触发跳变沿前一瞬间输入端的状态。

例 5.2.3 负跳沿边沿 JK 触发器的时钟信号 CP 和输入信号 J 、 K 的波形如图 5.2.6

所示,画出干扰信号影响的 Q 端的输出波形,并与例 5.2.2 的输出波形比较。设触发器的初始状态为 1。

解 (1) 第一个 CP 的负跳沿前一瞬间 $J=0, K=1$, 因此负跳沿产生后触发器的输出状态应为 0。

(2) 第二个 CP=1 的整个作用期间,虽然出现干扰信号,但在负跳沿前的一瞬间,干扰结束,输入信号 $J=0, K=1$ 没变,因此负跳沿产生后触发器的输出状态仍然为 0。

(3) 由于第三、第四个 CP 的负跳沿前一瞬间输入信号均为 $J=1, K=0$, 因此第三、第四个 CP 负跳沿产生后触发器的输出状态应为 1。

(4) 例 5.2.3 的输出波形如图 5.2.6 所示。与例 5.2.2 的输出波形比较,由于例 5.2.2 是主从 JK 触发器,虽然输入信号和翻转时刻相同,但在第三个 CP=1 的作用期间,主从 JK 触发器出现了一次变化现象,使得输出状态与边沿 JK 触发器的输出状态产生差别。而第一、第三、第四个 CP=1 的作用期间,主从 JK 触发器没有出现一次变化现象,因而输出状态与边沿 JK 触发器的输出状态相同。

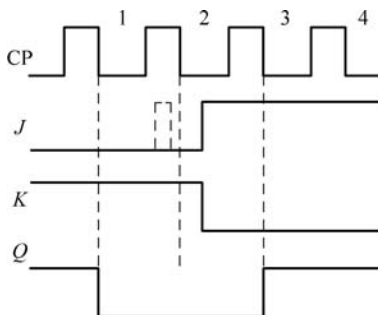


图 5.2.6 例 5.2.3 的波形

5.2.3 集成 JK 触发器

集成 JK 触发器的产品较多,以下介绍一种较典型的 TTL 双 JK 触发器 74LS76。该器件内含两个相同的 JK 触发器,它们都带有异步置 1 和清零输入,属于负跳沿触发器,其逻辑符号和引脚分布如图 5.2.7 所示。如果在一片集成器件中有多个触发器,通常在符号前面(或后面)加上数字,以示不同触发器的输入、输出信号,比如 C1 与 1J、1K 同属一个触发器。74LS76 的逻辑功能如表 5.2.3 所示。76 型号的产品种类较多,比如还有主从 TTL 的 7476、74H76、负跳沿触发的高速 CMOS 双 JK 触发器 HC76 等,它们的功能都一样,与表 5.2.3 基本一致,只是主从触发器与边沿触发器接收输入信号的时间不同。HC76 与 74LS76 的引脚分布完全相同。

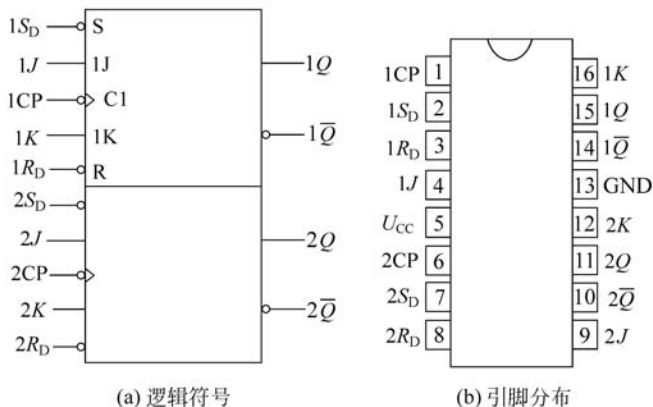


图 5.2.7 JK 触发器 74LS76

表 5.2.3 JK 触发器 74LS76 功能表

输 入					输 出	
预置 S_D	清零 R_D	时钟 CP	J	K	Q^{n+1}	$\overline{Q}^{n+1}$
0	1	×	×	×	1	0
1	0	×	×	×	0	1
1	1	┐	0	0	Q^n	$\overline{Q}^n$
1	1	┐	1	0	1	0
1	1	┐	0	1	0	1
1	1	┐	1	1	$\overline{Q}^n$	Q^n

例 5.2.4 设负跳沿边沿 JK 触发器的起始状态为 0, 各输入端的波形如图 5.2.8 所示, 试画出输出波形。

解 本例有异步置 1 信号 S_D 和异步清零信号 R_D , 所以要考虑置 1 和清零功能。负跳沿边沿 JK 触发器是在 CP 脉冲负跳沿发生转换的, 当 CP 脉冲负跳沿与输入信号的变化发生在同一时刻时, 其输出状态应由跳变前一刻的输入端状态决定。

(1) 第一个 CP 正跳时, 异步清零信号到来 ($R_D=0$), 此时, 不管 J 、 K 信号如何, 触发器输出端 Q 清零。此后, 由于 CP 负跳沿同 R_D 信号跳变 (由 0 跳变 1) 发生在同一时刻, 所以 R_D 应取 0, 输出端 Q 仍维持 0 态。

(2) 第二个 CP 正跳时, 异步置 1 信号到来 ($S_D=0$), 此时, 不管 J 、 K 信号如何, 触发器输出端 Q 置 1。此后, 由于 CP 负跳沿同 S_D 信号跳变 (由 0 跳变为 1) 发生在同一时刻, 所以 S_D 应取 0, 输出端 Q 仍维持 1 态。

(3) 第三个 CP 负跳时, $R_D=S_D=1$, $J=K=1$, 所以输出端 Q 由 1 变为 0。

(4) 第四个 CP 的情况与第二个 CP 相同, CP 负跳后, 输出端 Q 为 1 态。

(5) 第五个 CP 负跳与 S_D 跳变 (由 1 跳变为 0) 发生在同一时刻, 输出端 Q 本应由 $S_D=1$, $J=K=1$ 决定, 但随后 $S_D=0$, 所以输出端 Q 仍维持 1 态不变。

(6) 第六个 CP 的情况与第一个 CP 相同, CP 负跳后, 输出端 Q 为 0 态。

由上述分析得到的输出波形如图 5.2.8 所示。

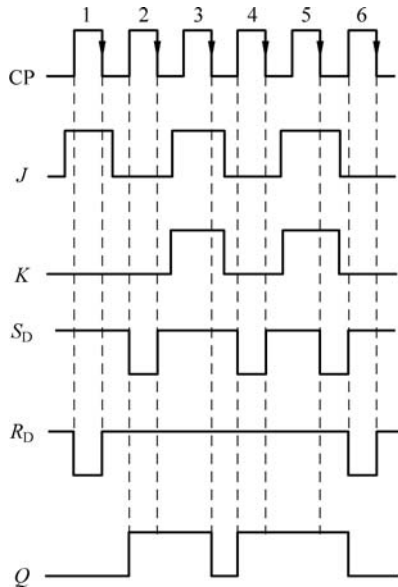


图 5.2.8 例 5.2.4 的波形图

5.3 边沿 D 触发器与 T 触发器

5.3.1 边沿 D 触发器

1. D 触发器的逻辑功能

若只取 JK 触发器输入 $J=\overline{K}=D$, 就构成 D 触发器。将 $J=\overline{K}=D$ 代入 JK 触发器的特性方程, 得

$$\begin{cases} Q^n = J\bar{Q}^n + \bar{K}^n Q^n = D\bar{Q}^n + D Q^n \\ Q^{n+1} = D \end{cases} \quad (5.3.1)$$

式(5.3.1)就是 D 触发器的特性方程。D 触发器的特性表如表 5.3.1 所示,状态图如图 5.3.1 所示。由特性表可得出: D 触发器的逻辑功能是置 0 或置 1。

表 5.3.1 D 触发器特性表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

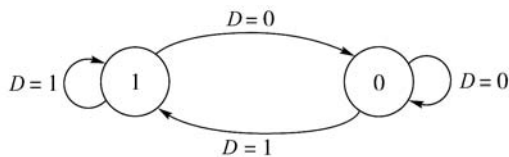


图 5.3.1 D 触发器状态转换图

2. D 触发器的电路结构及工作原理

如图 5.3.2 所示的是边沿 D 触发器的逻辑电路图和逻辑符号。该触发器由 6 个与非门组成,其中 G_1 、 G_2 已构成基本 RS 触发器, S_D 和 R_D 接至基本 RS 触发器的输入端,它们分别是预置和清零端,低电平有效。当 $S_D=0$ 且 $R_D=1$ 时,不论输入端 D 为何种状态,都会使 $Q=1$, $\bar{Q}=0$,即触发器置 1; 当 $S_D=1$ 且 $R_D=0$ 时,触发器的状态为 0, S_D 和 R_D 通常又称为直接置 1 和置 0 端。分析工作原理时,设它们均已加入了高电平,不影响电路的工作。工作过程如下。

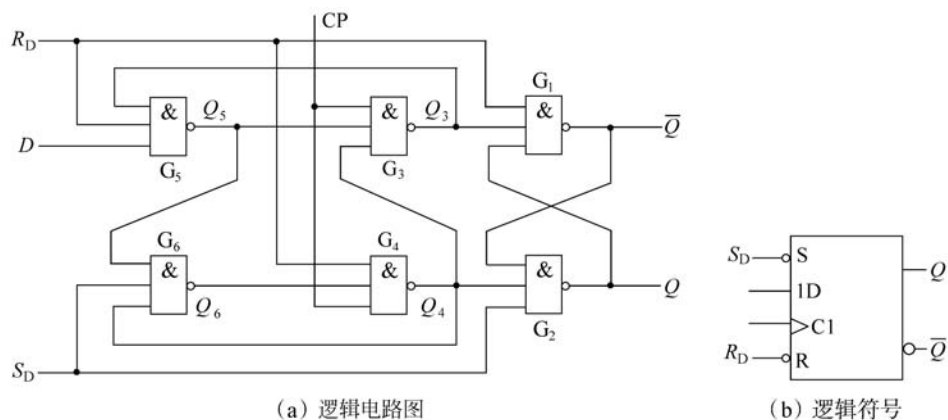


图 5.3.2 边沿 D 触发器的逻辑电路图和逻辑符号

(1) $CP=0$ 时, G_4 、 G_3 被封锁,其输出 $Q_3=Q_4=1$,触发器的状态不变。同时,由于 Q_3 至 G_5 和 Q_4 至 G_6 的反馈信号将这两个门打开,因此可接收输入信号 D , $Q_5=\bar{D}$, $Q_6=D$ 。

(2) 当 CP 由 0 变 1 时触发器翻转。这时 G_4 、 G_3 已打开, 它们的输出 Q_3 和 Q_4 的状态由 G_5 、 G_6 的输出状态决定。 $Q_3 = \overline{Q_5} = D$, $Q_4 = \overline{Q_6} = \overline{D}$ 。由基本 RS 触发器的逻辑功能可知, $Q = D$ 。

(3) 触发器翻转后, 在 CP=1 时, 输入信号被封锁。 G_4 、 G_3 打开后, 它们的输出 Q_3 和 Q_4 的状态是互补的, 即必定有一个是 0, 若 $Q_3 = 0$, 则经 G_3 输出至 G_5 输入的反馈线将 G_5 封锁, 即封锁了 D 通往基本 RS 触发器的路径, 该反馈线起到了使触发器维持在 0 状态和阻止触发器变为 1 状态的作用, 故该反馈线称为置 0 维持线, 置 1 阻塞线。若 $Q_4 = 0$ 时, 将 G_3 和 G_6 封锁, D 端通往基本 RS 触发器的路径也被封锁。 Q_4 输出端至 G_6 的反馈线起到使触发器维持在 1 状态的作用, 称为置 1 维持线, Q_4 输出至 G_3 输入的反馈线起到阻止触发器置 0 的作用, 称为置 0 阻塞线。因此, 该触发器常称为维持-阻塞触发器。

总之, 该触发器是在 CP 正跳沿前接收输入信号, 正跳沿时触发翻转, 正跳沿后输入即被封锁, 三步都是在正跳沿前后完成的, 所以是正跳沿 D 触发器, 属边沿触发器。

例 5.3.1 在如图 5.3.2 所示的边沿 D 触发器中, CP、 D 、 S_D 、 R_D 的波形如图 5.3.3 所示, 试画出输出 Q 的波形, 设触发器的初始状态为 0。

解 由于如图 5.3.2 所示的边沿 D 触发器是正跳沿 D 触发器, 所以触发器在时钟的正跳沿接收输入信号 D , 并可触发翻转, 正跳沿后输入即被封, 输出保持不变; 又因为 S_D 、 R_D 波形中有置 1、置 0 信号, 且不受时钟控制, 所以一旦出现置 1 或置 0 的信号, 触发器即刻被置 1 或置 0。若没有置 1 或置 0 的信号, 当时钟的正跳沿到来, 触发器的状态即为时钟脉冲正跳沿到来前瞬间 D 的状态。输出 Q 的波形如图 5.3.3 所示。

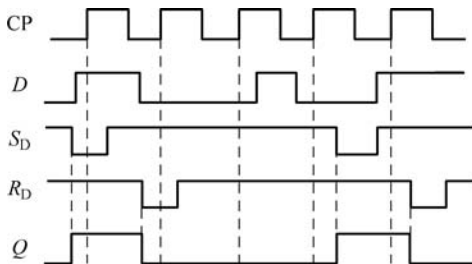


图 5.3.3 例 5.3.1 的图

3. 集成 D 触发器

集成 D 触发器的定型产品种类比较多, 这里介绍双 D 触发器 74HC74, 由逻辑符号(如图 5.3.4(a)所示)和功能表(如表 5.3.2 所示)都可以看出, 74HC74 是带有异步预置、清零输入及正跳沿触发的边沿触发器。

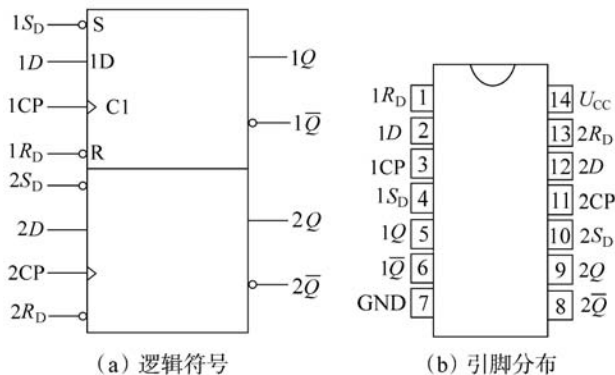


图 5.3.4 边沿 D 触发器

表 5.3.2 74HC74 功能表

输 入				输 出	
预置 S_D	清零 R_D	时钟 CP	D	Q^{n+1}	$\overline{Q}^{n+1}$
0	1	×	×	1	0
1	0	×	×	0	1
1	1	┐	0	0	1
1	1	┐	1	1	0
1	1	0	×	Q^n	$\overline{Q}^n$

5.3.2 边沿 T 触发器

D 触发器取用了 JK 触发器两个输入信号不相等时的状态,若取用 JK 触发器两个输入信号相等时的状态,即 $J=K=T$,则触发器的状态为

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n = T \oplus Q^n \quad (5.3.2)$$

这就是 T 触发器的特性方程。由特性方程可知, $T=1, Q^{n+1}=\overline{Q}^n$,触发器为计数状态, $T=0, Q^{n+1}=Q^n$,触发器为保持状态。T 触发器特性如表 5.3.3 所示,状态转换图如图 5.3.5 所示。

表 5.3.3 T 触发器特性表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

事实上,只要将 JK 触发器的 J 、 K 端连接在一起作为 T 端,就构成了 T 触发器,因此 T 触发器没有专门设计的定型产品,T 触发器的逻辑符号如图 5.3.6 所示。

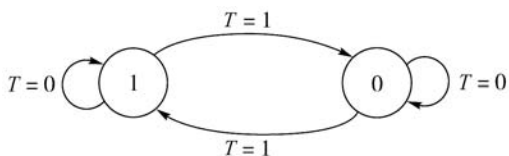


图 5.3.5 T 触发器状态转换图

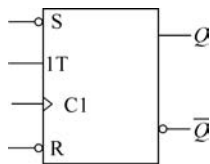


图 5.3.6 正跳沿 T 触发器的逻辑符号

5.4 触发器的建立时间和保持时间

对于边沿触发器,由于接收输入信号、触发翻转、封锁输入是在同一时刻完成的,为使触发器可靠工作,在触发器输入信号与时钟脉冲有效边沿之间应该有个严格的关系。以正跳

沿 D 触发器为例,为使 D 触发器同步置 1, D 端 1 的值应在时钟有效边沿之前就建立起来。要求在时钟有效边沿之前建立 D 值的最小时间称为建立时间 t_{set} 。为完成 D 触发器的可靠置 1,在时钟有效边沿之后, D 端的 1 值还应保持一段时间。要求 D 值在时钟有效边沿之后保持的最小时间称为保持时间 t_{h} 。图 5.4.1 是正跳沿 D 触发器时钟有效边沿同建立时间 t_{set} 和保持时间 t_{h} 关系的示意图。手册上对建立时间和保持时间都有明确的规定。例如 74LS74 同步置 1 时, $t_{\text{set}} = 25\text{ns}$, $t_{\text{h}} = 5\text{ns}$, 同步置 0 时, $t_{\text{set}} = 20\text{ns}$, $t_{\text{h}} = 5\text{ns}$ 。

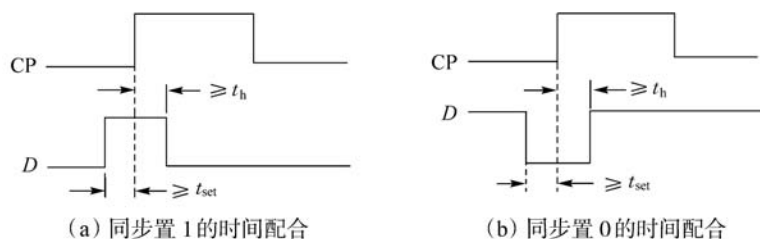


图 5.4.1 正跳沿 D 触发器的建立时间和保持时间

5.5 触发器的功能转换

前面我们对触发器的各种逻辑功能和结构形式进行了讨论。对于同一逻辑功能可以用不同电路结构的触发器来实现,例如主从 JK 触发器和边沿 JK 触发器,两者逻辑功能相同,电路的结构形式不同。反过来,同一触发器可以进行功能转换。例如通过逻辑功能的函数表达式分析便可直接将 JK 触发器转换成 D 触发器或 T 触发器,这种方法称为代数转换法,它不是通用的方法。通用的方法称为图表转换法,它是利用驱动表和卡诺图求得转换表达式,最后得到的转换电路图。

例 5.5.1 试用图表法将 D 触发器转换为 JK 触发器。

解 (1) 列出 D 触发器和 JK 触发器的驱动表,如表 5.5.1 所示。

表 5.5.1 D 触发器和 JK 触发器的驱动表

Q^n	Q^{n+1}	D	J	K
0	0	0	0	×
0	1	1	1	×
1	0	0	×	1
1	1	1	×	0

(2) 写出转换表达式 $D = f(Q^n, J, K)$ 。为此由表 5.5.1 画出 D 的卡诺图,如图 5.5.1(a)所示,化简后得到转换表达式,即

$$D = J\overline{Q}^n + \overline{K}Q^n = \overline{\overline{J\overline{Q}^n + \overline{K}Q^n}} = \overline{\overline{J}\overline{\overline{Q}^n}} \cdot \overline{\overline{K}Q^n}$$

(3) 画出转换逻辑电路图如图 5.5.1(b)所示。

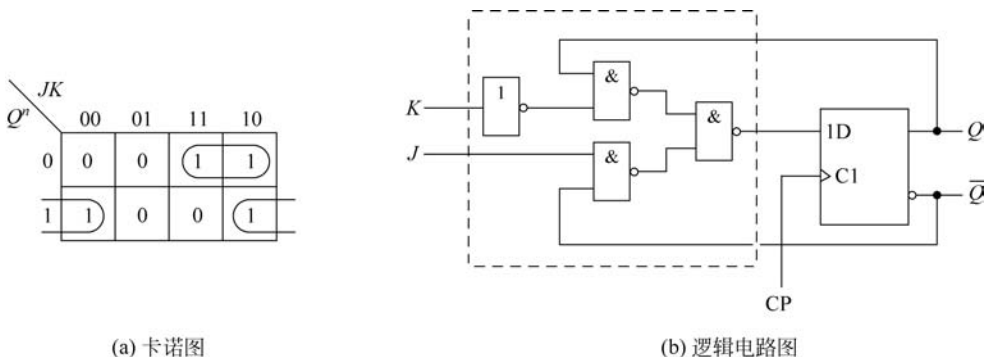


图 5.5.1 例 5.5.1 的卡诺图和逻辑电路图

例 5.5.2 电路如图 5.5.2 所示,该电路完成何种功能?

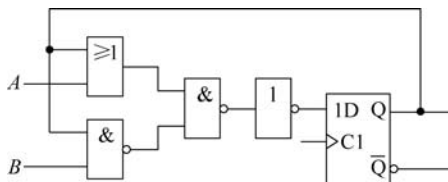


图 5.5.2 例 5.5.2 图

解 由图 5.5.2 可写出 D 触发器的输入端表达式,由于该信号是触发器的驱动信号,故称输入端表达式为驱动方程,即

$$D = (A + Q^n)BQ^n = (A + Q^n)(\overline{B} + \overline{Q}^n) = A\overline{B} + A\overline{Q}^n + \overline{B}Q^n = A\overline{Q}^n + \overline{B}Q^n$$

整个电路的状态为

$$Q^{n+1} = D = A\overline{Q}^n + \overline{B}Q^n$$

与 JK 触发器特性方程 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 比较,得 $J = A, K = B$,因此该电路完成 JK 触发器功能。

5.6 小结

(1) 触发器和门电路不同,对于以前所述的各种门电路,若输入为窄脉冲,则输出也为等宽的窄脉冲。对于触发器,若输入为窄脉冲,则输出为直流电平。换言之,门电路是没有惯性的,而触发器是有惯性的,有记忆能力的,它能够长期地保持一个二进制状态(只要不断掉电源),直到输入信号引导它转换到另一个状态为止。

(2) 按电路结构分类有基本 RS 触发器、同步触发器、主从触发器和边沿触发器。它们的触发翻转方式不同,基本 RS 触发器属于电平触发,同步触发器和主从触发器属于脉冲触发,主从触发器和边沿触发器是脉冲边沿触发,可以是正跳沿触发,也可以是负跳沿触发。主从触发器和边沿触发器的翻转虽然都发生在脉冲跳变时,但对加入输入信号的时间有所不同,对于主从触发器,如果是负跳变触发,输入信号必须在正跳变前加入,而边沿触发器可

以在触发沿到来前(只要满足建立时间)加入。

(3) 按功能分类有 RS 触发器、JK 触发器、T 触发器和 D 触发器。RS 触发器存在约束条件,T 触发器和 D 触发器的功能比较简单,JK 触发器的逻辑功能最为灵活,由它可以作为 RS 触发器使用,也可以方便地转换成 T 触发器和 D 触发器。在分析触发器的功能时,一般可用功能表、特性方程和状态图来描述其逻辑功能。

(4) 电路结构和触发方式与功能没有必然的联系。例如 JK 触发器既有主从式的,也有边沿式的。主从式触发器和边沿触发器都有 RS、JK、D 功能触发器。实现触发器功能转换的方法有代数转换法和图表转换法。

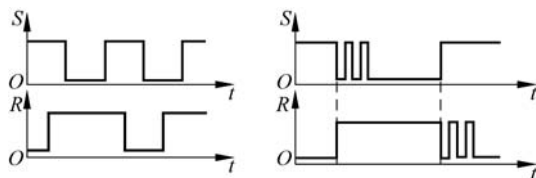
(5) 本章讨论的触发器有一个共同的特点就是触发器的输出有两个稳定的状态,因此这类触发器统称为双稳态触发器。常用双稳态触发器的逻辑符号及特性方程如图 5.6.1 所示。

基本 RS 触发器		
		低电平基本 RS 触发器 特性方程 $Q^{n+1} = \bar{S} + RQ^n$ $S + R = 0$
主从 RS 触发器		
		特性方程 $Q^{n+1} = S + \bar{R}Q^n$ $SR = 0$
JK 触发器		
		特性方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$
D 触发器		
		特性方程 $Q^{n+1} = D$
T 触发器		
		特性方程 $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

图 5.6.1 双稳态触发器的逻辑符号及特性方程

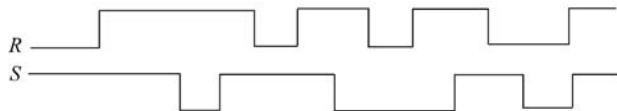
习题

5-1 试画出由与非门组成的基本 RS 触发器输出端 Q 、 $\bar{Q}$ 的电压波形, 输入端 R 、 S 的电压波形如图题 5.1 所示。



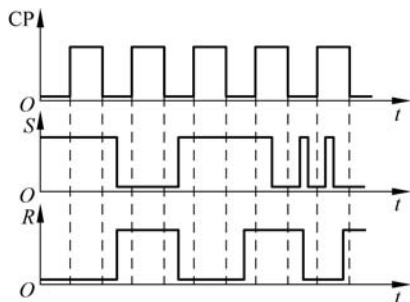
图题 5.1

5-2 将如图题 5.2 所示的波形加在基本 RS 触发器上, 试画出 Q 和 $\bar{Q}$ 波形(设初态为 0)。

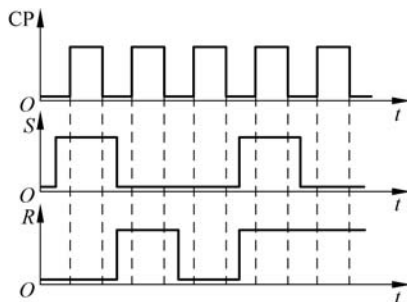


图题 5.2

5-3 试画出正脉冲同步 RS 触发器 Q 和 $\bar{Q}$ 端的电压波形。假定触发器的初始状态为 0, 输入波形如图题 5.3 所示。



图题 5.3

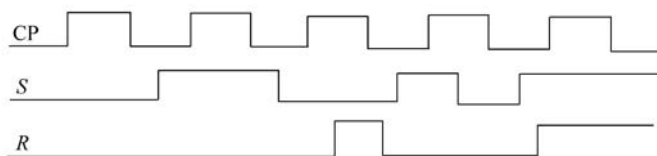


图题 5.4

5-5 将如图题 5.5 所示波形加在以下触发器上, 试画出触发器输出 Q 的波形(设初态为 0)。

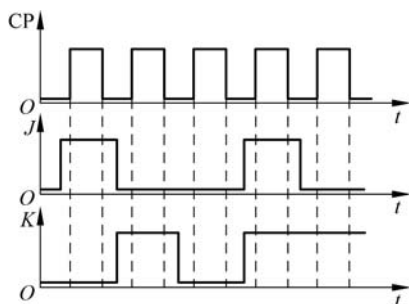
- (1) 正脉冲时钟 RS 触发器。
- (2) 负跳沿主从 RS 触发器。

5-6 已知负跳沿主从 JK 触发器输入端 J 、 K 和 CP 的电压波形如图题 5.6 所示, 试画出 Q 和 $\bar{Q}$ 端对应的电压波形。设触发器的初始状态为 $Q=0$ 。

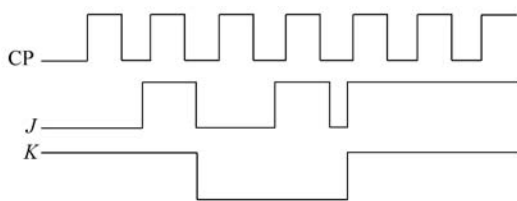


图题 5.5

5-7 负跳沿主从 JK 触发器的输入波形如图题 5.7 所示,画出触发器输出 Q 的波形(设初态为 0)。



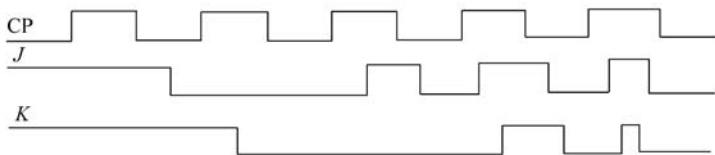
图题 5.6



图题 5.7

5-8 将如图题 5.8 所示的波形加在以下三种触发器上,试画出输出 Q 的波形(设初态 0)。

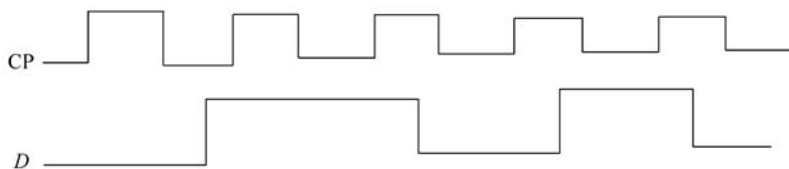
- (1) 正跳沿 JK 触发器;
- (2) 负跳沿 JK 触发器;
- (3) 负跳沿主从 JK 触发器。



图题 5.8

5-9 将如图题 5.9 所示的波形加在以下触发器上,试画出触发器输出 Q 的波形(设初态为 0)。

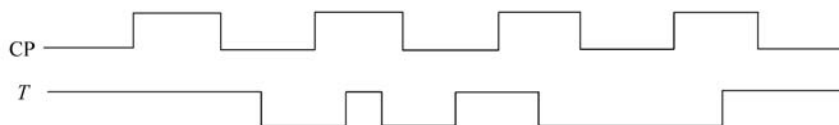
- (1) 正跳沿 D 触发器;
- (2) 负跳沿 D 触发器。



图题 5.9

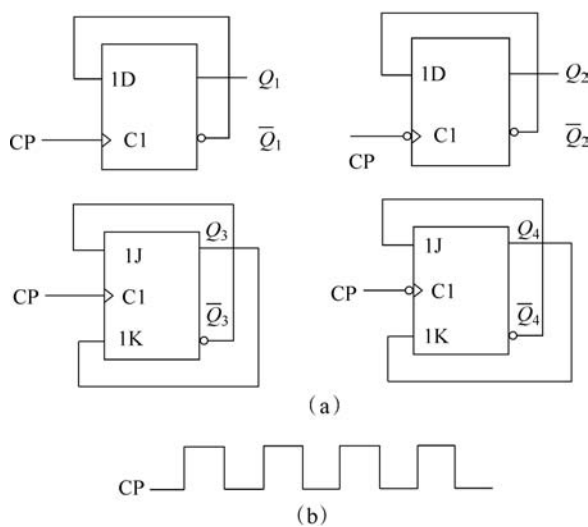
5-10 将如图题 5.10 所示的波形加在以下触发器上,试画出输出 Q 的波形(设初态 0)。

- (1) 正跳沿 T 触发器;
- (2) 负跳沿 T 触发器。



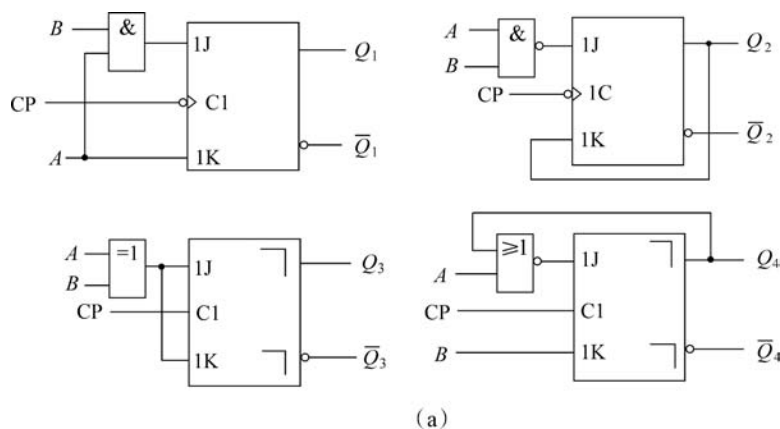
图题 5.10

5-11 根据 CP 波形,画出图题 5.11 中各触发器输出 Q 的波形(设初态为 0)。

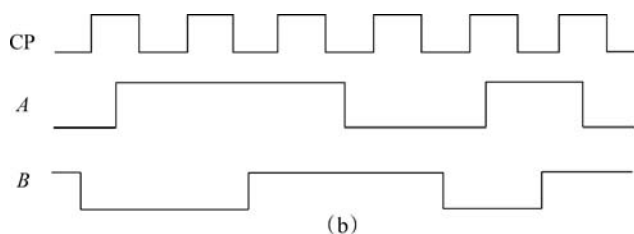


图题 5.11

5-12 触发器电路如图题 5.12(a)所示,试根据如图题 5.12(b)所示的输入波形画出 $Q_1 \sim Q_4$ 的波形。

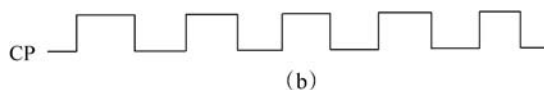
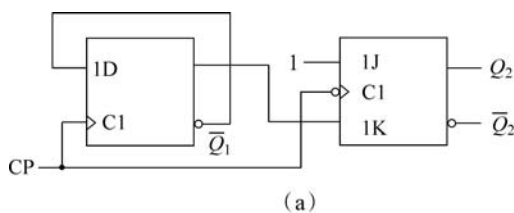


图题 5.12



图题 5.12 (续)

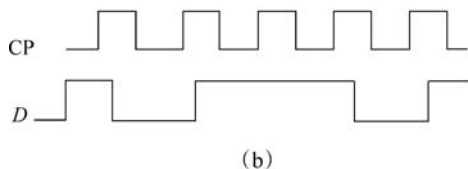
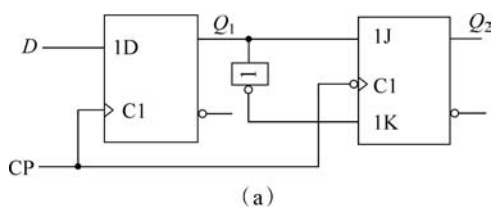
5-13 触发器电路如图题 5.13(a)所示,试根据图如题 5.13(b)所示的输入波形画出 Q_1 、 Q_2 的波形(设初态为 0)。



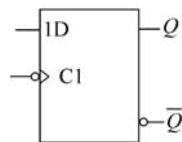
图题 5.13

5-14 触发器组成的电路如图题 5.14 所示,试根据 D 和 CP 波形画出 Q 的波形(设初态为 0)。

5-15 D 触发器逻辑符号如图题 5.15 所示,用适当的逻辑门将 D 触发器转换成 T 触发器、RS 触发器和 JK 触发器。



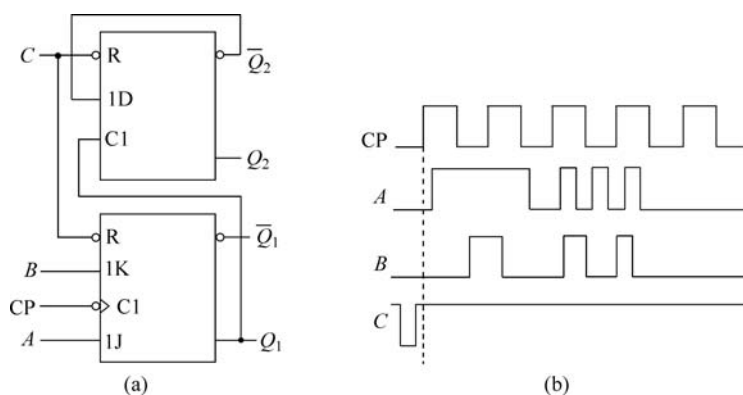
图题 5.14



图题 5.15

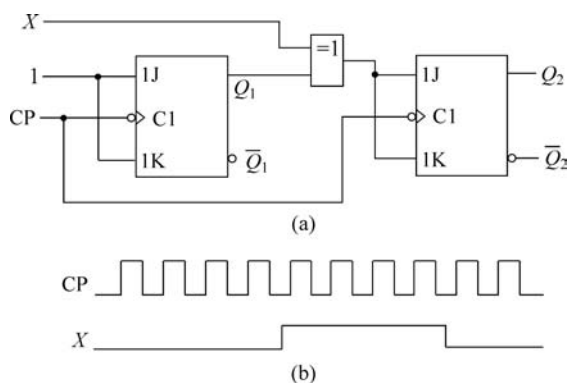
5-16 试将主从 RS 触发器转换成 T 触发器。

5-17 逻辑电路和各输入信号波形如图题 5.17 所示,画出各触发器 Q 端的波形。各触发器的初始状态为 0。



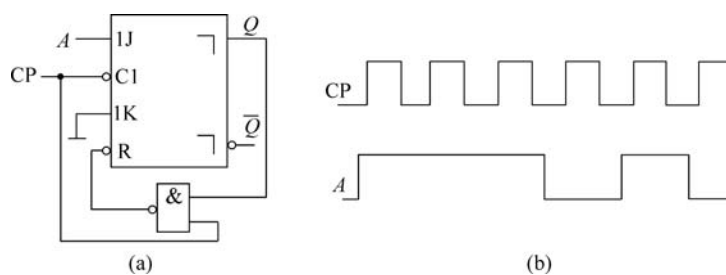
图题 5.17

5-18 电路和输入信号波形如图题 5.18 所示,画出各触发器 Q 端的波形。各触发器的初始状态为 0。



图题 5.18

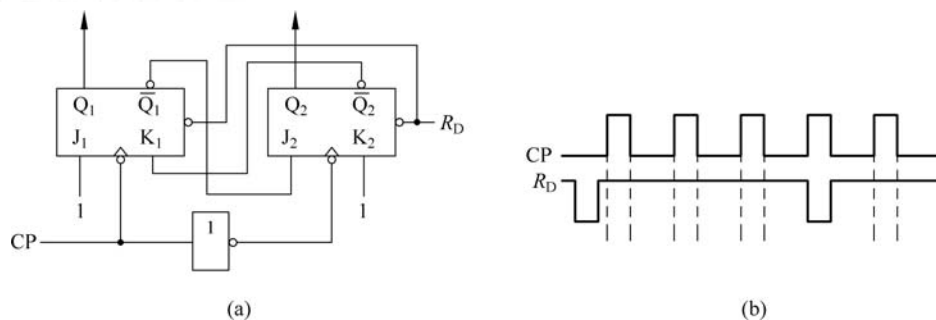
5-19 逻辑电路如图题 5.19 所示,已知 CP 和 A 的波形,试画出 Q_1 和 Q_2 的波形。触发器的初始状态均为 0。



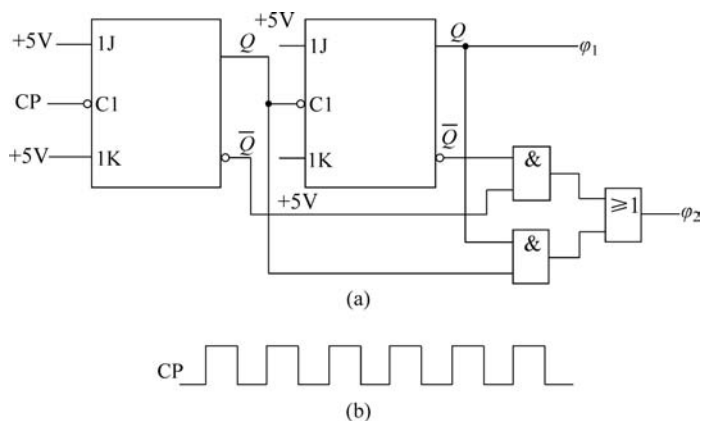
图题 5.19

5-20 逻辑电路如图题 5.20 所示,已知 CP 和 R_D 的波形,画出触发器 Q_1 和 Q_2 端的波形。

5-21 两相脉冲产生电路如图题 5.21 所示,试画出在 CP 作用下 φ_1 和 φ_2 的波形,并说明 φ_1 和 φ_2 的相位差。各触发器的初始状态为 0。

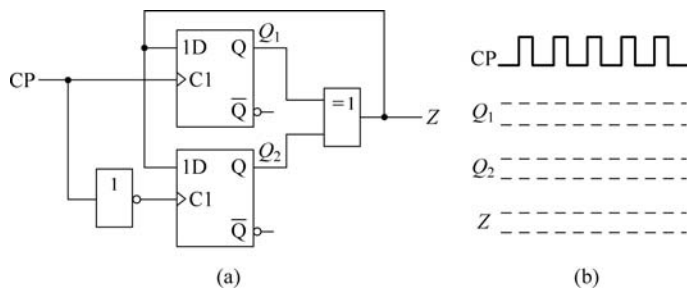


图题 5.20



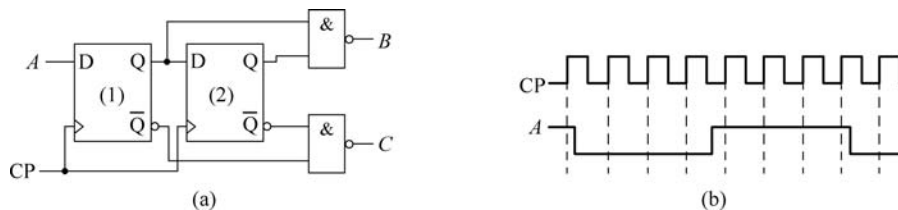
图题 5.21

5-22 试画出如图题 5.22 所示电路的输出(Q_2 、 Q_1 和 Z)波形图, 设初态 $Q_2=Q_1$ 。



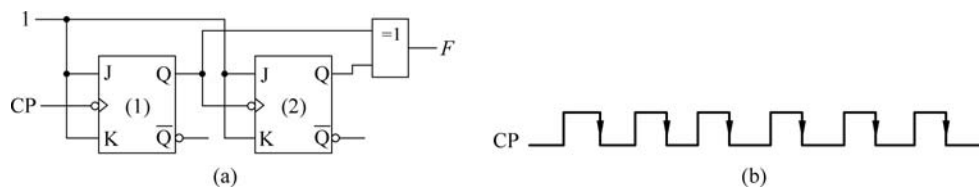
图题 5.22

5-23 逻辑电路如图题 5.23 所示, 已知 CP 和 A 的波形, 画出触发器 Q_1 、 Q_2 、B 和 C 端的波形。



图题 5.23

5-24 逻辑电路如图题 5.24 所示,已知 CP 和 A 的波形,画出触发器 Q_1 、 Q_2 、B 和 C 端的波形。



图题 5.24