

# 第5章

## 记忆单元电路

### 内容提要:

前面学习了组合逻辑电路,组合逻辑电路功能各异,但是缺少“记忆”功能。数字系统最重要的功能之一就是“记忆与存储”,比如计算机中的寄存器,信息一旦存入,只要不断电就能长久保存。那么什么样的电路具有“记忆”功能呢?它们与组合逻辑电路又有哪些区别?这就是本章要解决的问题。本章重点介绍具有记忆功能的数字电路单元:锁存器与触发器。它们是组成时序电路的基本器件。本章首先介绍锁存器的电路结构、工作原理和逻辑功能等,包括基本RS锁存器,门控RS锁存器,门控D锁存器;然后介绍RS触发器、JK触发器、D触发器、T触发器、T'触发器的电路结构、工作原理、逻辑功能及其描述方法;最后,通过应用举例进一步领会它们的“记忆”功能。

### 学习目标:

1. 了解各类锁存器、触发器的结构和工作原理。
2. 熟练掌握各类锁存器、触发器的逻辑符号及逻辑功能。
3. 熟练掌握各种不同结构的锁存器、触发器的触发特点,并能够熟练画出工作波形。
4. 掌握各类触发器间的功能转换。

### 重点内容:

1. 根据输入信号波形,画出锁存器和触发器的输出波形。
2. 集成触发器的应用。

## 5.1 概述

数字电路中基本的记忆元件是锁存器与触发器。它们有0和1两个稳定的输出状态(用 $Q$ 表示),都有控制输出状态的输入端,也称为驱动信号。从输入输出的关系上来看,它们的特点是电路的输出不仅取决于电路的输入,还与电路所处的状态有关系,或者说与电路的过去输入有关,也就是电路具有记忆功能。因为具有记忆功能,其输出状态有初态和新状态之分。初态常用 $Q^n$ 表示,指锁存器或触发器原有的状态,又称为现态。新状态常用 $Q^{n+1}$ 表示,指由驱动信号和初态共同决定的输出状态,又称为次态。若通过输入端加入驱动信号,使锁存器与触发器的新状态为1,则存储1;若通过加入驱动信号,使锁存器与触发器的新状态为0,则存储0。

锁存器与触发器有时可以互换使用,因为它们都可以存储二进制信号,但二者又有区别,主要表现在锁存器的输入信号可以直接影响输出或在使能端电平控制下影响输出;触发器具有触发端,利用电平、脉冲或脉冲边沿控制输入信号,进而影响输出。

锁存器和触发器与组合逻辑电路一样,也是由门电路组成的,它与组合逻辑电路的根本区别在于,电路中有反馈线,即门电路的输入、输出端交叉耦合。锁存器和触发器的核心部分是由两个非门交叉耦合组成的双稳态结构,如图5.1.1所示。它有两个互补的输出端 $Q$ 、 $\bar{Q}$ ,有两个稳定状态,定义:当 $Q=1$ , $\bar{Q}=0$ 时,为“1状态”;当 $Q=0$ , $\bar{Q}=1$ 时,为“0状态”。假如

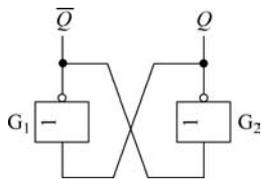


图 5.1.1 非门组成的双稳态结构



扩展阅读

$Q=1$ ,  $G_1$  门就输入 1, 输出  $\bar{Q}=0$ , 这个 0 作为  $G_2$  门的输入, 迫使其输出 1, 这样就维持住了输出 1 状态。反之, 如果  $Q=0$ ,  $G_1$  门就输入 0, 输出  $\bar{Q}=1$ , 这个 1 作为  $G_2$  门的输入, 迫使其输出 0, 这样就维持住了输出 0 状态。可见, 电路的两个状态都是稳定且能够维持的。这种自维持的作用常称为“自锁”或“锁存”, 正是这种锁存作用使得该电路具有“记忆”功能, 即电路一旦进入了“1 状态”或“0 状态”, 无须输入信号, 只要不断电, 其状态就会长久地被保存。显然这个电路也是有缺点的, 它没有驱动信号, 即没有输入端, 所以它的状态无法控制也无法改变。

在上述双稳态结构的基础上, 加入适当的输入端和控制端便可构成锁存器和触发器。

## 5.2 锁存器

锁存器也称为基本触发器, 按结构的不同可分为没有控制端的锁存器和有门控端的锁存器(门控锁存器)。

### 5.2.1 与非门组成的 RS 锁存器

#### 1. 电路结构与功能

将图 5.1.1 所示电路中的非门改为与非门, 增加两个输入端  $R$ 、 $S$  就构成基本 RS 锁存器, 如图 5.2.1 所示, 其中  $R$  为置 0 输入端,  $S$  为置 1 输入端。

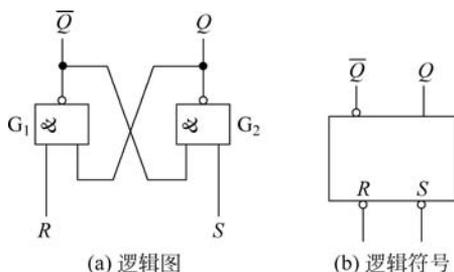


图 5.2.1 与非门组成的基本 RS 锁存器

由图 5.2.1(a)可知, 基本 RS 锁存器的逻辑表达式为

$$Q = \overline{QS}, \quad \bar{Q} = \overline{QR}$$

根据逻辑表达式可分析该电路具有下列功能:

(1) 保持。当  $R=1$ 、 $S=1$  时, 该电路与图 5.1.1 所示的双稳态电路结构等效, 锁存器保持原状态不变, 这就是锁存器的“记忆”功能, 即能够“记住”电路的原状态。

(2) 置 0。当  $R=0$ 、 $S=1$  时, 由  $R=0$ , 可知  $\bar{Q}=1$ 。再由  $S=1$ ,  $\bar{Q}=1$  导出  $Q=0$ 。 $Q=0$  又返回  $G_1$  门, 进一步保证了  $\bar{Q}=1$ 。所以, 无论锁存器原来处于什么状态, 加入信号  $R=0$ 、 $S=1$  后, 锁存器都会进入 0 状态。由于使锁存器置 0 状态的关键信号是  $R=0$ , 所以  $R$  称为置 0 输入端, 也称复位端, 为低电平有效。图 5.2.1(b)逻辑符号中  $R$  端的小

圆圈表示低电平有效。

(3) 置1。当  $R=1, S=0$  时,由  $S=0$ ,可知  $Q=1$ 。再由  $R=1, Q=1$  导出  $\bar{Q}=0$ 。 $\bar{Q}=0$  又返回  $G_2$  门,进一步保证了  $Q=1$ 。此时,锁存器处于1状态。由于使锁存器置1状态的关键信号是  $S=0$ ,所以  $S$  称为置1输入端,也称置位端,也为低电平有效。图 5.2.1(b)逻辑符号中  $S$  端的小圆圈表示低电平有效。

(4) 不定。当  $R=0, S=0$  时,这是锁存器不允许的输入状态。因为当  $S$  和  $R$  同时为0时, $Q, \bar{Q}$  都为1,这就破坏了两个输出信号应该互补的规则。而当随后  $S$  和  $R$  又同时变为1时,由于两个与非门电气性能上的差异,其输出状态无法预知,可能是0状态,也可能是1状态,所以称为不定状态。在使用基本RS锁存器时,应避免这种情况出现。

将上述结论列成真值表,如表 5.2.1 所示。由于锁存器的新状态  $Q^{n+1}$  (也称次态)不仅与输入状态有关,也与锁存器原来的状态  $Q^n$  (也称现态或初态)有关。所以,在真值表中,把  $Q^n$  也作为一个变量列入。 $Q^n$  称为状态变量,含有状态变量的真值表称为锁存器的功能表或状态表。

表 5.2.1 用与非门组成的基本RS锁存器的功能表

$R$	$S$	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	×	不定状态
0	0	1	×	
0	1	0	0	置0(复位)
0	1	1	0	
1	0	0	1	置1(置位)
1	0	1	1	
1	1	0	0	状态保持
1	1	1	1	

## 2. 波形分析

**例 5.2.1** 用与非门组成的基本RS锁存器如图 5.2.1(a)所示,设初始状态为0,已知输入  $R, S$  的波形图如图 5.2.2 所示,画出输出  $Q, \bar{Q}$  的波形图。

**解:** 由表 5.2.1 知,当  $R, S$  都为高电平时,锁存器保持原状态不变;当  $S$  变为低电平时,锁存器翻转为1状态;当  $R$  变为低电平时,锁存器翻转为0状态;不允许  $R, S$  同时为低电平。由此画出输出  $Q, \bar{Q}$  的波形如图 5.2.2 所示。

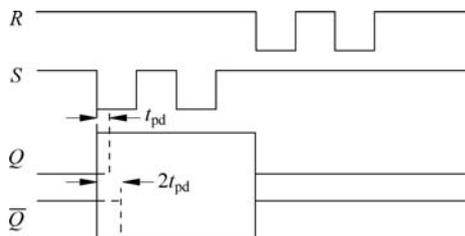


图 5.2.2 例 5.2.1 波形图

图中虚线所示为考虑门电路的延迟时间的情况,在以后画锁存器的波形图时,如无特别说明,均不考虑门电路的延迟时间。

## 5.2.2 用或非门组成的基本 RS 锁存器

基本 RS 锁存器也可由两个或非门交叉耦合组成,如图 5.2.3(a)所示,图(b)为其逻辑符号。这种锁存器的输入信号是高电平有效,因此在逻辑符号的输入端处没有小圆圈。列出该锁存器的功能表,如表 5.2.2 所示。

表 5.2.2 用或非门组成的基本 RS 锁存器的功能表

R	S	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	0	状态保持
0	0	1	1	
0	1	0	1	置 1(置位)
0	1	1	1	
1	0	0	0	置 0(复位)
1	0	1	0	
1	1	0	×	不定状态
1	1	1	×	

**例 5.2.2** 用或非门组成的基本 RS 锁存器如图 5.2.3(a)所示,设初始状态为 0,已知输入  $R$ 、 $S$  的波形如图 5.2.4 所示,画出输出  $Q$ 、 $\bar{Q}$  的波形图。

**解:** 由表 5.2.2 知,当  $R$ 、 $S$  都为低电平时,锁存器保持原状态不变;当  $S$  变高电平时,锁存器翻转为 1 状态;当  $R$  变高电平时,锁存器翻转为 0 状态;不允许  $R$ 、 $S$  同时为高电平。由此画出输出  $Q$ 、 $\bar{Q}$  的波形如图 5.2.4 所示。

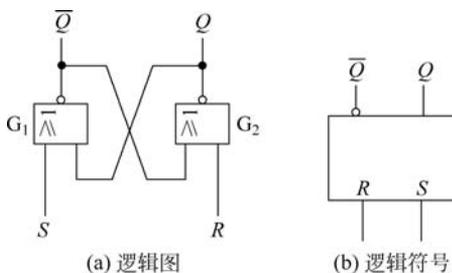


图 5.2.3 或非门组成的基本 RS 锁存器

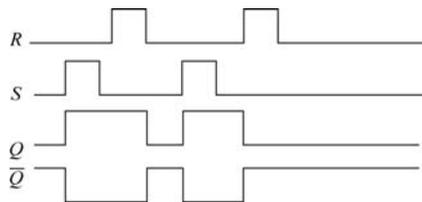


图 5.2.4 例 5.2.2 波形图

综上所述,基本 RS 锁存器具有复位( $Q=0$ )、置位( $Q=1$ )、状态保持三种功能, $R$  为复位输入端, $S$  为置位输入端,可以是低电平有效,也可以是高电平有效,取决于锁存器的内部结构。

### 5.2.3 门控 RS 锁存器

上面介绍的基本 RS 锁存器的状态是由输入信号  $R$ 、 $S$  直接控制的,它在任何时间内都可以接收  $R$ 、 $S$  信号。在实际应用中,锁存器的工作状态不仅要由  $R$ 、 $S$  端的信号来决定,而且还希望加入一个控制信号,也就是给锁存器加一个使能信号  $E$ ,只有当  $E$  有效时,电路才可能改变状态, $E$  无效时,电路处于保持状态。这种锁存器称为门控 RS 锁存器。

#### 1. 电路结构与功能

门控 RS 锁存器的电路结构与逻辑符号如图 5.2.5 所示,功能表如表 5.2.3 所示。

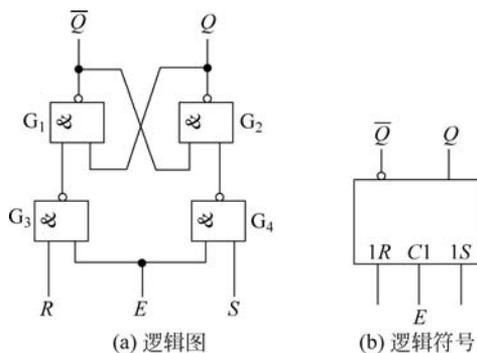


图 5.2.5 门控 RS 锁存器

表 5.2.3 门控 RS 锁存器的功能表

$E$	$R$	$S$	$Q^n$	$Q^{n+1}$	功能说明
0	×	×	0	0	保持
			1	1	
1	0	0	0	0	保持
	0	0	1	1	保持
	0	1	0	1	置 0
	0	1	1	1	置 1
	1	0	0	0	置 0
	1	0	1	1	置 1
	1	1	0	×	不定状态
	1	1	1	×	

当  $E=0$  时,控制门  $G_3$ 、 $G_4$  关闭,都输出 1。这时,不管  $R$  端和  $S$  端的信号如何变化,锁存器的状态保持不变。当  $E=1$  时,控制门  $G_3$ 、 $G_4$  打开, $R$ 、 $S$  端的输入信号才能通过这两个门,使锁存器的状态翻转,其输出状态由  $R$ 、 $S$  端的输入信号决定。由此可归纳出两点:①该锁存器的状态转换分别由  $R$ 、 $S$  和  $E$  控制,其中, $R$ 、 $S$  控制状态转换的方向,即转换为何种次态, $E$  控制状态转换的时刻,即何时发生转换;②使能端  $E$  为高电平有效,即只有当  $E=1$  时锁存器才可能翻转,这一特点可由逻辑符号体现出来。

#### 2. 波形分析

给图 5.2.5(a)所示的门控 RS 锁存器加入如图 5.2.6 所示的  $R$ 、 $S$ 、 $E$  波形,设初始

状态为 0, 根据功能表可画出输出  $Q$ 、 $\bar{Q}$  的波形图, 如图 5.2.6 所示。

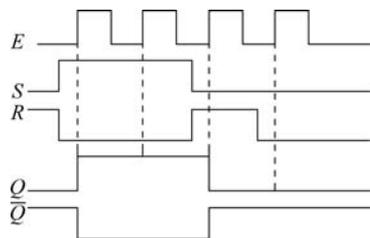


图 5.2.6 门控 RS 锁存器的波形图

### 5.2.4 门控 D 锁存器

门控 RS 锁存器的缺点是存在输出不定状态。为了消除不定状态, 应使  $R$ 、 $S$  信号不同时为 1, 为此, 在图 5.2.5(a) 所示的门控 RS 锁存器的基础上, 再加两个非门  $G_5$ 、 $G_6$ , 将输入端  $R$ 、 $S$  转换成一个输入端  $D$  (数据端), 即  $R = \bar{D}$ ,  $S = D$ , 如图 5.2.7(a) 所示, 这样的锁存器称为门控 D 锁存器。

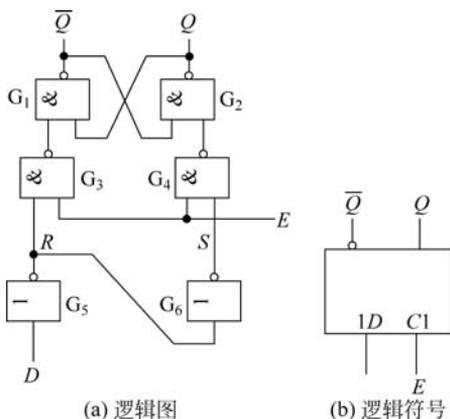


图 5.2.7 门控 D 锁存器

门控 D 锁存器逻辑关系非常简单, 如表 5.2.4 所示。当使能端  $E=0$  时, 控制门  $G_3$ 、 $G_4$  关闭, 锁存器的状态保持不变。当  $E=1$  时, 控制门  $G_3$ 、 $G_4$  打开, 接收  $D$  信号。如果此时  $D=1$ , 则锁存器翻转为 1 状态; 如果此时  $D=0$ , 则翻转为 0 状态。

表 5.2.4 门控 D 锁存器的功能表

$E$	$D$	$Q^n$	$Q^{n+1}$	功能说明
0	×	0	0	保持原状态
0	×	1	1	
1	0	×	0	输出状态与 $D$ 状态相同
1	1	×	1	

门控 D 锁存器的波形分析见图 5.2.8。从波形图中可以看出,当  $E=0$  时,门控 D 锁存器的输出状态  $Q$  被锁定在  $E$  刚刚变为 0 时刻的  $Q$  状态;而当  $E=1$  时, $Q$  状态总是随着  $D$  状态的变化而变换,即  $Q$  端与  $D$  端的状态总是相同的。这种工作模式称为“透明”,所以门控 D 锁存器又称为“透明锁存器”。

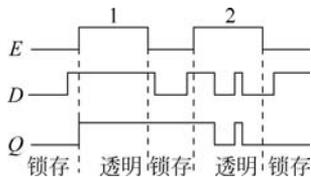


图 5.2.8 门控 D 锁存器的波形图

在微处理器中常用到锁存器进行数据存储。如在图 5.2.9 所示的计算机输出端口示意图中,当计算机需要向外部端口输出数据时,首先在数据线上给出需要输出的数据,然后给出一个高电平的锁存脉冲  $E$ ,该脉冲将数据线上的数据锁存到 D 锁存器。

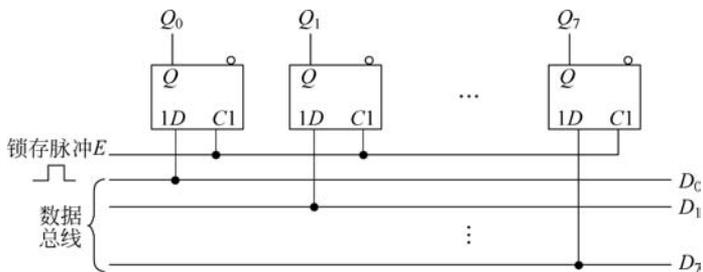


图 5.2.9 门控 D 锁存器的应用

## 5.3 触发器

### 5.3.1 时钟信号与触发器

数字系统有同步和异步两种工作方式。在同步系统中,所有的输出只能在特定的时刻改变状态,而这个时刻由“时钟信号”决定。时钟信号类似于使能信号,通常是一串矩形脉冲或方波,但它又不同于使能信号,使能信号是高电平有效或者低电平有效,而时钟信号则是跳变沿有效,即当信号由 0 跳变到 1(称为上升沿)或由 1 跳变到 0(称为下降沿)时有效,如图 5.3.1 所示。在同步系统中,时钟信号被分配到系统各个部分,用其跳变沿来指挥各输出同步地改变状态。

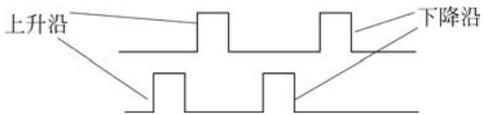


图 5.3.1 时钟信号

锁存器的状态改变不在使能信号  $E$  的跳变沿,而是在  $E$  有效期间都可以改变状态。如图 5.2.8 所示的  $E$  为高电平有效的 D 锁存器的波形图,在  $E$  信号的第 2 个高电平期间,由于  $D$  信号改变了多次, $Q$  也跟着改变了多次,这种情况在许多时序逻辑电路中是不允许的。例如在计数器、寄存器等时序逻辑电路中,要求输出状态改变只能在时钟信号的跳变沿,且一个时钟信号周期只允许输出状态改变一次,多次改变状态的现象称为空

翻。只在时钟信号跳变沿改变状态且没有空翻的记忆元件称为**触发器**。

触发器是由锁存器改造而成的,一是将使能端改为时钟信号端,时钟信号常用 CP (Clock Pulse)或 CLK(Clock)表示,本书采用 CP 表示;二是增加适当的控制线或控制电路,以保证触发器只在时钟信号的上升沿或下降沿改变状态。

### 5.3.2 主从 RS 触发器

#### 1. 电路结构

主从 RS 触发器的逻辑图如图 5.3.2(a)所示,图 5.3.2(b)为逻辑符号。它由两级门控 RS 锁存器串联而成。

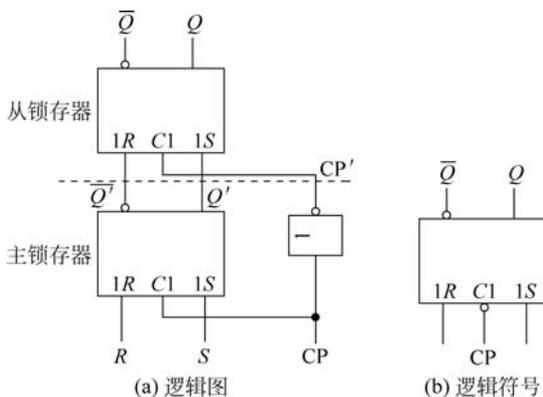


图 5.3.2 主从 RS 触发器

#### 2. 工作原理

主从 RS 触发器的触发翻转分为两个节拍:

(1) 当  $CP=1$  时,  $CP'=0$ , 从锁存器被锁存, 保持原状态不变。主锁存器工作, 接收  $R$  和  $S$  端的输入信号。如  $R=0$ 、 $S=1$  时, 主锁存器翻到  $Q'=1$ 、 $\overline{Q'}=0$  的 1 状态。

(2) 当  $CP$  由 1 跳变到 0 时, 即  $CP=0$ 、 $CP'=1$ 。主锁存器被锁存, 输入信号  $R$ 、 $S$  不再影响主锁存器的状态。从锁存器接工作, 接收主锁存器输出端的状态。因为这时  $Q'=1$ 、 $\overline{Q'}=0$ , 则从锁存器也翻到  $Q=1$ 、 $\overline{Q}=0$ 。

由上分析可知, 主从 RS 触发器只是在  $CP$  由 1 跳变成 0 时刻 ( $CP$  下降沿) 改变输出状态,  $CP$  一旦变为 0 后, 主锁存器被锁存, 其状态不再受  $R$ 、 $S$  影响, 故主从触发器一个时钟信号周期只翻转一次, 不会有空翻现象。

主从 RS 触发器的这一特点可由逻辑符号体现出来。符号中输入  $C1$  端的小圆圈表示下降沿触发。

#### 3. 触发器功能的几种表示方法

触发器的功能可以用功能表、特性方程、状态转换图等几种方法来表示, 下面以主从 RS 触发器为例加以说明。

## 1) 功能表

功能表类似于真值表,就是将触发器输出与输入的关系用表格的方式表现出来。由于触发器的新状态(也称为次态) $Q^{n+1}$ 不仅与输入状态有关,与触发器原来的状态 $Q^n$ (也称为现态或初态)有关,所以在列表时把 $Q^n$ 也作为一个变量列入。 $Q^n$ 称为状态变量,含有状态变量的真值表称为触发器的功能表或状态表。

主从RS触发器的功能表见表5.3.1,其中 $Q^n$ 为CP跳变沿到来之前触发器的状态,即初态(或现态), $Q^{n+1}$ 为CP跳变沿到来之后触发器的新状态,即次态。

表 5.3.1 主从RS触发器的功能表

R	S	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	0	保持原状态
0	0	1	1	
0	1	0	1	输出状态与S状态相同
0	1	1	1	
1	0	0	0	输出状态与S状态相同
1	0	1	0	
1	1	0	×	输出状态不定
1	1	1	×	

## 2) 特性方程

触发器次态 $Q^{n+1}$ 与输入状态 $R$ 、 $S$ 及现态 $Q^n$ 之间关系的逻辑表达式称为触发器的特性方程。根据表5.3.1可画出主从RS触发器 $Q^{n+1}$ 的卡诺图,如图5.3.3所示。由此可得主从RS触发器的特性方程为:

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0(\text{约束条件}) \end{cases}$$

## 3) 状态转换图

状态转换图表示触发器从一个状态变化到另一个状态或保持原状不变时,对输入信号的要求。图5.3.4所示是根据表5.3.1画出的主从RS触发器的状态转换图。图中的两个圆圈分别表示触发器的两个稳定状态,箭头表示在输入时钟信号CP作用下状态转换的情况,箭头线旁标注的 $R$ 、 $S$ 值表示触发器状态转换的条件,其中的“ $\times$ ”号表示任意值,可以为0,也可以为1。例如要求触发器由0状态转换到1状态时,应取输入信号 $R=0$ 、 $S=1$ 。

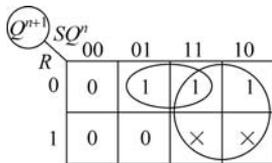
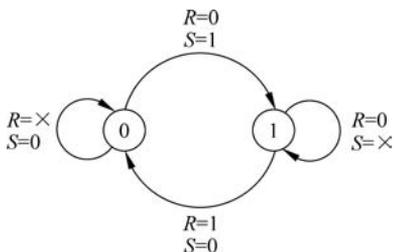
图 5.3.3 主从RS触发器 $Q^{n+1}$ 的卡诺图

图 5.3.4 主从RS触发器的状态转换图

## 4) 驱动表

驱动表是用表格的方式表示触发器从一个状态变化到另一个状态或保持原状态不变时,对输入信号的要求。表 5.3.2 所示是根据表 5.3.1 画出的主从 RS 触发器的驱动表。驱动表对时序逻辑电路的设计是很有用的。

表 5.3.2 主从 RS 触发器的驱动表

$Q^n \rightarrow Q^{n+1}$	R	S
0 0	×	0
0 1	0	1
1 0	1	0
1 1	0	×

## 5) 波形图

触发器的功能也可以用输入输出波形图直观地表示出来,图 5.3.5 所示为主从 RS 触发器的波形图。

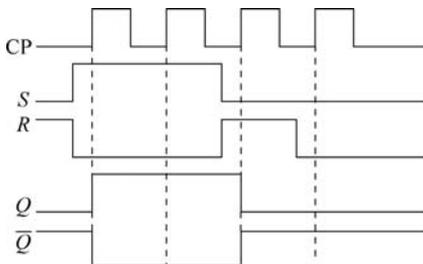


图 5.3.5 主从 RS 触发器的波形图

## 5.3.3 主从 JK 触发器及 T 与 T' 触发器

## 1. 主从 JK 触发器的电路结构

主从 RS 触发器仍有输出不定状态,即特性方程中有一个约束条件  $RS=0$ 。要解决这一问题,可以将主从 RS 触发器改成 JK 触发器或 D 触发器。

主从 JK 触发器是以主从 RS 触发器为基础,进行电路结构的改进得到的,目的是消除  $RS=0$  的约束。主从 JK 触发器的逻辑图如图 5.3.6(a)所示,图 5.3.6(b)为逻辑符号。与主从 RS 触发器相比较,增加了两根反馈线和两个与门,于是有  $S=J\bar{Q}$ ,  $R=KQ$ 。由于触发器的两个输出端  $Q$ 、 $\bar{Q}$  在正常工作时是互补的,所以无论  $J$ 、 $K$  状态如何, $R$ 、 $S$  都不会同时为 1。

## 2. 主从 JK 触发器的逻辑功能

主从 JK 触发器的逻辑功能与 RS 触发器的逻辑功能基本相同,不同之处是 JK 触发器没有约束条件,在  $J=K=1$  时,每输入一个时钟脉冲后,触发器向相反的状态翻转一次。表 5.3.3 为 JK 触发器的功能表。

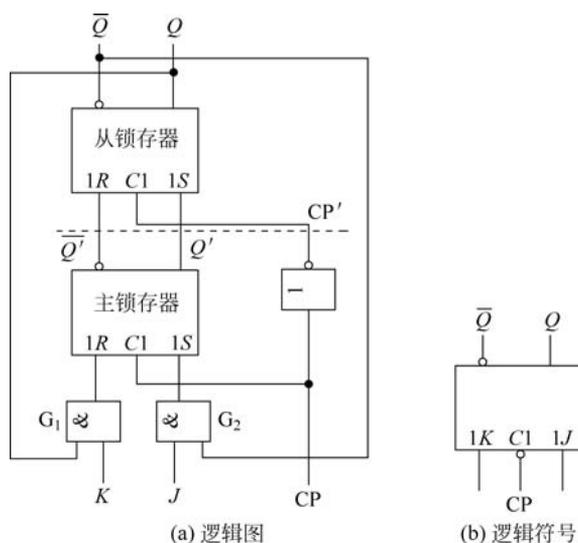


图 5.3.6 主从 JK 触发器

表 5.3.3 主从 JK 触发器的功能表

$J$	$K$	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	0	保持原状态
0	0	1	1	
0	1	0	0	输出状态与 $J$ 状态相同
0	1	1	0	
1	0	0	1	输出状态与 $J$ 状态相同
1	0	1	1	
1	1	0	1	每输入一个脉冲输出状态改变一次
1	1	1	0	

根据表 5.3.3 可画出 JK 触发器  $Q^{n+1}$  的卡诺图,如图 5.3.7 所示。由此可得 JK 触发器的特性方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (5.3.1)$$

JK 触发器的状态转换图如图 5.3.8 所示。

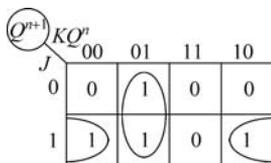
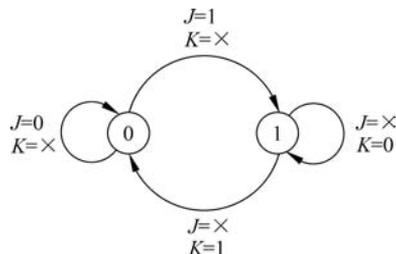

 图 5.3.7 JK 触发器  $Q^{n+1}$  的卡诺图


图 5.3.8 JK 触发器的状态转换图

根据表 5.3.3 可得 JK 触发器的驱动表如表 5.3.4 所示。

表 5.3.4 JK 触发器的驱动表

$Q^n \rightarrow Q^{n+1}$	$J$	$K$
0 0	0	×
0 1	1	×
1 0	×	1
1 1	×	0

**例 5.3.1** 主从 JK 触发器如图 5.3.6(a) 所示, 设初始状态为 0, 已知 CP 及输入 J、K 的波形图如图 5.3.9 所示, 画出输出 Q 的波形图。

解: 根据表 5.3.3 或式(5.3.1)可画出输出 Q 的波形如图 5.3.9 所示。

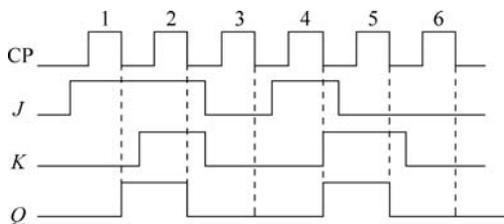


图 5.3.9 例 5.3.1 波形图

在画主从触发器的波形图时, 应注意以下两点:

- (1) 触发器的触发翻转发生在时钟脉冲的触发沿(这里是下降沿)。
- (2) 在 CP=1 期间, 如果输入信号的状态没有改变, 判断触发器次态的依据是时钟脉冲下降沿前一瞬间输入端的状态。

### 3. T 触发器和 T' 触发器

如果将主从 JK 触发器的 J 和 K 相连作为 T 输入端就构成了 T 触发器, 如图 5.3.10(a) 所示, 图 5.3.10(b) 为其逻辑符号。将  $J=K=T$  代入式(5.3.1)便得到 T 触发器的特性方程:

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n \quad (5.3.2)$$

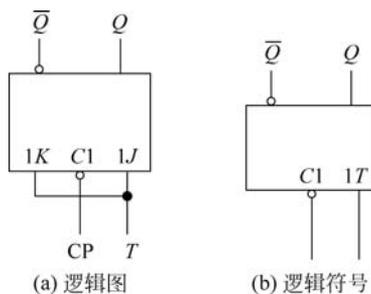


图 5.3.10 用 JK 触发器构成的 T 触发器

由式(5.3.2)可知 T 触发器的逻辑功能为:当  $T=1$  时,  $Q^{n+1}=\bar{Q}^n$ , 这时每输入一个时钟脉冲 CP, 触发器的状态便翻转一次; 当  $T=0$  时,  $Q^{n+1}=Q^n$ , 触发器保持原状态不变。其功能如表 5.3.5 所示。

表 5.3.5 T 触发器的功能表

T	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	保持原状态
0	1	1	
1	0	1	每输入一个脉冲输出状态改变一次
1	1	0	

T 触发器的状态转换图如图 5.3.11 所示。驱动表如表 5.3.6 所示。

表 5.3.6 T 触发器的驱动表

$Q^n \rightarrow Q^{n+1}$	T
0 0	0
0 1	1
1 0	1
1 1	0

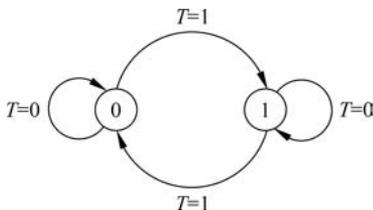


图 5.3.11 T 触发器的状态转换图

当 T 触发器的输入控制端为  $T=1$  时, 触发器每输入一个时钟脉冲 CP, 状态便翻转一次, 这种状态称为计数工作状态, 这种状态的触发器称为  $T'$  触发器。 $T'$  触发器的特性方程为

$$Q^{n+1} = \bar{Q}^n$$

#### 4. 主从 JK 触发器存在的问题——一次变化现象

JK 触发器是一种使用很灵活的触发器, 所以应用很广泛, 但主从结构的 JK 触发器有一个缺点——一次变化现象。我们用下面的例子来说明主从 JK 触发器的一次变化现象。

**例 5.3.2** 主从 JK 触发器如图 5.3.6(a) 所示, 设初始状态为 0, 已知输入 J、K 的波形图如图 5.3.12 所示, 画出输出 Q 的波形图。

**解:** 在 CP 上跳沿前一瞬间和 CP 下跳沿前一瞬间, 都为  $J=0, K=1$ , 按照 JK 触发器的功能表, 触发器应该置 0。但是, 由于在  $CP=1$  期间, J 信号出现过 1, 这个 1 信号会影响主锁存器状态的变化, 最终造成从触发器的错误翻转。具体情况如下:

主锁存器和从锁存器的初始状态分别为  $Q'=0, \bar{Q}'=1$  和  $Q=0, \bar{Q}=1$ 。在  $CP=1$  期间,  $K=1$ , 当 J 信号也变为 1 时, 使主锁存器状态翻转为  $Q'=1, \bar{Q}'=0$ 。当 J 信号再变回 0 时, 主锁存器的状态是否能恢复到原来的 0 状态呢? 答案是否定的。因为从锁存器的状态没有变, Q 仍为 0, 通过反馈线封锁了  $G_1$  门, 当 J 信号再变回 0 时,  $G_1, G_2$  的输出端都为 0, 主锁存器不再翻转。所以当 CP 下降沿到来时, 从锁存器翻转为  $Q=1, \bar{Q}=0$ ,



动画

如图 5.3.12 所示。

由此看出,主从 JK 触发器在 CP=1 期间,主锁存器只变化(翻转)一次,这种现象称为一次变化现象。只有在两种情况下会出现一次变化现象。一是当触发器为 0 状态时,CP=1 期间 J 出现过 1;二是当触发器为 1 状态时,CP=1 期间 K 出现过 1。

为了避免发生一次变化现象,比较简单的办法是在使用主从 JK 触发器时,保证在 CP=1 期间,J、K 保持状态不变。

但是,要解决一次变化问题,仍应从电路结构上入手,让触发器只接收 CP 触发沿到来前一瞬间的输入信号。这种触发器称为边沿触发器。

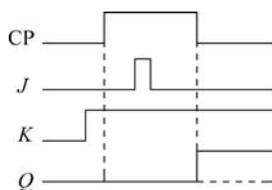


图 5.3.12 主从 JK 触发器的一次变化波形

### 5.3.4 维持-阻塞边沿 D 触发器

边沿触发器不仅将触发器的状态改变控制在 CP 跳变沿到来的一瞬间,而且将接收输入信号的时间也控制在 CP 跳变沿到来的前一瞬间。因此,边沿触发器既没有空翻现象,也没有一次变化问题,从而大大提高了触发器工作的可靠性和抗干扰能力。

边沿触发器也有多种结构,维持-阻塞型是其中常见的一种。下面以 D 触发器为例介绍维持-阻塞边沿触发器的工作原理。

#### 1. 维持-阻塞边沿 D 触发器的结构及工作原理

图 5.3.13(a)所示是 D 锁存器的逻辑图,它的缺点是在 CP=1 期间都能接收信号,即有空翻现象。为了克服空翻,并具有边沿触发器的特性,在图 5.3.13(a)电路的基础上引入三根反馈线 L<sub>1</sub>、L<sub>2</sub>、L<sub>3</sub>,如图 5.3.13(b)所示,其工作原理从以下两种情况分析。

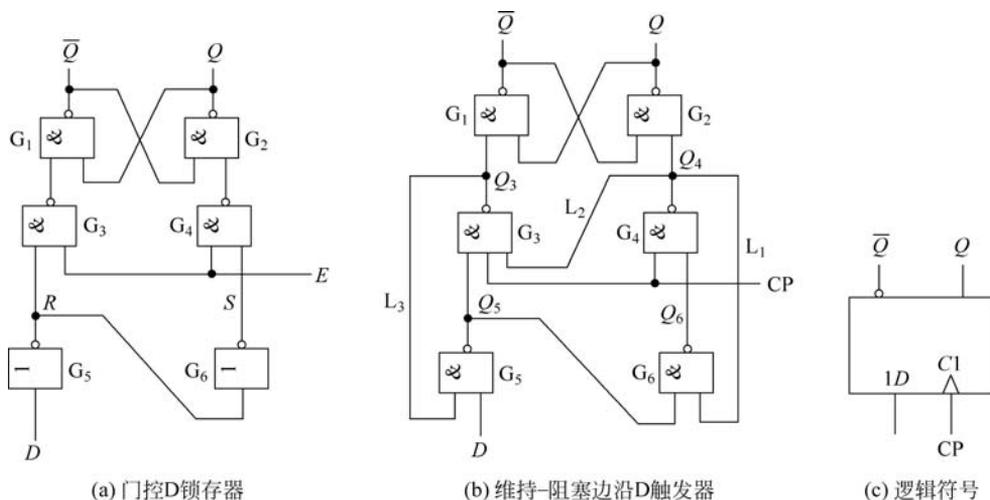


图 5.3.13 D 触发器

1) 输入  $D=1$ 

在  $CP=0$  时,  $G_3$ 、 $G_4$  被封锁,  $Q_3=1$ 、 $Q_4=1$ ,  $G_1$ 、 $G_2$  组成的基本 RS 触发器保持原状态不变。因  $D=1$ ,  $G_5$  输入全 1, 输出  $Q_5=0$ , 它使  $Q_3=1$ ,  $Q_6=1$ 。当  $CP$  由 0 变 1 时,  $G_4$  输入全 1, 输出  $Q_4$  变为 0。继而,  $Q$  翻转为 1,  $\bar{Q}$  翻转为 0, 完成了使触发器翻转为 1 状态的全过程。同时, 一旦  $Q_4$  变为 0, 通过反馈线  $L_1$  封锁了  $G_6$  门, 这时如果  $D$  信号由 1 变为 0, 只会影响  $G_5$  的输出, 不会影响  $G_6$  的输出, 维持了触发器的 1 状态。因此, 称  $L_1$  线为置 1 维持线。同理,  $Q_4$  变 0 后, 通过反馈线  $L_2$  也封锁了  $G_3$  门, 从而阻塞了置 0 通路, 故称  $L_2$  线为置 0 阻塞线。

2) 输入  $D=0$ 

在  $CP=0$  时,  $G_3$ 、 $G_4$  被封锁,  $Q_3=1$ 、 $Q_4=1$ ,  $G_1$ 、 $G_2$  组成的基本 RS 触发器保持原状态不变。因  $D=0$ ,  $Q_5=1$ ,  $G_6$  输入全 1, 输出  $Q_6=0$ 。当  $CP$  由 0 变 1 时,  $G_3$  输入全 1, 输出  $Q_3$  变为 0。继而,  $\bar{Q}$  翻转为 1,  $Q$  翻转为 0, 完成了使触发器翻转为 0 状态的全过程。同时, 一旦  $Q_3$  变为 0, 通过反馈线  $L_3$  封锁了  $G_5$  门, 这时无无论  $D$  信号再怎么变化, 也不会影响  $G_5$  的输出, 从而维持了触发器的 0 状态。因此, 称  $L_3$  线为置 0 维持线。

可见, 维持-阻塞触发器是利用了维持线和阻塞线, 将触发器的触发翻转控制在  $CP$  上升沿到来的一瞬间, 并接收  $CP$  上升沿到来前一瞬间的  $D$  信号。维持-阻塞 D 触发器的逻辑符号如图 5.3.13(c) 所示, 图中  $C1$  端的“ $\wedge$ ”表示边沿触发, 没有小圆圈表示在  $CP$  上升沿触发。

## 2. D 触发器的逻辑功能

D 触发器只有一个触发输入端  $D$ , 功能表如表 5.3.7 所示。

表 5.3.7 D 触发器的功能表

$D$	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	输出状态与 $D$ 状态相同
0	1	0	
1	0	1	
1	1	1	

D 触发器的特性方程为:  $Q^{n+1}=D$ 。

D 触发器的状态转换图如图 5.3.14 所示。驱动表如表 5.3.8 所示。

表 5.3.8 D 触发器的驱动表

$Q^n \rightarrow Q^{n+1}$	$D$
0 0	0
0 1	1
1 0	0
1 1	1

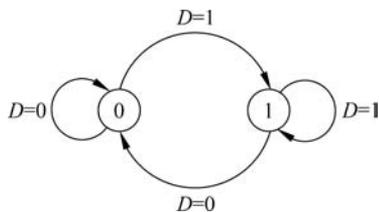


图 5.3.14 D 触发器的状态转换图

**例 5.3.3** 维持-阻塞 D 触发器如图 5.3.13(b) 所示, 设初始状态为 0, 已知输入  $D$  的波形图如图 5.3.15 所示, 画出输出  $Q$  的波形图。

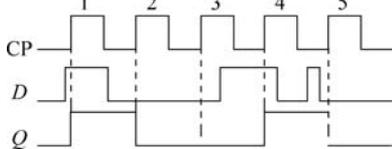


图 5.3.15 例 5.3.3 波形图

解: 由于是边沿触发器, 在波形图时, 应注意以下两点:

(1) 触发器的触发翻转发生在时钟脉冲的跳变沿(这里是上升沿)。

(2) 判断触发器次态的依据是时钟脉冲跳变沿前一瞬间(这里是上升沿前一瞬间)输入端的状态。

根据 D 触发器的功能表或特性方程或状态转换图可画出输出端  $Q$  的波形图如图 5.3.15 所示。

### 3. 触发器的直接置 0 和置 1 端

实际的集成触发器除了有时钟脉冲输入端和触发输入端以外, 还有两个非常有用的输入端, 一个是直接置 0 端  $R_D$ , 一个是直接置 1 端  $S_D$ 。图 5.3.16(a) 所示为带有  $R_D$  和  $S_D$  端的维持-阻塞 D 触发器, 图 5.3.16(b) 为逻辑符号。

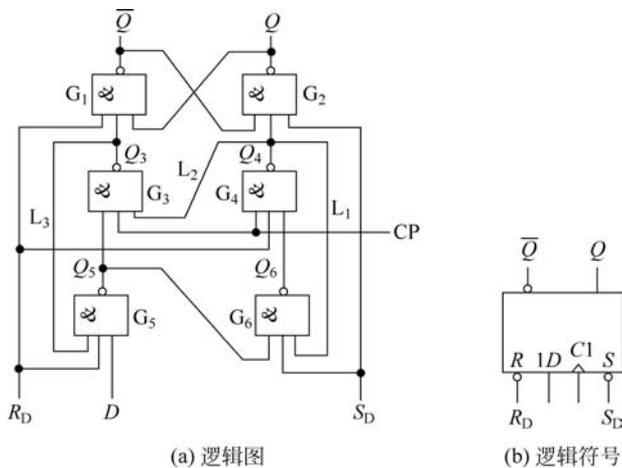


图 5.3.16 带有  $R_D$  和  $S_D$  端的维持-阻塞 D 触发器

由图 5.3.16 可以分析出,  $R_D$  和  $S_D$  端都为低电平有效, 当  $R_D = S_D = 1$  时, 触发器正常工作。当输入  $R_D = 0, S_D = 1$  时,  $G_1$  输出  $\bar{Q} = 1$ 。同时  $Q_5 = 1, Q_4 = 1, G_2$  输入全 1, 输出  $Q = 0$ , 使触发器置 0。显然, 这种置 0 方式与  $D$  信号无关, 与  $CP$  的有无也没有关系, 故称为直接置 0。同理, 当输入  $S_D = 0, R_D = 1$  时, 则输出  $Q = 1, \bar{Q} = 0$ , 使触发器置 1。显然, 这种置 1 方式也与  $D$  信号和  $CP$  无关, 故称为直接置 1。

总之,  $R_D$  和  $S_D$  信号不受时钟信号  $CP$  的制约, 具有最高的优先级。  $R_D$  和  $S_D$  的作用主要是给触发器设置初始状态, 或对触发器的状态进行特殊的控制。在使用时要注意,  $R_D$  和  $S_D$  任何时刻只能一个信号有效, 不能同时有效。



### 5.3.5 利用传输延迟的边沿 JK 触发器

#### 1. 电路结构

利用传输延迟的边沿 JK 触发器的逻辑图如图 5.3.17(a) 所示。图中  $G_1$ 、 $G_2$  两个与非门交叉耦合组成基本 RS 锁存器,  $G_3$ 、 $G_4$  为输入信号接收门。在制造工艺上, 保证与非门  $G_3$ 、 $G_4$  的传输延迟时间比与门 A、D 长, 边沿触发器正是巧妙地利用了这一时间差。图 5.3.17(b) 为其逻辑符号, 图中输入 C1 端的“ $\wedge$ ”表示边沿触发, 小圆圈表示下降沿触发。

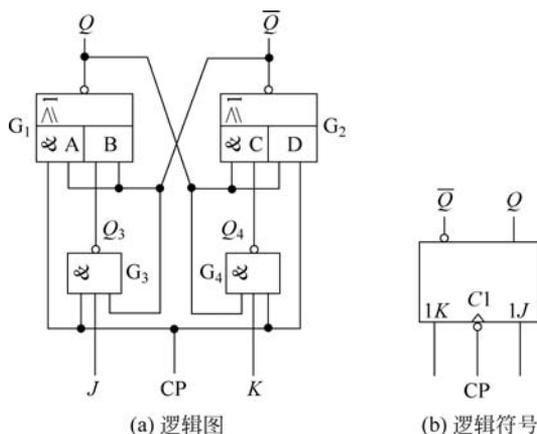


图 5.3.17 利用传输延迟的边沿 JK 触发器

#### 2. 工作原理

边沿 JK 触发器的逻辑功能与主从 JK 触发器完全一样, 下面以  $J=1, K=0$ , 原状态  $Q=0, \bar{Q}=1$  为例来说明边沿触发器的工作原理。

(1)  $CP=0$  时, 触发器的状态不变

$CP=0$  时,  $G_3$ 、 $G_4$  被封锁,  $Q_3=1$ 、 $Q_4=1$ , 同时与门 A 和 D 也被封锁, 因此, 触发器保持原状态不变。

(2)  $CP$  由 0 变 1 时, 触发器状态不变, 为接收输入信号做准备

由于  $CP=0$  时, 触发器的原状态为  $Q=0, \bar{Q}=1$ , 当  $CP$  由 0 变为 1 时, 打开了 A、D 门, 首先与门 A 输入全 1, 不论与门 B 输入为何状态, 输出  $Q$  仍为 0。由于  $Q=0$  同时加到与门 C 和 D 的输入端, 所以输出  $\bar{Q}$  仍为 1, 触发器保持原状态不变。

在  $CP$  由 0 变为 1, 打开 A、D 门的同时, 也打开了  $G_3$ 、 $G_4$ , 为接收输入信号  $J$ 、 $K$  做好了准备。如现在  $J=1, K=0$ , 则  $G_3$  门输入全 1,  $Q_3=0$ ;  $G_4$  门输入有 0,  $Q_4=1$ 。信号被  $G_3$ 、 $G_4$  门接收。

(3)  $CP$  由 1 变 0 时, 触发器翻转

在  $CP$  由 1 变 0 时, 首先封锁了 A、D 门, 由于  $Q_3=0, Q_4=1$ , 与门 A、B 的输入端全

为 0, 输出  $Q$  翻转为 1; 因此与门 C 输入全 1, 使  $\bar{Q}$  翻转为 0。触发器完成了由 0 状态翻转为 1 状态的全过程。

虽然在 CP 变 0 后,  $G_3$ 、 $G_4$  门也同时封锁,  $Q_3=Q_4=1$ , 但由于与非门  $G_3$ 、 $G_4$  的延迟时间比与门 A、D 长, 因此  $Q_3$ 、 $Q_4$  的这一新状态的稳定是在触发器翻转之后, 所以不会影响触发器的输出状态。而 CP 一旦变 0, 则将触发器封锁, 处于稳定状态。

综上所述, 边沿触发器是利用了门电路传输延迟时间的差异, 将触发器的触发翻转控制在 CP 下降沿到来的一瞬间, 并接收 CP 下降沿到来前一瞬间的  $J$ 、 $K$  信号。

### 5.3.6 CMOS 主从结构的边沿触发器

#### 1. 电路结构

图 5.3.18 所示是用 CMOS 逻辑门和 CMOS 传输门组成的主从 D 触发器。图中,  $G_1$ 、 $G_2$  和  $TG_1$ 、 $TG_2$  组成主锁存器,  $G_3$ 、 $G_4$  和  $TG_3$ 、 $TG_4$  组成从锁存器。CP 和  $\bar{CP}$  为互补的时钟脉冲。由于引入了传输门, 因此该电路虽为主从结构, 却没有一次变化问题, 具有边沿触发器的特性。

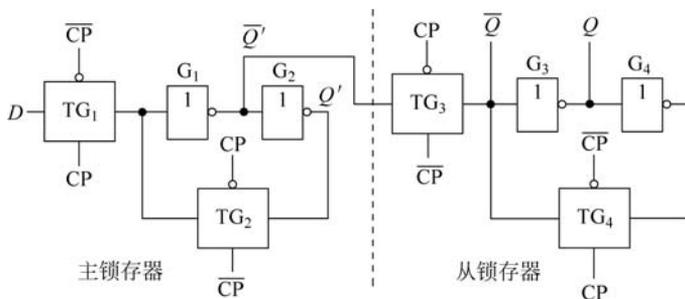


图 5.3.18 CMOS 主从结构的边沿 D 触发器

#### 2. 工作原理

触发器的触发翻转分为两个节拍。

(1) 当 CP 变为 1 时, 则  $\bar{CP}$  变为 0。这时  $TG_1$  开通,  $TG_2$  关闭。主锁存器接收输入端  $D$  的信号。设  $D=1$ , 经  $TG_1$  传到  $G_1$  的输入端, 使  $\bar{Q}'=0$ 、 $Q'=1$ 。同时,  $TG_3$  关闭, 切断了主、从两个锁存器间的联系,  $TG_4$  开通, 从锁存器保持原状态不变。

(2) 当 CP 由 1 变为 0 时, 则  $\bar{CP}$  变为 1。这时  $TG_1$  关闭, 切断了  $D$  信号与主锁存器的联系, 使  $D$  信号不再影响触发器的状态, 而  $TG_2$  开通, 将  $G_1$  的输入端与  $G_2$  的输出端连通, 使主锁存器保持原状态不变。与此同时,  $TG_3$  开通,  $TG_4$  关闭, 将主锁存器的状态  $\bar{Q}'=0$  入从锁存器, 使  $\bar{Q}=0$ , 经  $G_3$  反相后, 输出  $Q=1$ 。至此完成了整个触发翻转的全过程。

可见, 该触发器是在利用 4 个传输门交替地开通和关闭将触发器的触发翻转控制在 CP 下跳沿到来的一瞬间, 并接收 CP 下跳沿到来前一瞬间的  $D$  信号。



动画

如果将传输门的控制信号 CP 和  $\overline{CP}$  互换, 可使触发器变为 CP 上升沿触发。

同样, 集成的 CMOS 边沿触发器一般也具有直接置 0 端  $R_D$  和直接置 1 端  $S_D$ , 如图 5.3.19(a) 所示, 图 5.3.19(b) 为逻辑符号。注意, 该电路的  $R_D$  和  $S_D$  端都为高电平有效, 其工作原理请读者自行分析。

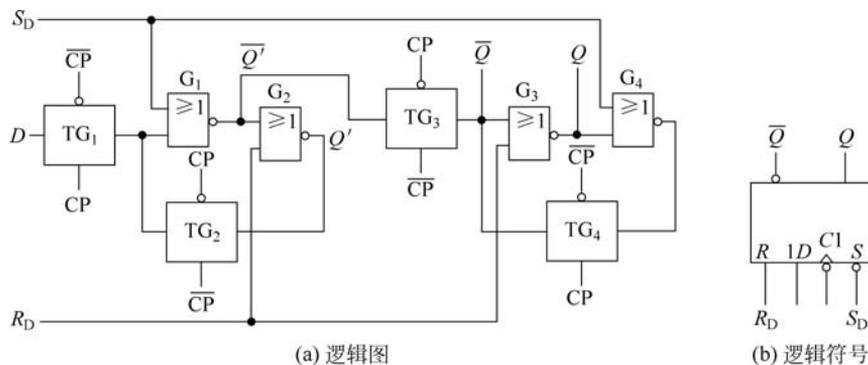


图 5.3.19 带有  $R_D$  和  $S_D$  端的 CMOS 边沿触发器

## 5.4 集成锁存器与集成触发器

### 5.4.1 集成锁存器与集成触发器举例

#### 1. 带三态缓冲输出的 TTL 锁存器 74LS373

74LS373 是一款常用的锁存器芯片, 由 8 个并行的、带三态缓冲输出的 D 锁存器构成, 其逻辑符号和引脚排列分别如图 5.4.1(a) 和图 5.4.1(b) 所示。它的 1 脚是输出使能端 (OE), 是低电平有效, 当 OE 是高电平时, 三态门处于高阻态, 不管输入  $D_0 \sim D_7$  如何, 也不管 11 脚 (锁存器控制端 LE) 如何, 输出  $O_0 \sim O_7$  全部呈现高阻状态; 当 OE 是低电平时, 三态门处于正常工作状态, 若 LE 为高电平, 则输出  $O_0 \sim O_7$  呈现输入  $D_0 \sim D_7$  的状态, 若 LE 为低电平, 则输出保持原状态不变。74LS373 的功能表如表 5.4.1 所示。

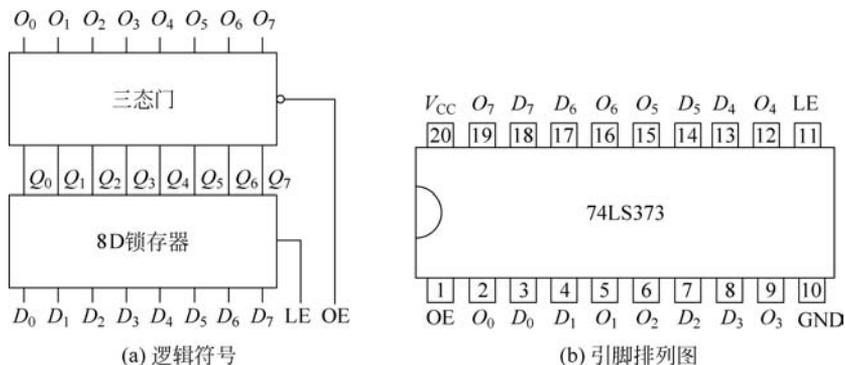


图 5.4.1 TTL 锁存器 74LS373

表 5.4.1 74LS373 的功能表

输 入			输 出
$D_n$	LE	OE	$O_n$
0	1	0	0
1	1	0	1
×	0	0	保持
×	×	1	高阻态

### 2. TTL 主从 JK 触发器 74LS72

74LS72 为多输入端的单 JK 触发器,其逻辑符号和引脚排列分别如图 5.4.2(a)和图 5.4.2(b)所示。它有 3 个  $J$  端和 3 个  $K$  端,3 个  $J$  端之间是与逻辑关系,3 个  $K$  端之间也是与逻辑关系,即  $1J = J_1 \cdot J_2 \cdot J_3, 1K = K_1 \cdot K_2 \cdot K_3$ 。使用中如有多余的输入端,应将其接高电平。该触发器带有直接置 0 端  $R_D$  和直接置 1 端  $S_D$ ,都为低电平有效,不用时应接高电平。74LS72 为主从型触发器,CP 下降沿触发。74LS72 的功能表如表 5.4.2 所示。

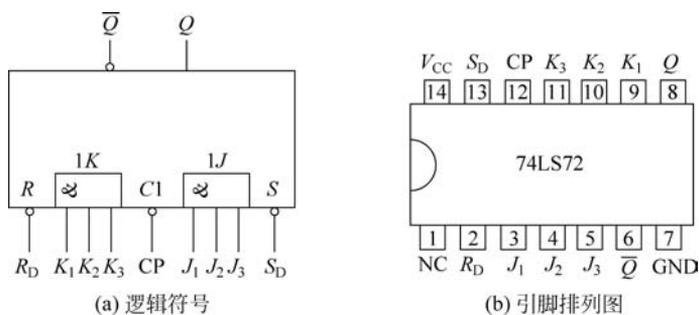


图 5.4.2 TTL 主从 JK 触发器 74LS72

表 5.4.2 74LS72 的功能表

输 入					输 出	
$R_D$	$S_D$	CP	1J	1K	Q	$\bar{Q}$
0	1	×	×	×	0	1
1	0	×	×	×	1	0
1	1	↓	0	0	$Q^n$	$\bar{Q}^n$
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	$\bar{Q}^n$	$Q^n$

### 3. 高速 CMOS 边沿 D 触发器 74HC74

74HC74 为单输入端的双 D 触发器。一个芯片里封装着两个相同的 D 触发器,每个

触发器只有一个  $D$  端, 它们都带有直接置 0 端  $R_D$  和直接置 1 端  $S_D$ , 为低电平有效。CP 上升沿触发。74HC74 的逻辑符号和引脚排列分别如图 5.4.3(a)、(b) 所示, 其功能表如表 5.4.3 所示。

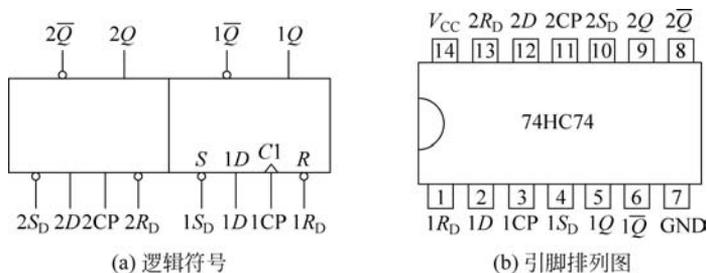


图 5.4.3 高速 CMOS 边沿 D 触发器 74HC74

表 5.4.3 74HC74 的功能表

输 入				输 出	
$R_D$	$S_D$	CP	$D$	$Q$	$\bar{Q}$
0	1	×	×	0	1
1	0	×	×	1	0
1	1	↑	0	0	1
1	1	↑	1	1	0

## 5.4.2 触发器功能的转换

触发器按功能分有 RS、JK、D、T、 $T'$  五种类型, 但最常见的集成触发器是 JK 触发器和 D 触发器。T、 $T'$  触发器没有集成产品, 如需要时, 可用其他触发器转换成 T 或  $T'$  触发器。JK 触发器与 D 触发器的功能也是可以互相转换的。下面举例说明不同逻辑功能的触发器相互转换的方法。

### 1. 用 JK 触发器转换成其他功能的触发器

#### (1) JK → D

写出 JK 触发器的特性方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (5.4.1)$$

再写出 D 触发器的特性方程并变换成与式(5.4.1)相似的形式:

$$Q^{n+1} = D = D(\bar{Q}^n + Q^n) = D\bar{Q}^n + DQ^n \quad (5.4.2)$$

联立式(5.4.2)与式(5.4.1), 得  $J = D, K = \bar{D}$ 。

画出用 JK 触发器转换成 D 触发器的逻辑图, 如图 5.4.4(a) 所示。

(2) JK→T(T')

写出 T 触发器的特性方程:

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n \quad (5.4.3)$$

联立式(5.4.3)与式(5.4.1),得:  $J = T, K = T$ 。

画出用 JK 触发器转换成 T 触发器的逻辑图,如图 5.4.4(b)所示。

令  $T=1$ ,即可得 T'触发器,如图 5.4.4(c)所示。

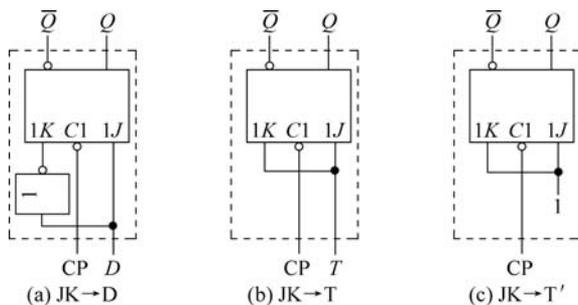


图 5.4.4 JK 触发器转换成其他功能的触发器

2. 用 D 触发器转换成其他功能的触发器

(1) D→JK

写出 D 触发器和 JK 触发器的特性方程

$$Q^{n+1} = D$$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

联立两式,得  $D = J\bar{Q}^n + \bar{K}Q^n$ 。

画出用 D 触发器转换成 JK 触发器的逻辑图,如图 5.4.5(a)所示。

(2) D→T

写出 D 触发器和 T 触发器的特性方程

$$Q^{n+1} = D$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

联立两式,得  $D = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n$ 。

画出用 D 触发器转换成 T 触发器的逻辑图,如图 5.4.5(b)所示。

(3) D→T'

写出 D 触发器和 T'触发器的特性方程

$$Q^{n+1} = D$$

$$Q^{n+1} = \bar{Q}^n$$

联立两式,得  $D = \bar{Q}^n$

画出用 D 触发器转换成 T'触发器的逻辑图,如图 5.4.5(c)所示。

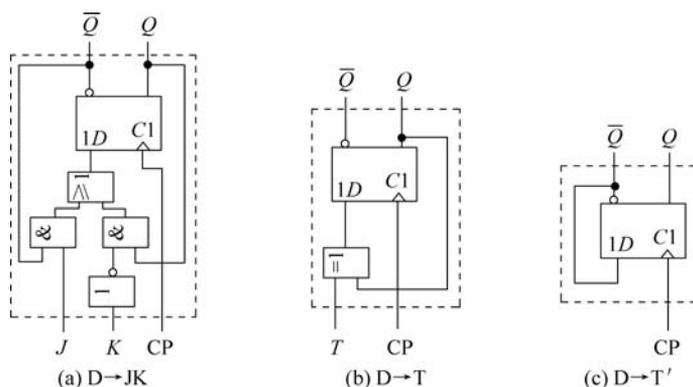


图 5.4.5 D 触发器转换成其他功能的触发器

### 5.4.3 触发器动态特性

触发器的动态特性是指触发器对时钟脉冲、输入信号以及它们之间相互配合的时间关系的要求。下面以维持-阻塞 D 触发器为例说明触发器的动态特性。

首先,在图 5.3.13(b)所示的维持-阻塞 D 触发器电路中,当时钟脉冲 CP 到来之前,电路处于准备状态。这时,输入端 D 信号决定了  $G_5$ 、 $G_6$  门的输出。在 CP 上升沿到来时, $G_3$ 、 $G_4$  门将根据  $G_5$ 、 $G_6$  门的输出状态控制触发器翻转。因此在 CP 上升沿到达之前, $G_5$ 、 $G_6$  门必须要有稳定的输出状态。而从信号加到 D 端开始到  $G_5$ 、 $G_6$  门的输出稳定下来,需要经过一段时间,把这段时间称为触发器的建立时间  $t_{\text{set}}$ 。即输入信号必须比 CP 脉冲早  $t_{\text{set}}$  时间到达。由图 5.3.13(b)可以看出,该电路的建立时间为两级与非门的延迟时间,即  $t_{\text{set}} = 2t_{\text{pd}}$ 。

其次,为使触发器可靠翻转,信号 D 还必须维持一段时间,把在 CP 触发沿到来后输入信号需要维持的时间称为触发器的保持时间  $t_{\text{H}}$ 。当  $D=0$  时,这个 0 信号必须维持到  $Q_3$  由 1 变 0 后将  $G_5$  封锁为止,若在此之前 D 变为 1,则  $Q_5$  变为 0,将引起触发器误触发。所以  $D=0$  时的保持时间  $t_{\text{H}} = 1t_{\text{pd}}$ 。当  $D=1$  时,CP 上升沿到达后,经过  $t_{\text{pd}}$  的时间  $Q_4$  变 0,将  $G_6$  封锁。但若 D 信号变化,传到  $G_6$  的输入端也同样需要  $t_{\text{pd}}$  的时间,所以  $D=1$  时的保持时间  $t_{\text{H}} = 0$ 。综合以上两种情况,取  $t_{\text{H}} = 1t_{\text{pd}}$ 。

另外,为保证触发器可靠翻转,CP=1 的状态也必须保持一段时间,直到触发器的  $Q$ 、 $\bar{Q}$  端电平稳定,这段时间称为触发器的维持时间  $t_{\text{CPH}}$ 。把从时钟脉冲触发沿开始到一个输出端由 0 变 1 所需的时间称为  $t_{\text{CPLH}}$ ;把从时钟脉冲触发沿开始到另一个输出端由 1 变 0 所需的时间称为  $t_{\text{CPHL}}$ 。由图 5.3.13(b)所示可以看出,该电路的  $t_{\text{CPLH}} = 2t_{\text{pd}}$ ,  $t_{\text{CPHL}} = 3t_{\text{pd}}$ ,所以触发器的  $t_{\text{CPH}} \geq t_{\text{CPLH}} = 3t_{\text{pd}}$ 。图 5.4.6 示出了上述几个时间参数的相互关系。

同理,其他结构的触发器也都有脉冲工作特性,读者可查阅有关参考资料。

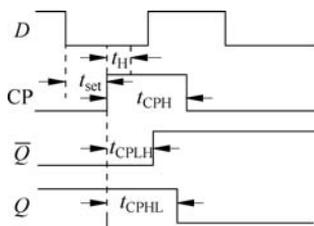


图 5.4.6 维持-阻塞 D 触发器的脉冲工作特性

### 5.4.4 锁存器与触发器应用举例

锁存器与触发器的应用非常广泛,是时序逻辑电路重要的组成部分,其典型应用将在第6章中做较详细的介绍。这里先举两例,使读者体会它们与组合逻辑电路的不同。

#### 1. 同步作用

大多数数字系统的动作都是同步的,即信号的改变在时钟的跳变沿。但有时候,系统中会有一个外部信号不与时钟同步,也就是异步信号。这种异步信号会产生不确定或不希望的结果。下面举例说明。

**例 5.4.1** 在图 5.4.7(a)所示电路中,A 信号是由手动开关产生的一个方波信号,用来控制时钟信号 B 能否通过与门。由于 A 是异步输入,它可以在任意时刻改变状态,所以在输出端就会得到不完整的时钟脉冲,如图 5.4.7(b)所示。

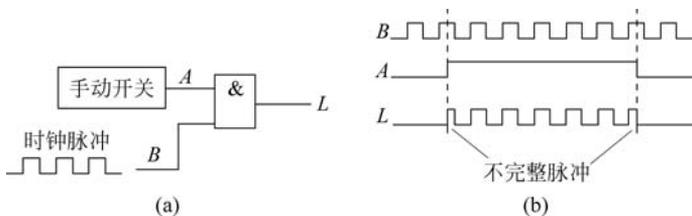


图 5.4.7 异步信号 A 产生不完整脉冲

为了防止在输出端产生不完整的脉冲,可在电路中接入一个下降沿触发的 D 触发器,如图 5.4.8(a)所示。当 A 变为高电平时,Q 要等到  $t_1$  时刻时钟的下降沿到来时才会变为高电平;当 A 返回低电平时,Q 要等到  $t_2$  时刻时钟的下降沿到来时才会变为低电平。这样 Q 信号的改变是与时钟下降沿同步的,输出端得到的就是完整的脉冲,如图 5.4.8(b)所示。

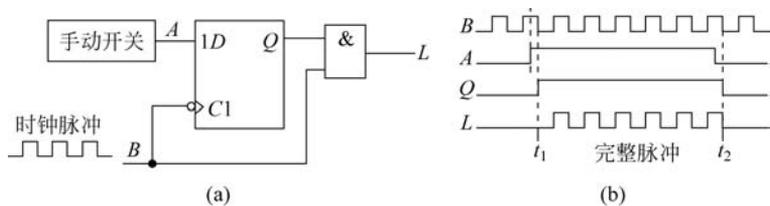


图 5.4.8 利用 D 触发器产生完整脉冲

#### 2. “记忆”作用

**例 5.4.2** 设计一个 3 人抢答电路。3 人 A、B、C 各控制一个按键开关  $K_A$ 、 $K_B$ 、 $K_C$  和一个发光二极管  $D_A$ 、 $D_B$ 、 $D_C$ 。谁先按下开关,谁的发光二极管亮,同时使其他人的抢答信号无效。

**解:** 用门电路组成的基本电路如图 5.4.9 所示。开始抢答前,三按键开关  $K_A$ 、 $K_B$ 、 $K_C$  均不按下,A、B、C 三信号都为 0, $G_A$ 、 $G_B$ 、 $G_C$  门的输出都为 1,三个发光二极管均不亮。开始抢答后,如  $K_A$  第一个被按下,则  $A=1$ , $G_A$  门的输出变为  $U_{OA}=0$ ,点亮发光二

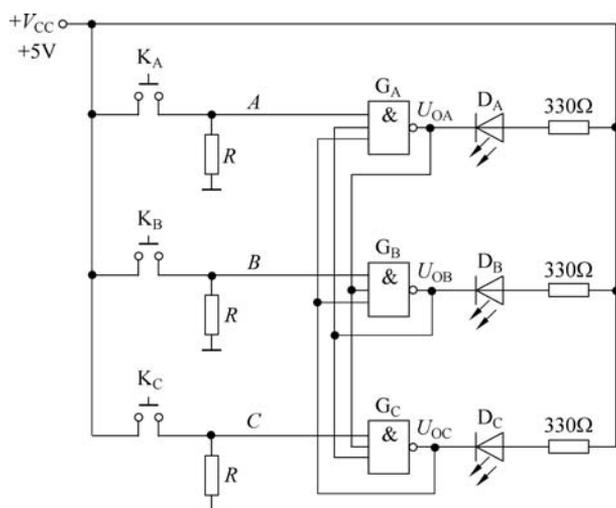


图 5.4.9 抢答电路的基本结构

极管  $D_A$ , 同时,  $U_{OA}$  的 0 信号封锁了  $G_B$ 、 $G_C$  门,  $K_B$ 、 $K_C$  再按下无效。

基本电路实现了抢答的功能, 但是该电路有一个很严重的缺陷: 当  $K_A$  第一个被按下后, 必须总是按着, 才能保持  $A=1$ 、 $U_{OA}=0$ , 禁止  $B$ 、 $C$  信号进入。如果  $K_A$  稍一放松, 就会使  $A=0$ 、 $U_{OA}=1$ ,  $B$ 、 $C$  的抢答信号就有可能进入系统, 造成混乱。要解决这一问题, 最有效的方法就是引入具有“记忆”功能的触发器。

用基本 RS 锁存器组成的电路如图 5.4.10 所示。其中  $K_R$  为复位键, 由裁判控制。开始抢答前, 先按一下复位键  $K_R$ , 即 3 个触发器的  $R$  信号都为 0, 使  $Q_A$ 、 $Q_B$ 、 $Q_C$  均置 0, 三个发光二极管均不亮。开始抢答后, 如  $K_A$  第一个被按下, 则  $FF_A$  的  $S=0$ , 使  $Q_A$  置 1,  $G_A$  门的输出变为  $U_{OA}=0$ , 点亮发光二极管  $D_A$ , 同时,  $U_{OA}$  的 0 信号封锁了  $G_B$ 、 $G_C$  门,  $K_B$ 、 $K_C$  再按下无效。

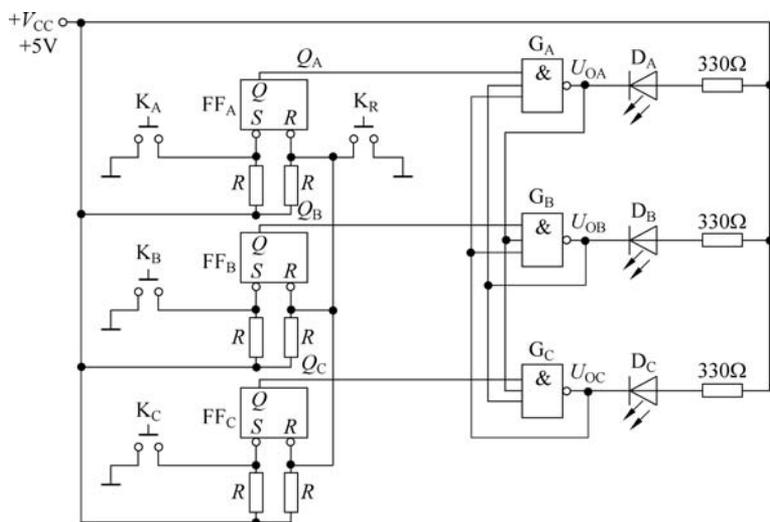


图 5.4.10 引入基本 RS 锁存器的抢答电路

该电路与图 5.4.9 功能一样,但由于使用了锁存器,按键开关只要按一下,锁存器就能记住这个信号。如  $K_A$  第一个被按下,则锁存器  $FF_A$  的  $S=0$ ,使  $Q_A$  置 1,然后松开  $K_A$ ,此时  $FF_A$  的  $S=R=1$ ,锁存器保持原状态,保持着刚才的  $Q_A=1$ ,直到裁判重新按下  $K_R$  键,新一轮抢答开始,这就是锁存器和触发器的“记忆”作用。

## 小结

1. 锁存器与触发器都有两个基本性质:(1)具有两种稳定状态(0 或 1 状态);(2)在一定的外加信号作用下,可从一个稳定状态转变到另一个稳定状态。这就使得锁存器与触发器能够记忆二进制信息 0 和 1,常被用作二进制存储单元。

2. 锁存器是触发器的一种。它或者直接由  $R$ 、 $S$  输入信号决定其输出状态,或者有一个使能端,在使能端有效期间改变状态。所以锁存器可以称为电平触发的触发器。

3. 触发器有一个时钟脉冲  $CP$  端,它中在时钟脉冲  $CP$  跳变沿(上升沿或下降沿)时改变输出状态,称为脉冲触发。集成触发器中  $CP$  端有小圆圈的为下降沿触发,没有小圆圈的为上升沿触发。

4. 根据逻辑功能的不同,触发器可分为以下几种:

$$(1) \text{ RS 触发器 } \begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \quad (\text{约束条件}) \end{cases}$$

$$(2) \text{ JK 触发器 } \quad Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$(3) \text{ D 触发器 } \quad Q^{n+1} = D$$

$$(4) \text{ T 触发器 } \quad Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

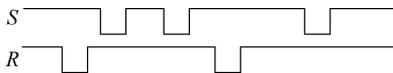
$$(5) \text{ T' 触发器 } \quad Q^{n+1} = \bar{Q}^n$$

5. 触发器的逻辑功能可以用功能表、特性方程、驱动表、状态转换图和波形图(又称时序图)等方法来描述。利用特性方程可以实现不同功能触发器间逻辑功能的相互转换。

6. 触发器有主从、维持-阻塞等多种结构。同一电路结构的触发器可以有不同的逻辑功能,同一逻辑功能的触发器可以用不同的电路结构来实现。

## 习题

5.1 将题图 5.1 所示的输入波形加在图 5.2.1(a)所示基本 RS 锁存器上,试画出输出  $Q$  和  $\bar{Q}$  端的波形(设初始状态为  $Q=0$ )。



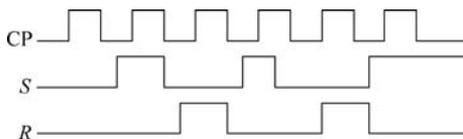
题图 5.1

5.2 将题图 5.2 所示的输入波形加在图 5.2.3(a) 所示基本 RS 锁存器上, 试画出输出  $Q$  和  $\bar{Q}$  端的波形(设初始状态为  $Q=0$ )。



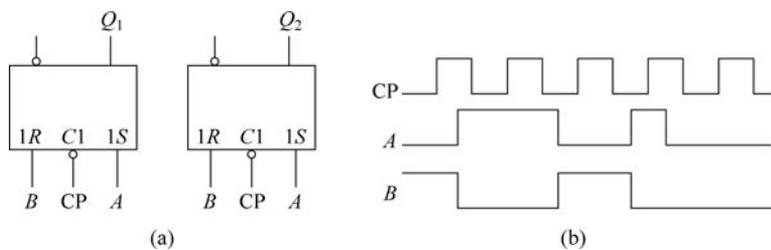
题图 5.2

5.3 设图 5.2.5(a) 所示电路的初始状态为  $Q=0$ ,  $R$ 、 $S$  端和 CP 端的输入信号如题图 5.3 所示, 试画出该门控 RS 触发器相应的  $Q$  和  $\bar{Q}$  端的波形。



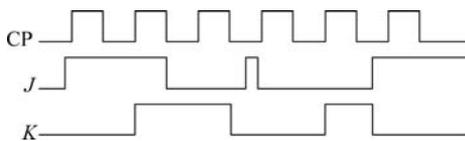
题图 5.3

5.4 下降沿触发和上升沿触发两种触发方式的主从 RS 触发器的逻辑符号及 CP、 $A$ 、 $B$  的波形如题图 5.4 所示, 分别画出它们的  $Q$  端的波形(设初始状态为  $Q=0$ )。



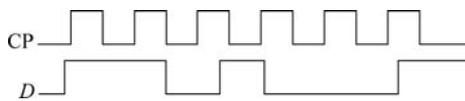
题图 5.4

5.5 设主从 JK 触发器的初始状态为 0, CP、 $J$ 、 $K$  信号如题图 5.5 所示, 试画出触发器  $Q$  端的波形。



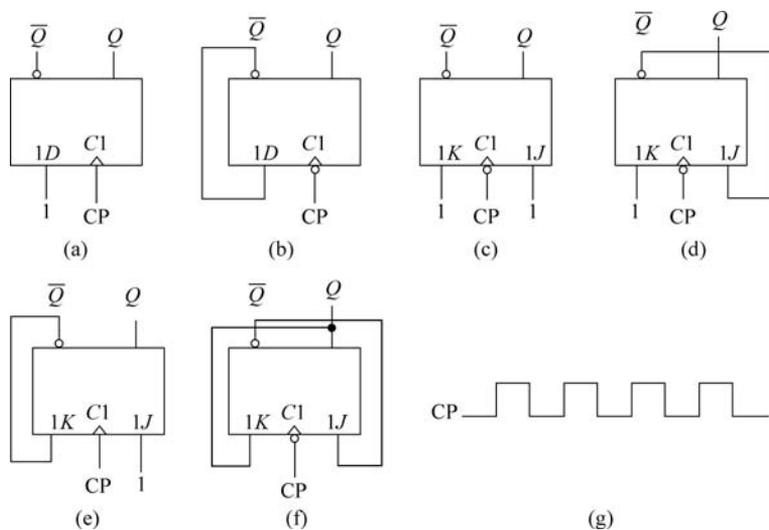
题图 5.5

5.6 设维持-阻塞 D 触发器的初始状态为 0, CP、 $D$  信号如题图 5.6 所示, 试画出触发器  $Q$  端的波形。



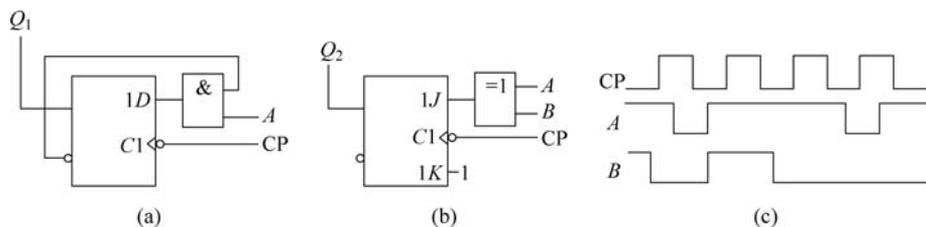
题图 5.6

5.7 电路如题图 5.7 所示, 设各触发器的初态为 0, 画出在 CP 脉冲作用下 Q 端的波形。



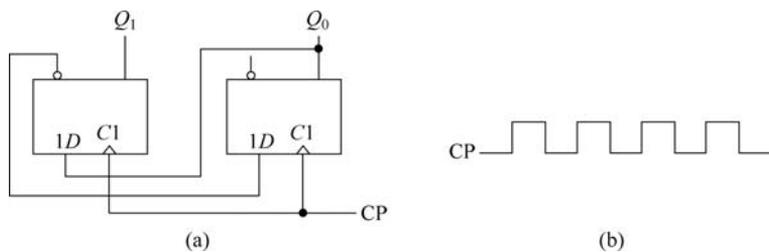
题图 5.7

5.8 电路如题图 5.8 所示, 已知 CP 和 A、B 的波形, 试画出  $Q_1$  和  $Q_2$  的波形。设触发器的初始状态均为 0。



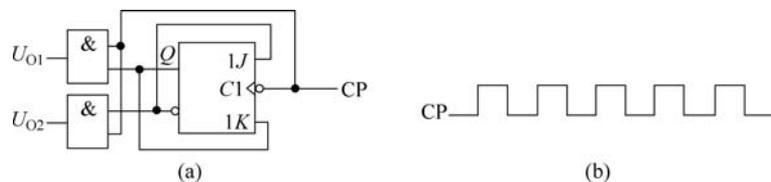
题图 5.8

5.9 电路如题图 5.9 所示, 试画出在 CP 作用下  $Q_0$  和  $Q_1$  端的输出波形。设触发器的初始状态为  $Q_0=Q_1=0$ 。



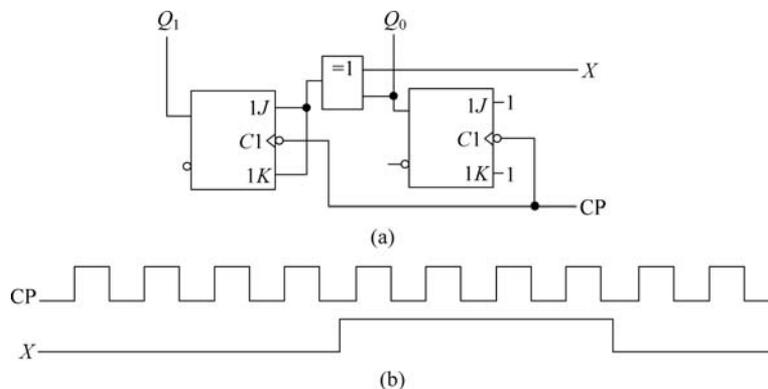
题图 5.9

5.10 如题图 5.10 所示电路是一个两相时钟源。试画出在 CP 作用下  $Q$ 、 $\bar{Q}$ 、 $U_{O1}$ 、 $U_{O2}$  的波形。设触发器的初始状态为 0。



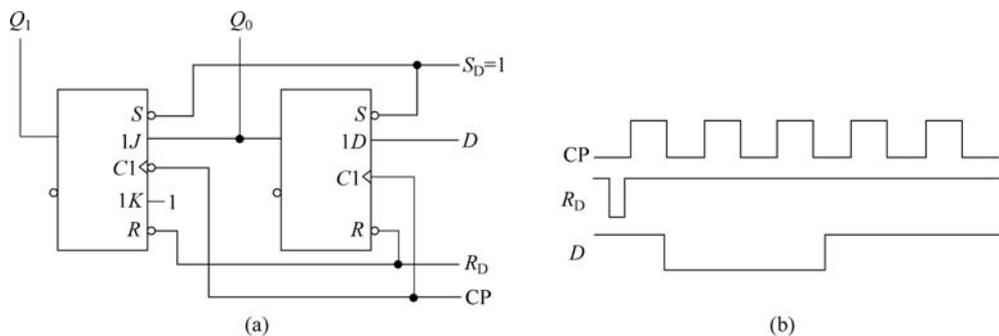
题图 5.10

5.11 电路如题图 5.11 所示,已知 CP 和 X 的波形,试画出  $Q_0$  和  $Q_1$  的波形。设触发器的初始状态均为 0。



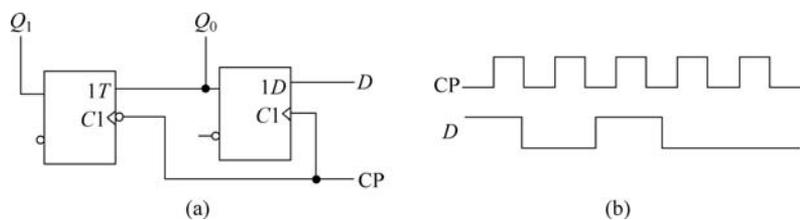
题图 5.11

5.12 电路如题图 5.12 所示,已知 CP、 $R_D$  和  $D$  的波形,试画出  $Q_0$  和  $Q_1$  的波形。设触发器的初始状态均为 1。



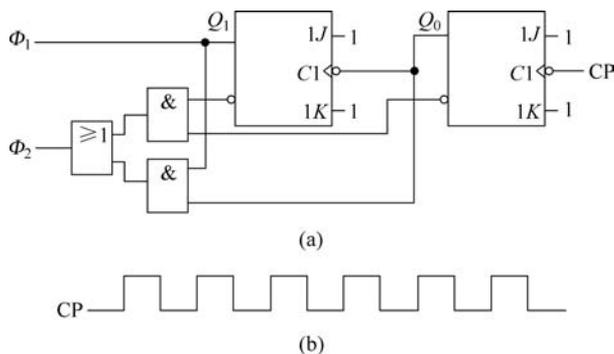
题图 5.12

5.13 电路如题图 5.13 所示,已知 CP 和  $D$  的波形,试画出  $Q_0$  和  $Q_1$  的波形。设触发器的初始状态均为 0。



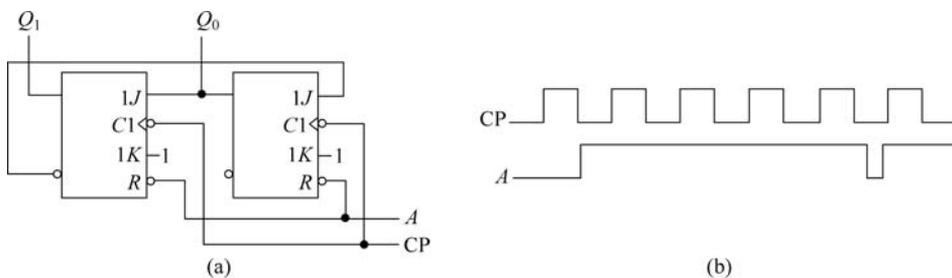
题图 5.13

5.14 两相脉冲产生电路如题图 5.14 所示,试画出在 CP 作用下  $\Phi_1$ 、 $\Phi_2$  的波形,并说明  $\Phi_1$ 、 $\Phi_2$  的相位差。各触发器的初始状态为 0。



题图 5.14

5.15 逻辑电路如题图 5.15 所示,已知 CP 和 A 的波形,画出触发器  $Q_0$ 、 $Q_1$  端的波形,设触发器的初始状态为 0。

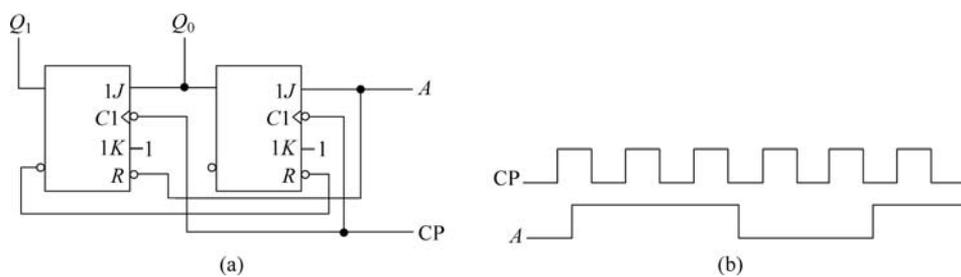


题图 5.15

5.16 逻辑电路如题图 5.16 所示,已知 CP 和 A 的波形,画出触发器  $Q_0$ 、 $Q_1$  端的波形,设触发器的初始状态为 0。

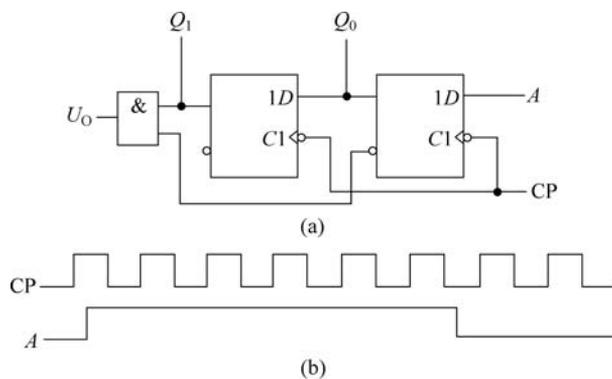
5.17 一个触发器的特性方程为  $Q^{n+1} = X \oplus Y \oplus Q^n$ , 试分别用下列两种触发器实现这种触发器的功能。

- (1) JK 触发器;
- (2) D 触发器。



题图 5.16

5.18 电路如题图 5.18 所示,已知 CP 和 A 的波形,画出触发器  $Q_0$ 、 $Q_1$  及输出  $U_0$  的波形。设触发器的初始状态均为 0。



题图 5.18