

## 第 5 章

# 锁存器与触发器

### [主要教学内容]

1. 锁存器：SR 锁存器和 D 锁存器。
2. 触发器的电路结构和工作原理：主从触发器、维持阻塞触发器和利用传输延时的触发器。
3. D 触发器、JK 触发器、T 触发器、SR 触发器、D 触发器的逻辑功能及功能转换。

### [教学目的和要求]

1. 了解锁存器和触发器的电路结构和工作原理。
2. 掌握 SR 锁存器、JK 触发器、D 触发器及 T 触发器的逻辑功能。
3. 正确理解锁存器和触发器的动态特性。

## 5.1 概 述

前面介绍的各种组合逻辑电路虽然逻辑功能不同,但有一个共同点,即某一时刻的输出仅仅由该时刻的输入决定,而与该时刻以前电路的状态没有关系。

从本章开始学习时序逻辑电路(Sequential Logic Circuit)。时序电路的特征是输出不仅和当前的输入有关,而且也以前的状态有关。换句话说,即使当前的输入是相同的,但由于以前的状态不同,输出也可能不同。因此这类电路必须含有存储电路,以记录以前的状态。

目前在半导体存储器中采用的存储单元有锁存器(Latch)和触发器(Flip-flop)两类。

为了存储一位二进制信息,存储单元都必须具有两个能自行保持的稳定状态,分别用以记忆 1 和 0。同时,还必须能按照输入信号的要求置 1 或 0 状态。这是所有存储单元都必须具备的基本特性。

### 5.1.1 锁存器与触发器

锁存器和触发器是能存放一位二进制数的最简单的时序电路,是时序逻辑电路的存储单元电路。

锁存器和触发器的共同点包括:

(1) 具有 0 和 1 两个稳定状态,一旦状态被确定,就能自行保持。一个锁存器或触发器能存储一位二进制码。

(2) 能根据输入置 0 或置 1。

(3) 当输入信号消失后,获得的新状态能保持下去,即具有记忆功能。

锁存器和触发器的不同点包括:

(1) 锁存器指对脉冲电平敏感的存储电路在特定输入脉冲电平作用下会改变状态。

(2) 触发器指对脉冲边沿敏感的存储电路在时钟脉冲的上升沿或下降沿的变化瞬间会改变状态,可参考图 5-1。

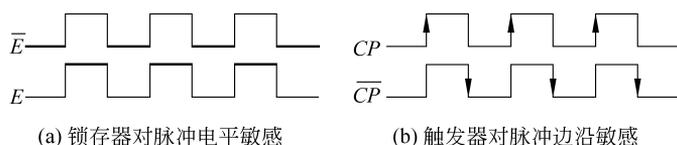


图 5-1 锁存器与触发器的比较

## 5.1.2 锁存器和触发器逻辑功能描述方法

锁存器和触发器逻辑功能描述方法主要包括特性表、特性方程、波形图和状态图等。

(1) 特性表。特性表又称真值表、功能表,但是与组合逻辑电路中的真值表不同的是变量中含电路的现态。

(2) 特性方程。特性方程是描述电路的次态与现态及输入之间的关系式。现态指输入信号作用前的状态,即现在状态,用  $Q^n$  表示。次态指输入信号作用后的状态,即下一状态,用  $Q^{n+1}$  表示。

(3) 波形图。波形图又称时序图,是直观描述输入信号、时钟信号、输出信号及电路状态转换与时间对应关系的图形。

(4) 状态图。状态图是描述锁存器和触发器的次态与输入、现态关系的图形。

## 5.1.3 双稳态存储单元电路

### 1. 电路结构

将两个非门  $G_1$  和  $G_2$  接成图 5-2 所示的交叉耦合形式,则构成最基本的双稳态电路。下面从逻辑角度对其特性进行分析。

### 2. 逻辑状态分析

从电路的逻辑关系可知,若  $Q=0$ ,由于非门  $G_2$  的作用,则使  $\bar{Q}=1$ , $\bar{Q}$  反馈到  $G_1$  输入端,又保证了  $Q=0$ 。由于两个非门首尾相连的逻辑锁定,因而电路能自行保持在  $Q=0$  和  $\bar{Q}=1$  的状态,形成第一种稳定状态。反之,若  $Q=1$ ,则  $\bar{Q}=0$ ,形成第二种稳定状态。在两种稳定状态中,输出端  $Q$  和  $\bar{Q}$  总是逻辑互补的。因为电路只存在这两种

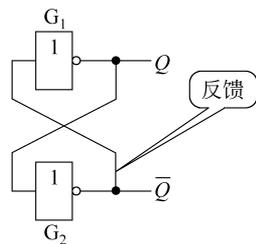


图 5-2 双稳态存储单元电路

可以长期保持的稳定状态,故称为双稳态存储单元电路。可以定义  $Q=0$  为电路的 0 状态,而当  $Q=1$  时则为 1 状态。电路接通电源后,可能随机进入其中一种状态,并能长期保持不变,因此,电路具有存储或记忆一位二进制数的功能。因为没有控制信号的输入,所以无法确定图 5-2 所示电路在通电后究竟进入哪一种状态,也无法在运行中改变状态。

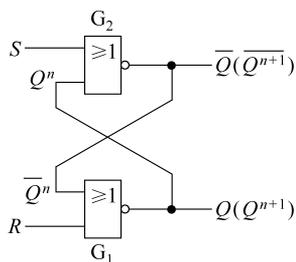
## 5.2 锁存器

锁存器和触发器是构成各种时序电路的存储单元电路,其共同特点是都具有 0 和 1 两种稳定状态,一旦状态被确定,就能自行保持,即长期保持一位二进制码,直到有外部信号作用时才有可能改变。锁存器是一种对脉冲电平敏感的存储单元电路,它们可以在特定输入脉冲电平作用下改变状态。而触发器则是一种对脉冲边沿敏感的存储电路,它们只有在作为触发信号的时钟脉冲上升沿或下降沿的变化瞬间才能改变状态。

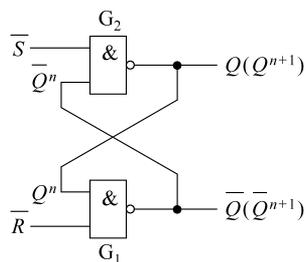
### 5.2.1 基本 SR 锁存器

#### 1. 电路结构

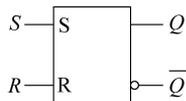
基本 SR 锁存器由两个或非门或两个与非门交叉形成,其结构分别如图 5-3(a)和图 5-3(b)所示。其中, S(Set)为置位端, R(Reset)为复位端。图 5-3(c)和图 5-3(d)分别为图 5-3(a)和图 5-3(b)两种结构的基本 SR 锁存器的国标逻辑符号。该电路的基本特点为电路的下一状态是其输入和现在状态的函数。



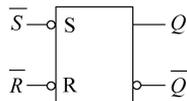
(a) 或非门构成的基本 SR 锁存器



(b) 与非门构成的基本 SR 锁存器



(c) 或非门构成的基本 SR 锁存器的国标逻辑符号



(d) 与非门构成的基本 SR 锁存器的国标逻辑符号

图 5-3 基本 SR 锁存器

由于或非门有 1 就输出 0, 1 信号起作用, 即 1 有效; 与非门有 0 就输出 1, 0 信号起作用, 即 0 有效。为统一两者取值关系, 在与非门组成的锁存器输入信号上加非号成  $\bar{S}$ 、 $\bar{R}$ , 并在逻辑符号上的 S、R 端加一小圆圈, 表示 0 有效。图 5-3(a)称为 SR 锁存器, 图 5-3(b)称为  $\bar{S}\bar{R}$  锁存器。

## 2. 原理

由图 5-3(a)和图 5-3(b)不难得出两种结构的锁存器具有下面相同的结论。

- (1) 当  $\left. \begin{matrix} S=0, R=0 \\ \bar{S}=1, \bar{R}=1 \end{matrix} \right\}$  时,  $Q^{n+1}=Q^n$  锁存器保持原状态。
- (2) 当  $\left. \begin{matrix} S=0, R=1 \\ \bar{S}=1, \bar{R}=0 \end{matrix} \right\}$  时,  $Q^{n+1}=0$  复位, 锁存器置 0。
- (3) 当  $\left. \begin{matrix} S=1, R=0 \\ \bar{S}=0, \bar{R}=1 \end{matrix} \right\}$  时,  $Q^{n+1}=1$  置位, 锁存器置 1。
- (4) 当  $\left. \begin{matrix} S=1, R=1 \\ \bar{S}=0, \bar{R}=0 \end{matrix} \right\}$  时, 或非门  $Q^{n+1}=0, \bar{Q}^{n+1}=0$ ; 与非门  $Q^{n+1}=1, \bar{Q}^{n+1}=1$ 。

此时:

- ① 破坏了输出端互补的逻辑关系。
  - ② 当  $S, R$  同时由  $1 \rightarrow 0$  ( $\bar{S}, \bar{R}$  由  $0 \rightarrow 1$ ), 两个门的延迟时间不同 ( $t_{pd1} \neq t_{pd2}$ ), 且谁大谁小具有随机性。当  $t_{pd1} < t_{pd2}$  时,  $Q^{n+1}=1$ ;  $t_{pd1} > t_{pd2}$  时,  $Q^{n+1}=0$ , 所以新状态不确定。
  - ③ 当  $S, R$  非同时由  $1 \rightarrow 0$  时, 若  $S$  先由  $1 \rightarrow 0$ ,  $Q^{n+1}=0$ ; 若  $R$  先由  $1 \rightarrow 0$ ,  $Q^{n+1}=1$ 。
- 综合以上情况, 基本 SR 锁存器不允许  $S=R=1$  出现, 即约束条件为  $S \cdot R=0$ 。

### 5.2.2 锁存器和触发器逻辑功能描述

下面以基本 SR 锁存器为例加以介绍。

#### 1. 特性表(功能表)

特性表为简化的真值表, 只列出输入与输出  $Q^{n+1}$  的对应关系, 多用于器件手册。基本 SR 锁存器的特性表如表 5-1 所示。

表 5-1 基本 SR 锁存器的特性表

S	R	$Q^{n+1}$	功能说明
0	0	$Q^n$	保持
0	1	0	置 0
1	0	1	置 1
1	1	×	不允许

特性表在形式上与组合逻辑电路的真值表相似, 左边是输入的各种组合, 右边是相应的输出状态。但这时输出状态取值中除了 0 和 1 之外还有反映现态的  $Q^n$ , 这也正体现出时序电路的特性。

根据表 5-1 画出卡诺图, 如图 5-4 所示。  $S=R=1$  为不允许输入, 在卡诺图中表现为任意项。

#### 2. 状态方程(特性方程)

将输入  $S, R, Q^n$  和  $Q^{n+1}$  之间的关系用函数式表示

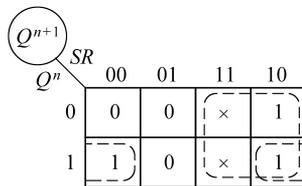


图 5-4 基本 SR 锁存器的卡诺图

出来,有如下两种方法。

(1) 化简图 5-4 所示的基本 SR 锁存器的卡诺图,可得:

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ R \cdot S = 0 \end{cases}$$

(2) 从电路图 5-3(a)中直接求得  $Q^{n+1} = R + \overline{S + Q^n} = \bar{R}(S + Q^n) = \bar{S}\bar{R} + \bar{R}Q^n$ , 由于有约束条件  $S \cdot R = 0$ , 在上式中加入一项  $SR$ , 可得:

$$\begin{cases} Q^{n+1} = \bar{S}\bar{R} + \bar{R}Q^n + RS = S + \bar{R}Q^n \\ R \cdot S = 0 \text{ (或非门) 或 } \bar{R} + \bar{S} = 1 \text{ (与非门)} \end{cases}$$

可见两种方法的结论相同,  $\bar{S}\bar{R}$  锁存器的状态方程和 SR 触发器是一致的。

### 3. 波形图(时序图)

锁存器输入信号和其输出  $Q$  之间对应关系的工作波形图称为时序图, 可直观地说明锁存器的特性。根据功能表就可由锁存器的现在状态及输入来决定锁存器的下一状态, 图 5-5 为基本 SR 锁存器的波形图, 设初始状态为  $Q_0 = 0$ , 图中虚线部分表示状态不确定。

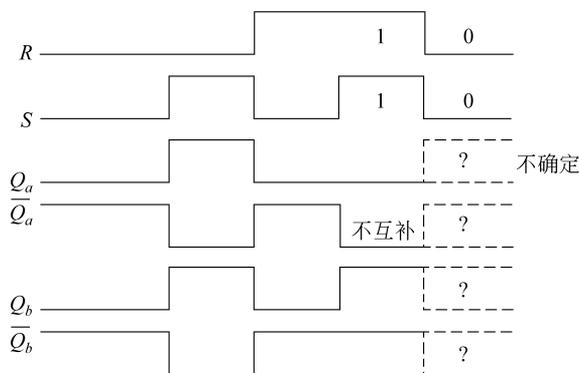
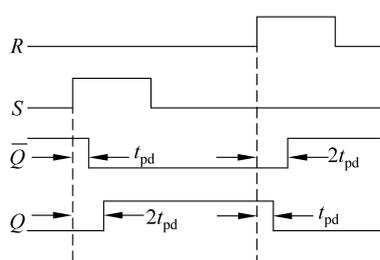


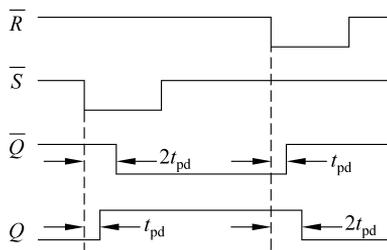
图 5-5 基本 SR 锁存器的波形图

$Q_a$ 、 $\bar{Q}_a$  和  $Q_b$ 、 $\bar{Q}_b$  分别表示或非门构成的 SR 锁存器和与非门构成的 SR 锁存器的输出信号。

正像所有逻辑电路都有延迟一样, SR 锁存器的输出对输入也有一定的延迟。设每个或非门(与非门)的延迟时间为  $t_{pd}$ , 则可以得到图 5-6(a)和图 5-6(b)的波形图。图 5-6(a)



(a) 带延迟的或非门基本锁存器的输出波形



(b) 带延迟的与非门基本锁存器的输出波形

图 5-6 考虑延迟的基本 SR 锁存器波形图

是带延迟的或非门基本锁存器的输出波形;图 5-6(b)是带延迟的与非门基本锁存器的输出波形。在图 5-6(a)中当  $S$  变为 1 时,经过一个  $t_{pd}$  后引起  $\bar{Q}$  的变化,再经过一个  $t_{pd}$  引起  $Q$  的变化。而在图 5-6(b)中,则是  $\bar{S}$  变为低电平后先引起  $Q$  的变化(延迟  $t_{pd}$ ),再经过一个  $t_{pd}$  后才引起  $\bar{Q}$  的变化。所以考虑到门延迟的影响,要保证基本 SR 锁存器有稳定的输出,输入信号的持续时间应大于  $2t_{pd}$ 。

**例 5-1** 已知基本 SR 锁存器(或非门构成) $S$ 、 $R$  端的输入波形如图 5-7(a)所示,试画出输出端  $Q$ 、 $\bar{Q}$  的波形。

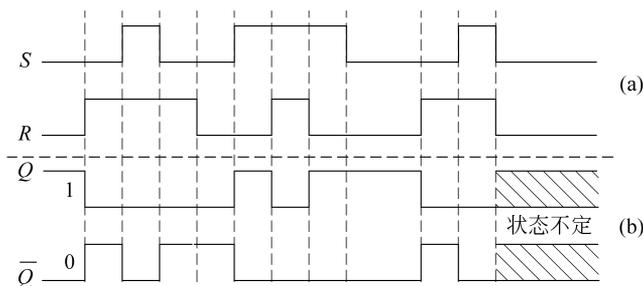


图 5-7 例 5-1 的波形

**解:** 根据基本 SR 锁存器的特性表,得到输出端  $Q$ 、 $\bar{Q}$  的波形如图 5-7(b)所示。

#### 4. 状态图(或状态转移图)

状态图以图形方式表示输出状态转换的条件和规律。用圆圈( $\circ$ )表示各状态,圈内注明状态名或取值。用箭头( $\rightarrow$ )表示状态间的转移,箭头指向新状态,线上注明状态转换的条件/输出,条件可以有多个。基本 SR 锁存器的状态图如图 5-8 所示。

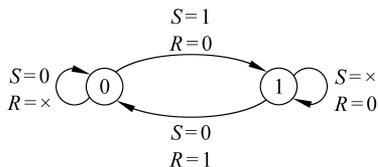


图 5-8 基本 SR 触发器的状态图

#### 5. 基本 SR 锁存器的特点

(1) 电路具有记忆功能,即有两个稳态( $Q=0$  或  $Q=1$ ),可用于表示两种对立的逻辑状态或二进制数 0 和 1。

(2) 电路状态的转换依赖于外加输入电平,通常称此锁存器为置 0、置 1 锁存器,或者复位、置位锁存器(用小圆圈表示低电平或逻辑 0 有效)。

(3) 动作特点: 由于  $S$ 、 $R$  直接加至输出门的输入端,因此在  $SR$  全部作用时间内敏感。

(4) 有约束条件:  $\bar{R} + \bar{S} = 1$  (与非门输入不能同时为 0),  $SR = 0$  (或非门输入不能同时为 1)。

### 5.2.3 逻辑门控 SR 锁存器——同步触发器

前面所讨论的基本 SR 锁存器的输出状态是由输入信号  $S$  或  $R$  直接控制的,如图 5-9 所示电路在基本 SR 锁存器前增加了一对逻辑门  $G_3$  和  $G_4$ ,用锁存使能信号  $E$  控制锁存器在某一指定时刻根据  $S$ 、 $R$  输入信号确定输出状态,这种锁存器称为逻辑门控 SR 锁存器。与基本 SR 锁存器相比,逻辑门控 SR 锁存器增加了锁存使能输入端  $E$ 。通过控制  $E$  端电

平,可以实现多个锁存器同步进行数据锁存。即为协调各部分的动作,加控制门,引入使能信号  $E$ (或时钟信号),使其只在使能信号  $E$  到来时才按照输入信号改变其状态。

### 1. 电路组成及逻辑符号

逻辑门控  $SR$  锁存器的电路结构和国标逻辑符号分别如图 5-9(a)和图 5-9(b)所示。

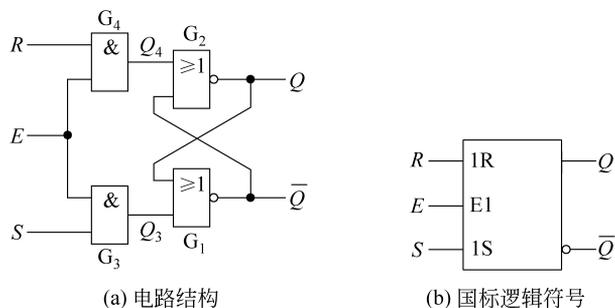


图 5-9 逻辑门控  $SR$  锁存器

### 2. 逻辑功能分析

$E=0$ : 状态不变。

$E=1$ :  $Q_3=S, Q_4=R$ 。

此时,状态发生变化,等价于由或非门组成的基本  $SR$  锁存器。

即:

$S=0, R=0$ :  $Q^{n+1}=Q^n$

$S=1, R=0$ :  $Q^{n+1}=1$

$S=0, R=1$ :  $Q^{n+1}=0$

$S=1, R=1$ :  $Q^{n+1}=\Phi$

这种锁存器必须严格遵守  $SR=0$  的约束。

### 3. 特性表

逻辑门控  $SR$  锁存器特性表如表 5-2 所示。

表 5-2 逻辑门控  $SR$  锁存器的特性表

$E$	$R$	$S$	$Q^n$	$Q^{n+1}$
0	×	×	×	$Q^n$
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	不定
1	1	1	1	

#### 4. 波形图

设  $Q$  的初始状态为 0, 逻辑门控  $SR$  锁存器的波形图如图 5-10 所示。

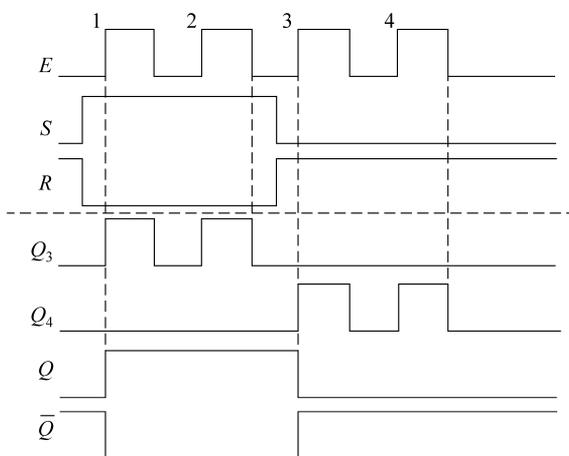


图 5-10 逻辑门控  $SR$  锁存器的波形图

#### 5. 动作特点

从以上分析可以看出:

(1) 只有当使能信号有效时,才能把输入信号的状态反映到输出端。即通过控制  $E$  端电平,可以实现多个锁存器同步进行数据锁存。

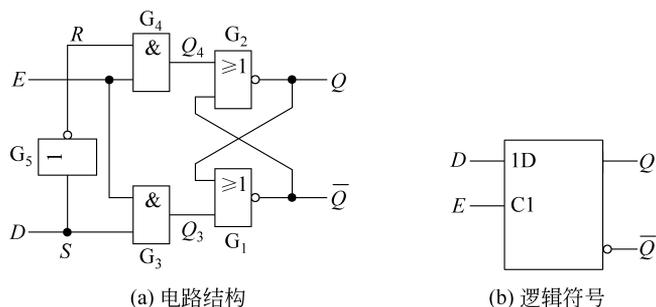
(2) 在使能信号全部作用时间内,对输入信号敏感。即在  $E$  有效时, $S$ 、 $R$  的改变都将引起输出状态的改变。即此种锁存器的触发被控制在一个时间间隔内,而不是控制在某一时刻进行。

(3) 仍有约束条件, $SR=0$ (不能同时为 1),否则输出状态不定。

### 5.2.4 D 锁存器

#### 1. 逻辑门控 $D$ 锁存器

消除逻辑门控  $SR$  锁存器不确定状态的最简单的方法是,在图 5-9(a)所示电路的  $S$  和  $R$  输入端连接一个非门  $G_5$ ,从而保证了  $S$  和  $R$  不同时为 1 的条件,其电路结构如图 5-11(a)所示,它只有两个输入端:数据输入  $D$  和使能输入  $E$ 。 $E=0$  时, $G_3$  和  $G_4$  输出均为 0,使  $G_1$ 、 $G_2$  构成的基本  $SR$  锁存器处于保持状态,无论  $D$  信号怎样变化,输出  $Q$  和  $\bar{Q}$  均保持不变。当需要更新状态时,可将门控信号  $E$  置 1,此时根据送到  $D$  端的新二值信息将锁存器置为新的状态:如果  $D=0$ ,无论基本  $SR$  锁存器原来状态如何,都将使  $Q=0$ , $\bar{Q}=1$ ;反之,则将锁存器置为 1 状态。如果  $D$  信号在  $E=1$  期间发生变化,电路提供的信号路径将使  $Q$  端信号跟随  $D$  而变化。在  $E$  由 1 跳变为 0 以后,锁存器可以将锁存跳变前  $D$  端的逻辑值暂存 1 位二进制数据。表 5-3 以表格形式对  $D$  锁存器的功能做了概括。图 5-11(b)所示的是  $D$  锁存器的逻辑符号。其中, $C1$  和  $1D$  表示二者是关联的, $C1$  控制着  $1D$  的输入。

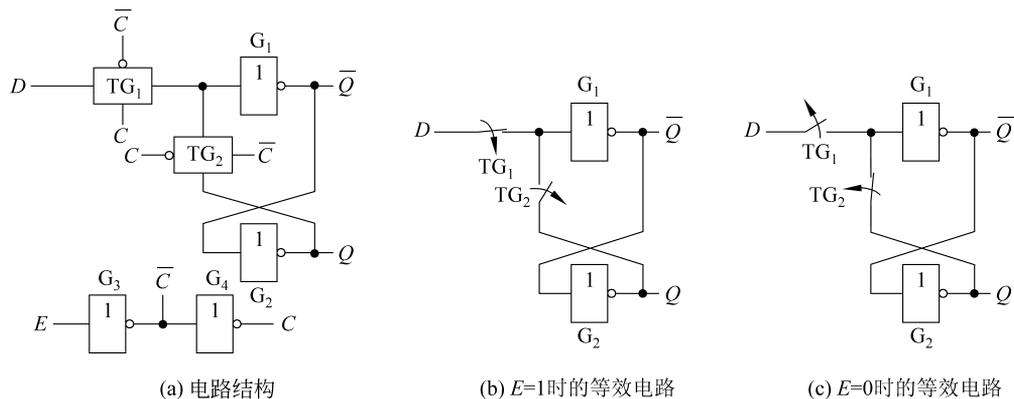
图 5-11 逻辑门控  $D$  锁存器表 5-3  $D$  锁存器的特性表

$E$	$D$	$Q$	功 能
0	$\times$	不变	保持
1	0	0	置 0
1	1	1	置 1

## 2. 传输门控 $D$ 锁存器

### (1) 电路结构

图 5-12(a)所示的是另一种  $D$  锁存器的电路结构,多见于 CMOS 集成电路。它与图 5-11(a)所示电路的逻辑功能完全相同,但数据锁存不使用逻辑门控,而是在图 5-2 所示的双稳态电路基础上增加两个传输门  $TG_1$  和  $TG_2$  实现的。电路中  $E$  是锁存使能信号。当  $E=1$  时,  $\bar{C}=0, C=1$ ,  $TG_1$  导通,  $TG_2$  断开,输入数据  $D$  经  $G_1$ 、 $G_2$  两个非门,使  $Q=D$  且  $\bar{Q}=\bar{D}$ ,如图 5-12(b)所示。显然,这时  $Q$  端跟随输入信号  $D$  的变化。当  $E=0$  时,  $\bar{C}=1, C=0$ ,  $TG_1$  断开,  $TG_2$  导通,构成类似于图 5-2 所示的双稳态电路,如图 5-12(c)所示。由于  $G_1$ 、 $G_2$  输入端存在的分布电容对逻辑电平有短暂的保持作用,此时电路将被锁定在  $E$  信号由 1 变 0 前瞬间  $D$  信号所确定的状态。由于逻辑功能完全相同,所以传输门控  $D$  锁存器的逻辑符号仍如图 5-11(b)所示。

图 5-12 传输门控  $D$  锁存器

## (2) 工作原理

①  $E=1$  时,  $TG_1$  导通,  $TG_2$  断开,  $Q=D$ 。等效电路如图 5-12(b) 所示。

②  $E=0$  时,  $TG_2$  导通,  $TG_1$  断开,  $Q$  不变。等效电路如图 5-12(c) 所示。

## (3) 工作波形

根据图 5-12(b) 和图 5-12(c), 当  $E=1$  时,  $Q$  端波形跟随  $D$  端变化。当  $E$  跳变为 0 时, 锁存器保持在跳变前瞬间的状态, 可以画出  $Q$  和  $\bar{Q}$  波形, 如图 5-13 虚线下边所示, 设  $Q$  的初始状态为 0。由波形图可以看出: 在  $E=1$  的全部时间内输出对输入信号敏感。

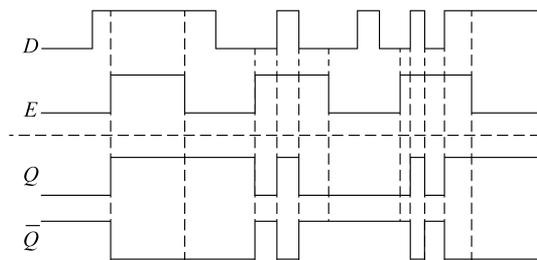


图 5-13 传输门控 D 锁存器波形图

## 5.3 触发器的电路结构和工作原理

如前所述,  $D$  锁存器在使能信号  $E$  为逻辑 1 期间更新状态, 在图 5-1(a) 所示的波形图中以加粗部分表示这个敏感时段。在这期间, 它的输出会随输入信号变化, 从而使很多时序逻辑功能不能实现。而实现这些功能要求存储电路对时序信号的某一边沿敏感, 但在其他时刻状态保持不变, 不受输入信号变化的影响。这种在时钟脉冲边沿作用下的状态刷新称为触发, 具有这种特性的存储单元称为触发器。不同电路结构的触发器对时钟脉冲的敏感边沿可能不同, 分为上升沿触发和下降沿触发。本书以  $CP$  命名上升沿触发的时钟信号, 触发边沿如图 5-1(b) 波形中的上箭头( $\uparrow$ )所示; 以  $\overline{CP}$  命名下降沿触发的时钟信号, 触发边沿如图 5-1(b) 波形中的下箭头( $\downarrow$ )所示。

目前应用的触发器主要有三种电路结构: 主从触发器、维持阻塞触发器和利用传输延迟的触发器。下面分别予以讨论。

### 5.3.1 主从触发器

#### 1. 电路结构

将两个图 5-12(a) 所示的  $D$  锁存器级联, 则构成 CMOS 主从触发器, 如图 5-14 所示。图中左边的锁存器称为主锁存器, 右边的称为从锁存器。主锁存器的锁存使能信号正好与从锁存器相反, 利用两个锁存器的交互锁存, 则可实现存储数据和输入信号之间的隔离。

4 个传输门中,  $TG_1$  和  $TG_4$  的工作状态相同,  $TG_2$  和  $TG_3$  的工作状态相同。